



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201101448 A1

(43)公開日：中華民國 100 (2011) 年 01 月 01 日

(21)申請案號：098126932

(22)申請日：中華民國 98 (2009) 年 08 月 11 日

(51)Int. Cl. : H01L23/52 (2006.01)

H01L21/768 (2006.01)

H01L21/3205(2006.01)

(30)優先權：2009/06/16 美國

12/485,909

(71)申請人：南亞科技股份有限公司(中華民國) NANYA TECHNOLOGY CORP. (TW)

桃園縣龜山鄉華亞科技園區復興三路 669 號

(72)發明人：梁雯萍 LIANG, WEN PING (TW)；邱鈺珊 CHIU, YU SHAN (TW)；蘇國輝 SU, KUO HUI (TW)

(74)代理人：戴俊彥；王恕怡

申請實體審查：有 申請專利範圍項數：23 項 圖式數：10 共 27 頁

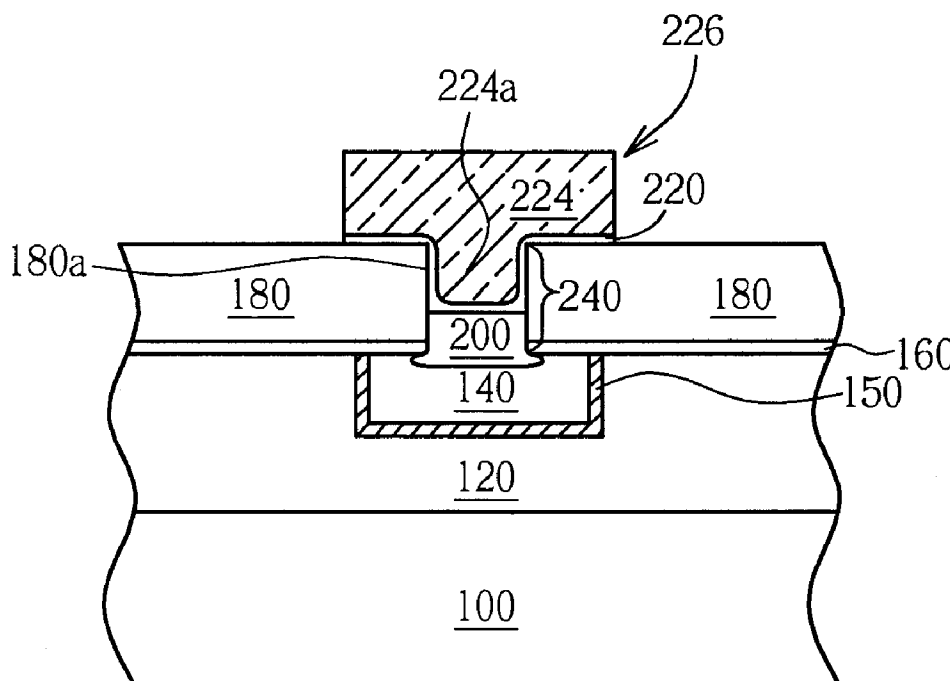
(54)名稱

半導體積體電路的內連線結構及其製作方法

INTERCONNECTION STRUCTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT AND METHOD FOR MAKING THE SAME

(57)摘要

一種積體電路的內連線結構，包含有：一基材；一下層金屬導線，位於該基材上的一第一金屬層間介電層中；一第二金屬層間介電層，位於該第一金屬層間介電層上，且覆蓋著該下層金屬導線；一上層金屬導線，位於該第二金屬層間介電層上；以及一介層插塞結構，位於該第二金屬層間介電層中，用以連結該上層金屬導線與該下層金屬導線，其中該介層插塞結構包含有一鎢金屬栓柱，形成在該下層金屬導線上，以及一鋁插塞，堆疊在該鎢金屬栓柱上。



100：半導體基材

120：金屬層間介電層

140：下層銅導線

150：阻障層

160：蓋層

180：金屬層間介電層

180a：介層開孔

200：鎢金屬栓柱

220：濕潤金屬層

224：鋁金屬層

224a：鋁插塞

226：上層鋁導線

240：介層插塞結構



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201101448 A1

(43)公開日：中華民國 100 (2011) 年 01 月 01 日

(21)申請案號：098126932

(22)申請日：中華民國 98 (2009) 年 08 月 11 日

(51)Int. Cl. : H01L23/52 (2006.01)

H01L21/768 (2006.01)

H01L21/3205(2006.01)

(30)優先權：2009/06/16 美國

12/485,909

(71)申請人：南亞科技股份有限公司(中華民國) NANYA TECHNOLOGY CORP. (TW)

桃園縣龜山鄉華亞科技園區復興三路 669 號

(72)發明人：梁雯萍 LIANG, WEN PING (TW)；邱鈺珊 CHIU, YU SHAN (TW)；蘇國輝 SU, KUO HUI (TW)

(74)代理人：戴俊彥；王恕怡

申請實體審查：有 申請專利範圍項數：23 項 圖式數：10 共 27 頁

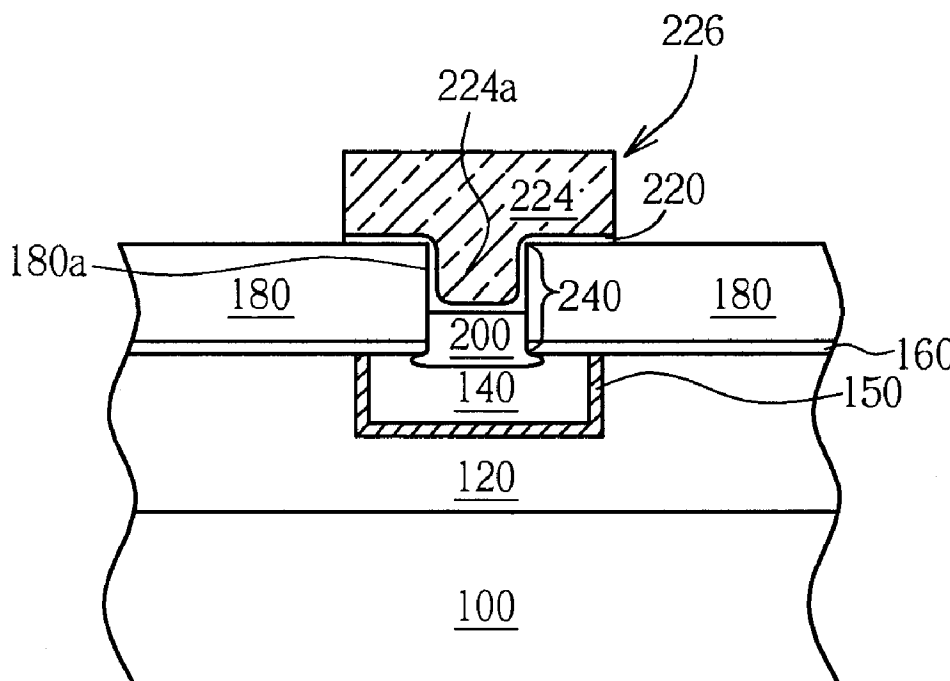
(54)名稱

半導體積體電路的內連線結構及其製作方法

INTERCONNECTION STRUCTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT AND METHOD FOR MAKING THE SAME

(57)摘要

一種積體電路的內連線結構，包含有：一基材；一下層金屬導線，位於該基材上的一第一金屬層間介電層中；一第二金屬層間介電層，位於該第一金屬層間介電層上，且覆蓋著該下層金屬導線；一上層金屬導線，位於該第二金屬層間介電層上；以及一介層插塞結構，位於該第二金屬層間介電層中，用以連結該上層金屬導線與該下層金屬導線，其中該介層插塞結構包含有一鎢金屬栓柱，形成在該下層金屬導線上，以及一鋁插塞，堆疊在該鎢金屬栓柱上。



100：半導體基材

120：金屬層間介電層

140：下層銅導線

150：阻障層

160：蓋層

180：金屬層間介電層

180a：介層開孔

200：鎢金屬栓柱

220：濕潤金屬層

224：鋁金屬層

224a：鋁插塞

226：上層鋁導線

240：介層插塞結構

六、發明說明：

【發明所屬之技術領域】

本發明係有關於半導體製程技術領域，特別是有關於一種具低阻值介層插塞的金屬內連線結構及其製作方法，本發明特別適合應用於內連結下層銅導線(例如，第二金屬層或 M2)以及上層鋁導線(例如，第三金屬層或 M3)，以獲得最佳的電性效能。

【先前技術】

隨著積體電路的臨界尺寸進入到次微米階段，高導電性的內連線結構對於電路的有效操作已顯得越形重要。過去的半導體晶片主要是採用鋁金屬作為內連線結構的材料，但是為了因應更高速高頻訊號的操作環境，近年來，鋁金屬已逐漸有被銅金屬取代的趨勢。

所謂的銅晶片，就是指採用銅金屬作為內連線結構的半導體積體電路晶片。由於銅金屬的導電性優於鋁金屬，因此採用銅製程的晶片通常具有較高的電性效能。在製程方面，由於銅金屬的蝕刻特性及擴散問題，因此需要另外採用與過去定義鋁金屬導線圖案不同的方式來進行銅金屬的圖案化，並且銅金屬需要以阻障層包覆，以避免銅金屬擴散至矽基材，而不致於影響到元件電性。

由於缺乏可揮發的銅化合物，故銅金屬無法採用如傳統鋁製程所使用的光阻圖案加上電漿蝕刻方式來進行銅導線的圖案化，為了定義銅導線圖案，業界已為此發展出所謂的銅鑲嵌製程。前述的銅鑲嵌製程係將導線溝渠圖案定義在絕緣層中，接著將銅金屬填滿導線溝渠，最後將導線溝渠外的銅金屬以化學機械研磨方式去除，留在導線溝渠內的銅金屬即成為銅導線。如前所述，為避免銅金屬擴散至矽基材，影響元件特性，在沈積銅金屬之前，通常會在導線溝渠內壁形成阻障層，其中，阻障層必須有足夠的阻擋能力以阻止住銅的外擴，同時又必須具備高的電傳導力，以維持良好的電接觸特性。

阻障層的厚度是另一個影響電性效能十分重要的因素。若阻障層的厚度太薄，則可能使銅擴散出來，造成元件毒化，若阻障層的厚度太厚，則阻障層與銅層相加起來的電阻值有可能過大，甚至超過以鋁金屬作為導線的電阻值，如此即失去了使用這種先進銅製程技術的意義。

第1圖至第4圖繪示的是習知製作積體電路內連線的介層插塞結構的方法剖面示意圖。如第1圖所示，在金屬層間介電層12中，提供有一被阻障層15包覆住的下層銅導線14，在下層銅導線14的表面則是被蓋層16覆蓋住。金屬層間介電層12係沈積在半導體基材10上，其中，半導體基材10可以是矽基材或其它基材。在蓋層16上另外以化學氣相沈積(CVD)法或其它已知沈積法形成一金屬層間介電層18。

接著，如第 2 圖所示，在金屬層間介電層 18 以及蓋層 16 中形成一介層開孔 18a，使其暴露出部分的下層銅導線 14 的上表面。此時，在蝕刻介層開孔 18a 的過程中產生的高分子殘留物 19 通常會累積在介層開孔 18a 內，而這些高分子殘留物 19 需要被清除乾淨，以避免影響後續製程。

如第 3 圖所示，為了清除這些高分子殘留物 19，通常是以濕蝕刻或濕式清洗法來進行。然而，前述的濕蝕刻或濕式清洗法卻會導致嚴重的介層開孔底切(undercut)問題，如圖中符號 18b 所標示位置。從實驗的結果可以觀察出銅金屬可能會經由這個底切缺陷向外擴散出來，而且最終可能會擴散到上層鋁導線處，並與其反應，因此使積體電路的效能退化或可靠度下降。

如第 4 圖所示，在完成介層開孔(via hole) 18a 後，接著進行物理氣相沈積(PVD)製程，沈積一阻障層 20，其通常是由一氮化鈦層 22 以及一鈦層 24 所構成。隨後，於阻障層 20 上沈積一上層鋁導線層 26，並且使上層鋁導線層 26 填滿介層開孔 18a。為了補救前述的介層開孔底切問題及避免潛在的銅擴散問題，過去的作法是在形成阻障層 20 的物理氣相沈積製程中調整製程參數，以改善阻障層 20 位於介層開孔 18a 的底部及角落的階梯覆蓋特性。

然而，增加阻障層 20 位於介層開孔 18a 的底部及角落的階梯覆

蓋特性的同時，另一方面，也會導致阻障層 20 在介層開孔 18a 上端開口處的懸凸問題，如第 4 圖中的符號 25 所標示位置。前述的阻障層懸凸問題可能會造成鋁金屬無法完整填滿介層開孔 18a，並在介層開孔 18a 內形成縫隙，嚴重時可能會造成下層銅導線 14 與上層鋁導線層 26 無法成功的電連結或者連結失效。

基於上述原因，有必要提出改良的內連線結構，其具備低阻值的介層插塞結構，用來電連結一下層銅導線與一上層鋁導線，同時有必要提出相關的製程方法，以製作出這樣的內連線結構，藉此避免或克服前述先前技藝所發生的問題。

【發明內容】

本發明的主要目的即提供一種高性能的金屬內連線結構，其具備較低阻值的介層插塞結構，用來電連結一下層銅導線與一上層鋁導線，並且能夠避免前述先前技藝所發生的問題。

本發明之另一目的在提供一種改良的金屬內連線結構製作方法，以製作出改良的金屬內連線結構，其能夠與現行製程相容，並具有成本優勢。

根據本發明之較佳實施例，本發明提供一種積體電路的內連線結構，包含有：一基材；一下層金屬導線，位於該基材上的一第一金

屬層間介電層中；一第二金屬層間介電層，位於該第一金屬層間介電層上，且覆蓋著該下層金屬導線；一上層金屬導線，位於該第二金屬層間介電層上；以及一介層插塞結構，位於該第二金屬層間介電層中，用以連結該上層金屬導線與該下層金屬導線，其中該介層插塞結構包含有一鎢金屬栓柱，形成在該下層金屬導線上，以及一鋁插塞，堆疊在該鎢金屬栓柱上。

根據本發明之另一較佳實施例，本發明提供一種製作積體電路的內連線結構的方法，包含有：提供一基材，其上形成有一第一金屬層間介電層；於該第一金屬層間介電層中形成一下層金屬導線；於該第一金屬層間介電層上形成一第二金屬層間介電層；於該第二金屬層間介電層中形成一介層開孔，暴露出部分的該下層金屬導線的上表面；於該介層開孔的下半部形成一鎢金屬栓柱；於該第二金屬層間介電層上形成一金屬層，並使該金屬層填滿該介層開孔；以及圖案化該金屬層，形成一上層金屬導線。

為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉較佳實施方式，並配合所附圖式，作詳細說明如下。然而如下之較佳實施方式與圖式僅供參考與說明用，並非用來對本發明加以限制者。

【實施方式】

第 5 圖至第 10 圖為依據本發明較佳實施例所繪示的製作積體電

路內連線的介層插塞結構的方法示意圖。如第 5 圖所示，首先，提供一半導體基材 100，例如，一矽基材，接著在半導體基材 100 上形成一金屬層間介電層 120，例如，氧化矽或低介電常數材料。然後，以銅鑲嵌製程在金屬層間介電層 120 內形成一下層銅導線 140，同樣的，下層銅導線 140 被阻障層 150 以及蓋層 160 完整的包覆住。其中，阻障層 150 可以包含有鈦、氮化鈦、鈮或氮化鈮，蓋層 160 則可以包含有氮化矽、碳化矽、氧化矽或其它材料。此外，在其它實施例中，蓋層 160 可能會被省略。隨後，利用已知方法，例如，化學氣相沈積法，在蓋層 160 上形成一金屬層間介電層 180，例如，氧化矽或低介電常數材料。舉例來說，前述的下層銅導線 140 可以是積體電路內連線架構中的第二層金屬導線層。

如第 6 圖所示，在金屬層間介電層 180 以及蓋層 160 中形成一介層開孔 180a，使其暴露出部分的下層銅導線 140 的上表面。此時，在蝕刻介層開孔 180a 的過程中產生的高分子殘留物 190 通常會累積在介層開孔 180a 內，而這些高分子殘留物 190 需要被清除乾淨，以避免影響後續製程。前述形成介層開孔 180a 的步驟通常包括已知的微影及蝕刻步驟，例如，光阻塗佈、光阻曝光及顯影、以及乾蝕刻未被圖案化光阻所覆蓋的金屬層間介電層 180 以及蓋層 160 等步驟。

如第 7 圖所示，為了清除這些高分子殘留物 190，通常是以濕蝕刻或濕式清洗法來進行。無可避免的，前述的濕蝕刻或濕式清洗法會形成嚴重的介層開孔底切問題，如圖中符號 180b 所標示位置。如

前所述，從實驗的結果已觀察出銅金屬會經由這個底切缺陷向外擴散出來，而且最終可能會擴散到上層鋁導線處，並與其反應，因此使積體電路的效能退化或可靠度下降。依據本發明較佳實施例所提供的方法能夠具體解決這個問題。

如第 8 圖所示，在以濕蝕刻或濕式清洗法清除高分子殘留物 190 之後，根據本發明之較佳實施例，接著進行一還原性的氫氣電漿處理製程，用來將介層開孔 180a 內的氧化銅還原成銅金屬。然而，熟習該項技藝者應能理解氧化銅的還原也可以利用其它方式進行之，例如，非電漿方法或者利用其它非電漿還原劑等等。在將下層銅導線 140 的暴露上表面還原之後，接著進行一選擇性鎢金屬沈積製程，以選擇性的在介層開孔 180a 的底部沈積一鎢金屬栓柱 200。前述的選擇性鎢金屬沈積製程可以包含有選擇性的鎢金屬化學氣相沈積製程或者選擇性的鎢原子層沈積(selective tungsten atom layer deposition)製程。

根據本發明之較佳實施例，以選擇性的鎢原子層沈積製程為例作說明，包括複數個原子層沈積循環步驟，而每一個原子層沈積循環步驟可包括以下子步驟：(1) 將含氫物質，如矽甲烷或氫氣，通入反應器中，並維持一預定時間，使氫自由基吸附在金屬層間介電層 180 的表面上，以及吸附在下層銅導線 140 的表面上；(2) 將反應器抽真空，使所有氣體停止通入反應器中，以選擇性的僅僅移除掉吸附在金屬層間介電層 180 表面上的氫自由基；(3) 接著在一預定低

壓(低於 5 torr)下以及相對低溫(低於 300°C)下，將鎢前驅物，例如，六氟化鎢(WF₆)，通入反應器中，使鎢前驅物與剩餘吸附在下層銅導線 140 表面上的氫自由基反應，藉此選擇性的在下層銅導線 140 表面上沈積一鎢原子層；以及(4) 將惰性氣體，例如，氬氣，通入反應器中，吹除反應附產物。藉由重複以上的原子層沈積循環步驟，即可達到所要的鎢金屬栓柱 200 的厚度。

根據本發明之較佳實施例，形成在介層開孔 180a 內的鎢金屬栓柱 200 的厚度約介於 100 埃至 400 埃之間。此外，根據本發明之較佳實施例，最後，鎢金屬栓柱 200 的上表面係低於金屬層間介電層 180 的上表面。根據本發明之較佳實施例，鎢金屬栓柱 200 填入且填滿底切缺陷 180b，使鎢金屬栓柱 200 在介層開孔 180a 底部形成一咬合結構，如此形成較佳的鎢金屬栓柱 200 與下層銅導線 140 接觸界面。

由於鎢金屬栓柱 200 相較於過去 PVD 氮化鈦或 PVD 氮化鈮具有較低的電阻，故能夠提升積體電路的電性效能及操作速度。此外，採用選擇性鎢金屬沈積方法可以避免過去 PVD 氮化鈦或 PVD 氮化鈮製程所造成的阻障層在介層開孔上端開口處的懸凸問題，同時，可以提高後續鋁金屬填洞步驟的良率。

如第 9 圖所示，在介層開孔 180a 底部形成鎢金屬栓柱 200 之後，可以選擇在鎢金屬栓柱 200 表面上、介層開孔 180a 側壁上及金屬層

間介電層 180 的表面上，形成一均厚的濕潤金屬層 220，例如，薄鈦金屬層或薄鈮金屬層，較佳者，濕潤金屬層 220 的厚度約介於 100 埃至 400 埃之間。前述的濕潤金屬層 220 可以利用化學氣相沈積法、原子層沈積法、物理氣相沈積法或其它已知的合適方法形成。隨後，將一鋁金屬層 224 沈積到濕潤金屬層 220 表面上，並且使鋁金屬層 224 填入介層開孔 180a，如此在介層開孔 180a 上半部形成一體成型的鋁插塞 224a。前述的鋁金屬層 224 可以利用化學氣相沈積法、物理氣相沈積法、濺鍍法或其它已知的合適方法形成。

此時，本發明改良的介層插塞結構 240 業已完成。根據本發明之較佳實施例，介層插塞結構 240 包含有嵌入在介層開孔 180a 下半部的鎢金屬栓柱 200、襯在鎢金屬栓柱 200 上及介層開孔 180a 側壁上的濕潤金屬層 220，以及與上面的鋁金屬層 224 同時形成且一體成型的鋁插塞 224a。最終的介層插塞結構 240 的剖面有些類似一倒過來的平頭圖釘。

如第 10 圖所示，最後利用已知方法將鋁金屬層 224 與濕潤金屬層 220 蝕刻定義成一上層鋁導線 226，其透過本發明改良的介層插塞結構 240 與下層銅導線 140 電連結。前述將鋁金屬層 224 與濕潤金屬層 220 蝕刻定義成上層鋁導線 226 的方法可以包括微影及蝕刻製程，例如，光阻塗佈、光阻曝光及顯影、以及乾蝕刻未被圖案化光阻所覆蓋的鋁金屬層 224 與濕潤金屬層 220 等步驟。

綜上所述，本發明之優點至少包括：(1) 由於鎢金屬栓柱 200 相較於過去 PVD 氮化鈦或 PVD 氮化鈮具有較低的電阻，介層(或接觸)插塞的阻值可以有效降低；(2)由於不採用 PVD 氮化鈦或 PVD 氮化鈮製程，而採用選擇性鎢原子層沈積法，故先前技藝的作法中所導致的介層洞口懸凸問題可以被有效的被解決；以及(3) 選擇性鎢原子層沈積法可以修補並改善介層洞底切缺陷，藉此有效的阻擋潛在的銅原子擴散路徑，而製程良率及積體電路的可靠度也可以同時被提升。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖至第 4 圖繪示的是習知製作積體電路內連線的介層插塞結構的方法剖面示意圖。

第 5 圖至第 10 圖為依據本發明較佳實施例所繪示的製作積體電路內連線的介層插塞結構的方法示意圖。

【主要元件符號說明】

10 半導體基材

12 金屬層間介電層

- 14 下層銅導線
- 15 阻障層
- 16 蓋層
- 18 金屬層間介電層
- 18a 介層開孔
- 18b 底切
- 19 高分子殘留物
- 20 阻障層
- 22 氮化鈦層
- 24 鈦層
- 25 懸凸
- 26 上層鋁導線層
- 100 半導體基材
- 120 金屬層間介電層
- 140 下層銅導線
- 150 阻障層
- 160 蓋層
- 180 金屬層間介電層
- 180a 介層開孔
- 180b 底切
- 190 高分子殘留物
- 200 鎢金屬栓柱
- 220 濕潤金屬層

201101448

224 鋁金屬層

224a 鋁插塞

226 上層鋁導線

240 介層插塞結構

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98/26932

H01L 27/52 (2006.01)

※申請日：98 8 11

※IPC 分類：

H01L 21/168 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/3205 (2006.01)

半導體積體電路的內連線結構及其製作方法/INTERCONNECTION
STRUCTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT AND
METHOD FOR MAKING THE SAME

二、中文發明摘要：

一種積體電路的內連線結構，包含有：一基材；一下層金屬導線，位於該基材上的一第一金屬層間介電層中；一第二金屬層間介電層，位於該第一金屬層間介電層上，且覆蓋著該下層金屬導線；一上層金屬導線，位於該第二金屬層間介電層上；以及一介層插塞結構，位於該第二金屬層間介電層中，用以連結該上層金屬導線與該下層金屬導線，其中該介層插塞結構包含有一鎢金屬栓柱，形成在該下層金屬導線上，以及一鋁插塞，堆疊在該鎢金屬栓柱上。

三、英文發明摘要：

An interconnection structure includes a lower layer metal wire in a first inter-metal dielectric layer on a substrate; a second inter-metal dielectric layer on the first inter-metal dielectric layer and covering the lower layer metal wire; an upper layer metal wire on the second

inter-metal dielectric layer; and a via interconnection structure in the second inter-metal dielectric layer for interconnecting the upper layer metal wire with the lower layer metal wire, wherein the via interconnection structure comprises a tungsten stud on the lower layer metal wire, and an aluminum plug stacked on the tungsten stud.

七、申請專利範圍：

1. 一種積體電路的內連線結構，包含有一基材、一第一金屬層間介電層，位於該基材上、一下層金屬導線，位於該第一金屬層間介電層中、一第二金屬層間介電層，位於該第一金屬層間介電層上，且覆蓋著該下層金屬導線、一上層金屬導線，位於該第二金屬層間介電層上、以及一介層插塞結構，位於該第二金屬層間介電層中，用以連結該上層金屬導線與該下層金屬導線，其特徵在於：

該介層插塞結構包含有一鎢金屬栓柱，形成在該下層金屬導線上，以及一鋁插塞，堆疊在該鎢金屬栓柱上。

2. 如申請專利範圍第 1 項所述的積體電路的內連線結構，其中該上層金屬導線係一鋁導線。

3. 如申請專利範圍第 2 項所述的積體電路的內連線結構，其中該鋁插塞係與該鋁導線同時形成且一體成型。

4. 如申請專利範圍第 1 項所述的積體電路的內連線結構，其中該下層金屬導線係一銅導線，鑲嵌在該第一金屬層間介電層中。

5. 如申請專利範圍第 4 項所述的積體電路的內連線結構，其中該下層金屬導線被一阻障層及一蓋層所包覆住。

6. 如申請專利範圍第 5 項所述的積體電路的內連線結構，其中該阻

障層包含鈦、氮化鈦、鈮或氮化鈮。

7. 如申請專利範圍第 5 項所述的積體電路的內連線結構，其中該蓋層包含有氮化矽、碳化矽或氧化矽。

8. 如申請專利範圍第 5 項所述的積體電路的內連線結構，其中該蓋層係介於該第一金屬層間介電層及該第二金屬層間介電層之間。

9. 如申請專利範圍第 1 項所述的積體電路的內連線結構，其中該積體電路的內連線結構另包含有一濕潤金屬層，其介於該鎢金屬栓柱與該鋁插塞之間。

10. 如申請專利範圍第 9 項所述的積體電路的內連線結構，其中該濕潤金屬層包含有鈦或鈮。

11. 如申請專利範圍第 1 項所述的積體電路的內連線結構，其中該內連線結構係形成於一具有底切結構的介層開孔內。

12. 如申請專利範圍第 11 項所述的積體電路的內連線結構，其中該鎢金屬栓柱填滿該底切結構，並構成一咬合結構。

13. 一種製作積體電路的內連線結構的方法，包含有：
提供一基材，其上形成有一第一金屬層間介電層；

於該第一金屬層間介電層中形成一下層金屬導線；

於該第一金屬層間介電層上形成一第二金屬層間介電層；

於該第二金屬層間介電層中形成一介層開孔，暴露出部分的該下層金屬導線的上表面；

於該介層開孔的下半部形成一鎢金屬栓柱；

於該第二金屬層間介電層上形成一金屬層，並使該金屬層填滿該介層開孔；以及

圖案化該金屬層，形成一上層金屬導線。

14. 如申請專利範圍第 13 項所述之製作積體電路的內連線結構的方法，其中該金屬層係一鋁金屬層。

15. 如申請專利範圍第 13 項所述之製作積體電路的內連線結構的方法，其中該下層金屬導線係一銅導線，鑲嵌在該第一金屬層間介電層中。

16. 如申請專利範圍第 15 項所述之製作積體電路的內連線結構的方法，其中該下層金屬導線被一阻障層及一蓋層所包覆住。

17. 如申請專利範圍第 16 項所述之製作積體電路的內連線結構的方法，其中該阻障層包含鈦、氮化鈦、鈮或氮化鈮。

18. 如申請專利範圍第 16 項所述之製作積體電路的內連線結構的方

法，其中該蓋層包含有氮化矽、碳化矽或氧化矽。

19. 如申請專利範圍第 13 項所述之製作積體電路的內連線結構的方法，其中該方法另包含有以下步驟：

於該鎢金屬栓柱的上表面、該介層開孔的側壁，以及該第二金屬層間介電層的上表面形成一濕潤金屬層。

20. 如申請專利範圍第 19 項所述之製作積體電路的內連線結構的方法，其中該濕潤金屬層包含有鈦或鈮。

21. 如申請專利範圍第 13 項所述之製作積體電路的內連線結構的方法，其中，於形成該介層開孔後以及形成該鎢金屬栓柱之前，該方法另包含有以下步驟：

進行一濕式清洗製程，以去除該介層開孔內的高分子殘留物；以及

進行一還原氫氣電漿處理，將該介層開孔內的氧化銅還原成銅金屬。

22. 如申請專利範圍第 13 項所述之製作積體電路的內連線結構的方法，其中該鎢金屬栓柱僅部分填入該介層開孔，且該鎢金屬栓柱的上表面低於該第二金屬層間介電層的上表面。

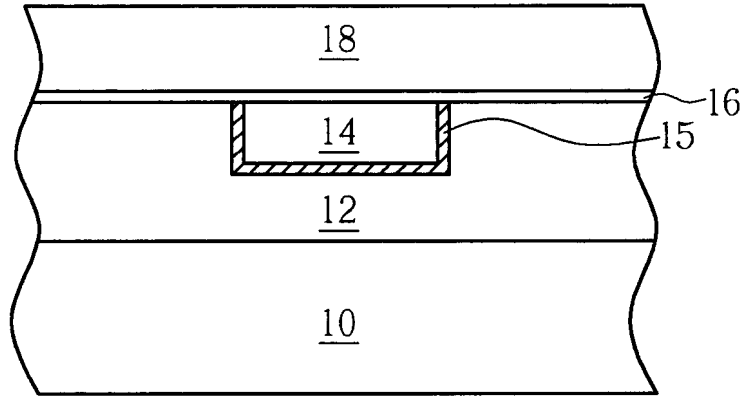
23. 如申請專利範圍第 13 項所述之製作積體電路的內連線結構的方

法，其中該鎢金屬栓柱係以選擇性鎢金屬沈積法形成。

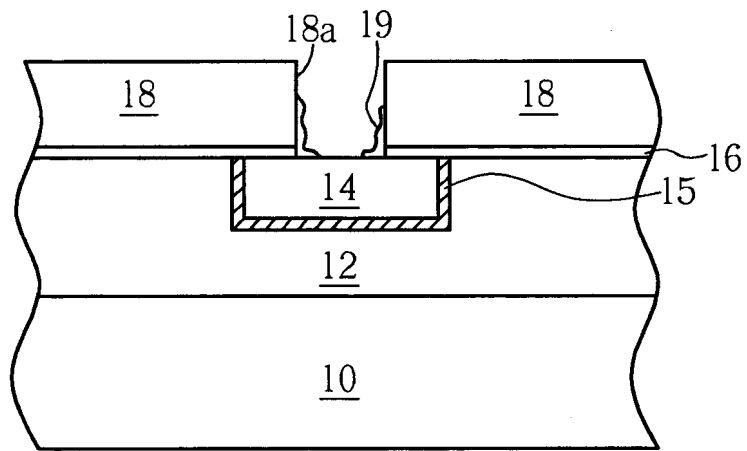
八、圖式：

法，其中該鎢金屬栓柱係以選擇性鎢金屬沈積法形成。

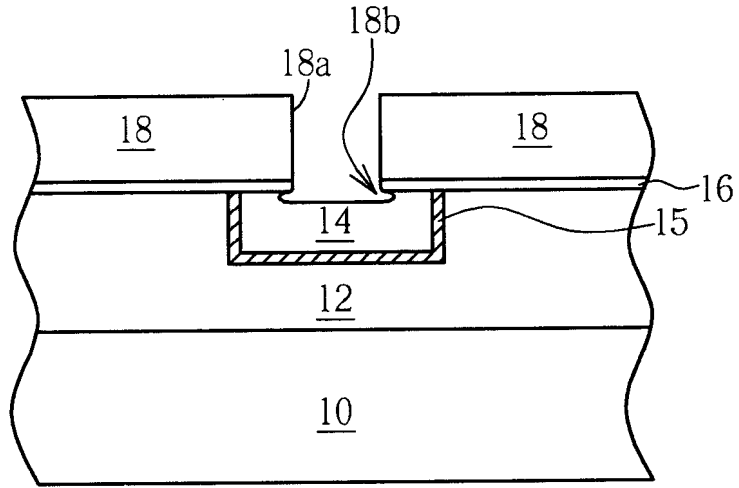
八、圖式：



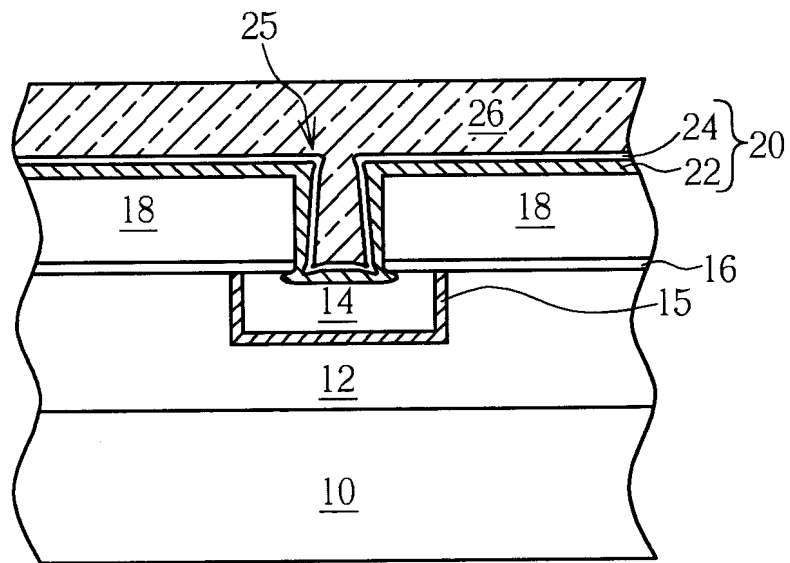
第1圖



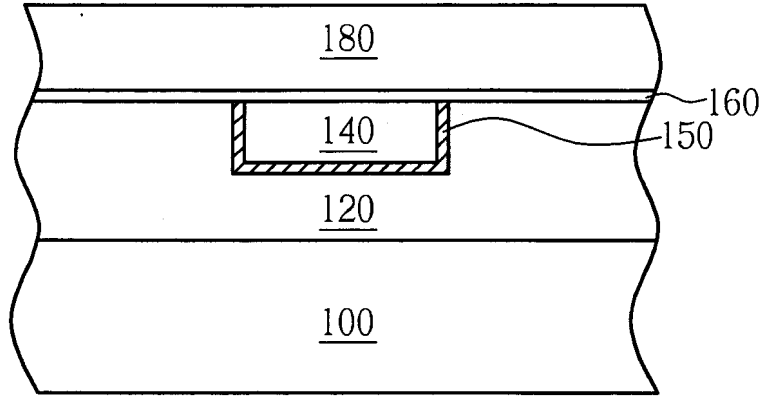
第2圖



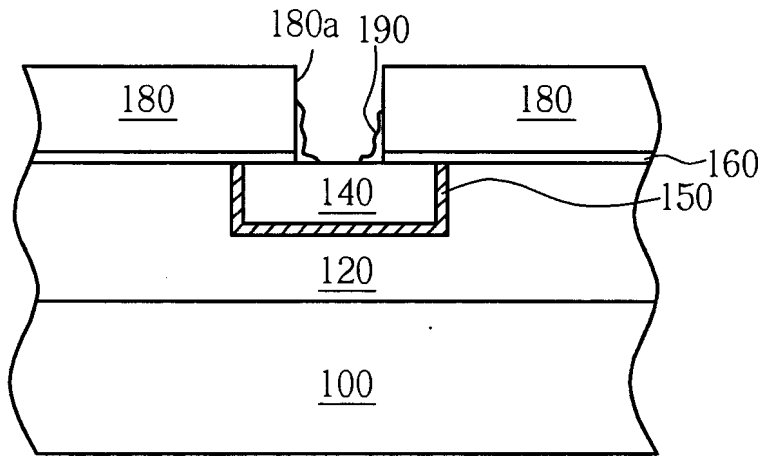
第3圖



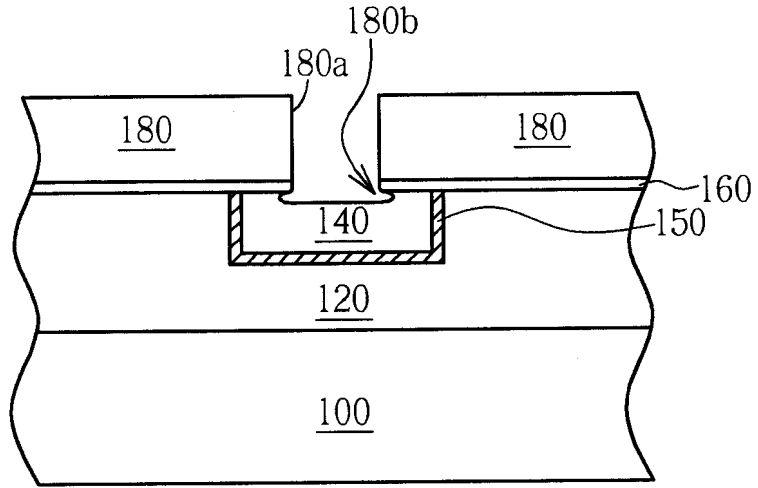
第4圖



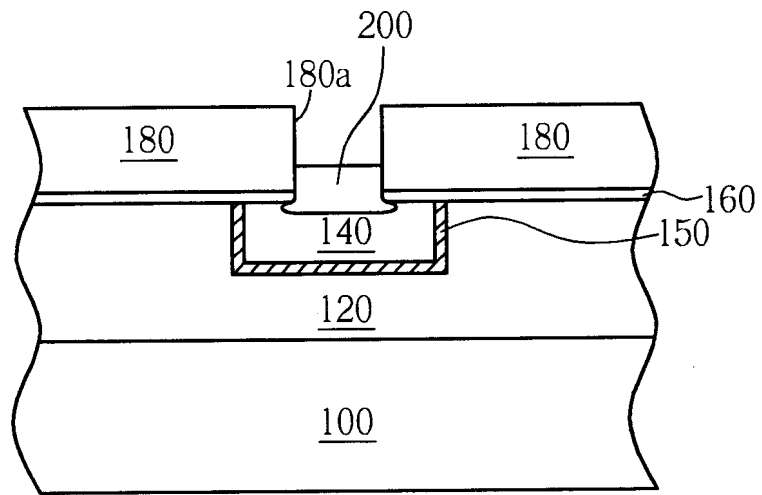
第5圖



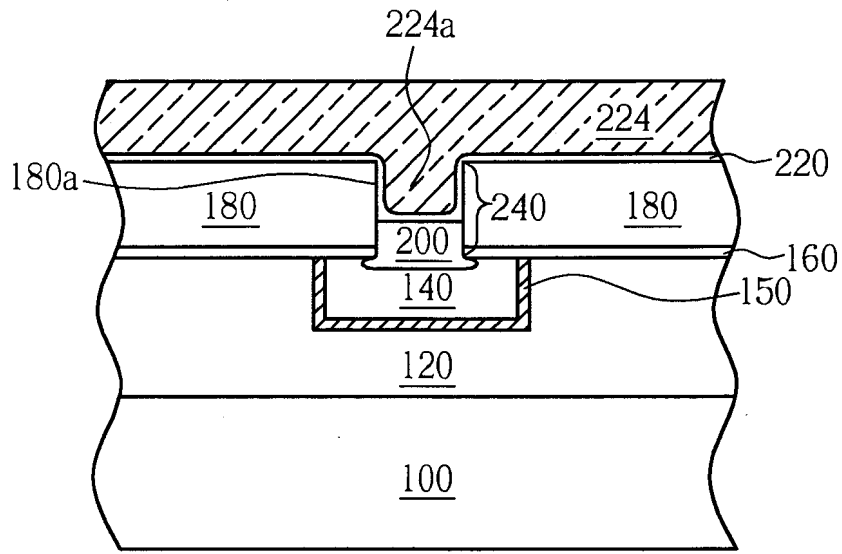
第6圖



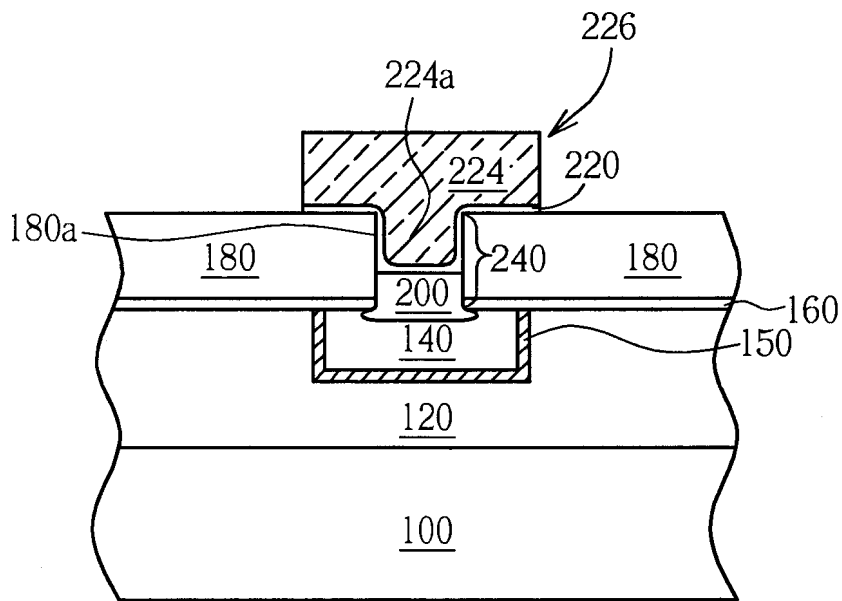
第7圖



第8圖



第9圖



第10圖

四、指定代表圖：

(一)本案指定代表圖為：第 (10) 圖。

(二)本代表圖之元件符號簡單說明：

- 100 半導體基材
- 120 金屬層間介電層
- 140 下層銅導線
- 150 阻障層
- 160 蓋層
- 180 金屬層間介電層
- 180a 介層開孔
- 200 鎢金屬栓柱
- 220 濕潤金屬層
- 224 鋁金屬層
- 224a 鋁插塞
- 226 上層鋁導線
- 240 介層插塞結構

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無