

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H02M 3/335	(45) 공고일자 2001년02월01일
	(11) 등록번호 10-0280639
	(24) 등록일자 2000년11월10일
(21) 출원번호 10-1998-0018470	(65) 공개번호 특 1999-0085821
(22) 출원일자 1998년05월22일	(43) 공개일자 1999년12월15일
(73) 특허권자 페어차일드코리아반도체주식회사	김덕중
(72) 발명자 이상우	경기도 부천시 원미구 도당동 82-3
	장경희
	경기도 부천시 원미구 도당동 82-3
(74) 대리인 김원호, 김원근	경기도 부천시 원미구 도당동 82-3

심사관 : 박재훈

(54) 역률보상회로

요약

교류 전원을 정류시키고 스위칭 소자의 동작에 따라 2차측 부하로 출력전압을 발생하는 부스터 컨버터와; 상기 부스터 컨버터의 입력전류를 검출하기 위해 감지한 전압을 증폭한 전압과 2차측 에러전압을 곱하여 역토포니파 전압과 비교하고, 비교한 결과에 따라 상기 부스터 컨버터의 스위칭 소자를 제어하는 스위칭 제어수단을 포함하여 이루어지는 역률 보상회로는 입력전류와 출력전압만을 검출하여 역률을 보상하므로 회로가 간단하고, 입력전류를 검출하기 위한 저항이 그라운드 전위에 위치하여 노이즈 특성이 좋은 효과가 있다.

대표도

도1

명세서

도면의 간단한 설명

도1은 이 발명의 실시예에 따른 역률 보상회로의 회로도.  
 도2는 이 발명의 실시예에 따른 역률 보상회로의 각부의 동작 파형도.  
 도3은 이 발명의 실시예에 따른 역률 보상회로의 입력 전류와 입력 전압의 파형도.  
 도4는 종래의 역률 보상회로의 회로도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

이 발명은 역률 보상회로에 관한 것으로, 더욱 상세하게 설명하면, 그라운드 전위에서 검출한 입력전류로 스위칭 소자의 턴온 듀티비를 조절하여 입력전류의 위상과 크기가 입력전압의 위상과 크기와 같도록 제어하기 위한 것이다.

도4는 종래의 역률 보상회로의 회로도이다.  
 도4에서 필터(1)와 정류기(2)와 커패시터(C1)는 교류전원(AC)을 정류한 입력전압( $V_s$ )을 공급하고, 1차측으로 입력전류( $i_L$ )가 입력되는 인덕터(L)는 스위치 모스 FET(3)의 온/오프에 따라 스위칭되어 2차측으로 전압( $V_o$ )을 유기시키고, 다이오드(D1)와 커패시터(C2)는 상기 인덕터(L)의 출력전압( $V_o$ )을 정류하여 부하(Ro)에 공급한다. 비반전 입력단자(+)로 기준전압( $V_{ref}$ )이 입력되는 에러 증폭기(4)는 두 저항(R1, R2)에 의해 분배되어 반전 입력단자(-)로 입력되는 전압( $V_o$ )을 소정의 증폭비로 증폭하여 가감기(5)로 출력하고, 상기 가감기(5)는 반전 입력단자(-)로 입력되는 기준전압( $V_{ref}$ )과 비반전 입력단자(+)로 입력되는 상기 에러 증폭기(4)의 출력전압( $V_{eo}$ )을 가감한 전압( $V_2$ )을 배율기(6)로 출력한다. 상기 배율기(6)는 두 저항(R3, R4)에 의해 분배되어 입력되는 입력전압( $V_s$ )에 비례한 전압( $V_1$ )과 가감기(5)로부터 입력되는 전압( $V_2$ )을 곱하여 비교기(7)로 출력한다. 그러면, 상기 비교기(7)는 스위칭 모스 FET(3)의 소스 단자와 접지 사이에 삽입된 감지저항( $R_s$ )의 양단 전압과 배율기(6)로부터 입력되는 전압( $V_{mo}$ )을 비교한

다. 래치 논리회로(8)는 비교기(7)와 전류 검출기(9)에서 입력되는 신호를 조합한 신호를 노어 게이트(10)로 출력한다. 이때, 상기 전류 검출기(9)는 스위칭 모스 FET(3)가 턴오프됐을 때 인덕터(L)에 흐르는 전류( $I_{det}$ )를 검출하여 스위칭 모스 FET(3)를 턴온시키기 위한 것이다.

상기 노어 게이트(10)는 래치 논리회로(8)의 신호와 전류 검출기(9)에서 입력되는 신호를 부정 논리합 연산을 수행한 신호로 출력 구동부(11)를 구동시켜 스위칭 모스 FET(3)의 온/오프를 제어한다.

따라서, 입력전압( $V_s$ )이 증가(또는 감소)하여 입력전압( $V_s$ )의 변동량을 감지하는 전압( $V_1$ )이 증가(또는 감소)하면 배율기(6)의 출력전압( $V_{mo}$ )이 증가(또는 감소)하므로 스위칭 모스 FET(3)의 온 듀티비가 작아져 출력 전압( $V_o$ )이 증가(또는 감소)된다.

그러나, 종래의 기술은 스위칭 모스 FET가 턴온되었을 때 인덕터에 흐르는 입력전류를 감지하기 위한 감지저항( $R_s$ )이 스위칭 모스 FET의 소스단자와 접지 사이에 연결되어 있어 스위칭 노이즈 특성이 나빠지는 문제점이 있으며, 또한 역률 보상을 위해 입력전류, 입력전압 및 출력전압을 각각 검출하므로 부품의 수가 증가하여 회로가 복잡하고 제품의 원가가 상승하는 문제점이 있다.

**발명이 이루고자하는 기술적 과제**

그러므로, 이 발명의 목적은 상기한 종래의 문제점을 해결하기 위한 것으로 그라운드 전위에서 입력전류에 대한 정보를 검출하고, 검출된 입력전류로 스위칭 소자의 턴온 듀티비를 조절하여 입력전류의 위상과 크기가 입력전압의 위상과 크기와 같도록 제어하기 위한 것이다.

**발명의 구성 및 작용**

상기 목적을 달성하기 위한 역률 보상회로는, 스위칭 모스 FET의 소스단자와 접지의 접점에 일측 단자가 연결되고 타측 단자가 전압 증폭기에 연결된 감지저항의 양단 전압으로 입력전류를 감지하고, 감지 저항의 양단 전압은 상기 전압 증폭기를 통해 증폭되어 배율기로 출력된다. 상기 배율기는 상기 전압 증폭기로부터 입력되는 전압과 가감기를 통해 입력되는 전압을 곱한 전압을 출력하여 스위칭 모스 FET의 턴온 듀티비를 조절한다.

이하, 상기 구성에 의한 이 발명의 실시예를 첨부된 도면을 참조로 설명하면 다음과 같다.

도1은 이 발명의 실시예에 따른 역률 보상회로의 회로도로서, 도1에 도시된 바와 같이, 역률 보상회로는 교류 전원(AC)을 정류시키고 스위칭 소자의 동작에 따라 2차측 부하로 출력전압( $V_o$ )을 발생하는 부스터 컨버터(10)와; 상기 부스터 컨버터(10)의 입력전류( $i_L$ )를 검출하기 위해 감지한 전압( $V_i$ )을 증폭한 전압( $V_t$ )과 2차측 에러전압( $V_{eo}$ )을 곱하여 역토퍼 전압( $V_{rsaw}$ )과 비교하고, 비교한 결과에 따라 상기 부스터 컨버터(10)의 스위칭 소자를 제어하는 스위칭 제어수단(20)을 포함하여 이루어진다.

상기 부스터 컨버터(10)는 교류 전원(AC)을 1차로 정류하는 필터(11), 정류기(12) 및 커패시터( $C_1$ )와, 인덕터(L)와, 상기 인덕터(L)의 스위칭 동작을 제어하기 위한 스위칭 모스 FET(12)와, 상기 인덕터(L)의 출력전압( $V_o$ )을 정류하여 부하( $R_o$ )로 공급하는 다이오드(D1) 및 커패시터( $C_2$ )로 이루어진다.

상기 스위칭 제어수단(20)은 상기 부스터 컨버터(10)의 출력전압( $V_o$ )을 감지하기 위한 에러 증폭단(21)과, 상기 스위칭 모스 TEF(12)가 온되었을 때 인덕터(L)에 흐르는 입력전류( $i_L$ )를 검출하기 위한 감지전압( $V_i$ )을 소정 증폭비로 증폭하여 출력하는 전류 감지단(22)과, 상기 감지 전류단(22)의 출력전압( $V_t$ )과 에러 증폭단(21)의 출력전압( $V_{eo}$ )을 곱하는 배율기(23)와, 상기 배율기(23)의 출력전압( $V_{mo}$ )을 역토퍼 전압( $V_{rsaw}$ )과 비교하는 비교기(24)와, 리셋 단자(R)로 상기 비교기(24)의 출력신호가 입력되고 세트 단자(S)로 클럭신호가 입력되는 플립플롭(25)과, 상기 플립플롭(25)의 반전 출력( $/Q$ )과 상기 클럭신호를 부정 논리합하는 노어 게이트(26)와, 상기 노어 게이트(26)의 출력에 따라 상기 스위칭 모스 FET(12)를 구동시키는 출력 구동부(27)로 이루어진다.

상기 플립플롭(25)과 노어 게이트(26)로 입력되는 클럭신호는 동일한 것이며, 상기 비교기(24)로 입력되는 역토퍼 전압( $V_{rsaw}$ )과 동시에 발생한다.

상기 에러 증폭단(21)은 비반전 입력단자(+)에 제1기준전압( $V_{ref1}$ )을 설정한 상태에서 두 저항( $R_1$ ,  $R_2$ )에 의해 분배된 부스터 컨버터(10)의 출력전압( $V_o$ )을 반전 입력단자(-)로 입력받아 소정의 증폭비로 증폭시키는 에러 증폭기(21A)와, 상기 에러 증폭기(21A)의 출력전압( $V_e$ )을 제2기준전압( $V_{ref2}$ )과 가감하여 출력하는 가감기(21B)를 포함한다.

상기 전류 감지단(22)은 스위칭 모스 FET(12)가 턴온될 때 인덕터(L)에 흐르는 입력전류( $i_L$ )의 변화에 비례하게 양단의 전압차가 변화하는 감지저항( $R_s$ )과, 상기 감지저항( $R_s$ )의 양단 전압을 소정 증폭비로 증폭하여 출력하는 전압 증폭기(22A)를 포함한다.

상기 감지저항( $R_s$ )의 일측단자는 스위칭 모스 FET(12)의 소스단자와 접지의 접속점에 연결되고 타측단자는 상기 전압 증폭기(22A)의 입력단자에 연결되어 있다.

상기 구성에 의한 이 발명의 실시예를 첨부된 도면을 참조로 설명하면 다음과 같다.

에러 증폭기(21A)는 부스터 컨버터(10)의 출력전압( $V_o$ )을 감지하기 위한 것으로서, 두 저항( $R_1$ ,  $R_2$ )에 의해 분압되어 반전 입력단자(-)로 입력되는 상기 부스터 컨버터(10)의 출력전압( $V_o$ )과 제1기준전압( $V_{ref1}$ )의 차를 증폭하여 가감기(21B)로 출력하는데, 부하전압의 변동에 따라 출력전압( $V_o$ )이 증가하여 반전 입력단자(-)로 입력되는 전압이 제1기준전압( $V_{ref1}$ )보다 커지면 출력전압( $V_e$ )이 감소하고, 부하전압의 변동에 따라 출력전압( $V_o$ )이 감소하여 반전 입력단자(-)로 입력되는 전압이 제1기준전압( $V_{ref1}$ )보다 작아지면 출력전압( $V_e$ )의 증가한다.

상기 가감기(21B)는 제2기준전압( $V_{ref2}$ )과 상기 에러 증폭기(21A)의 출력전압( $V_e$ )을 가감한 전압( $V_{eo}$ )을 배율기(23)로 출력하는데, 에러 증폭기(21A)로부터 감소된 출력전압( $V_e$ )이 입력되면 제2기준전압( $V_{ref2}$ )

과의 가감에 의해 증가된 출력전압(Veo)을 출력하고, 에러 증폭기(21A)로부터 증가된 출력전압(Ve)이 입력되면 제2기준전압(Vref2)과의 가감에 의해 감소된 출력전압(Veo)을 출력한다. 이때 상기 가감기(21B)의 출력전압(Veo)은 항상 양(+)을 갖으며, 제2기준전압(Vref2)은 상기 부스터 컨버터(10)의 출력전압(Vo)의 변화에 비례하는 전압을 비교기(24)에 입력하기 위한 기준전압 레벨이다.

전류 감지단(22)의 감지저항(Rs)은 스위칭 모스 FET(12)가 턴온되었을 때 인덕터(L)에 흐르는 입력전류(iL)의 변화를 감지하기 위한 것으로서 양단의 전압차가 입력전류(iL)의 변화에 비례한다. 상기 전압 증폭기(22A)는 감지저항(Rs)의 양단 전압을 소정 증폭비로 증폭하여 배율기(23)로 출력한다. 따라서 입력전류(iL)가 증가하면 상기 감지저항(Rs)의 양단 전압이 증가하므로 상기 전압 증폭기(22A)에서 출력되는 전압(Vt)도 증가하고, 입력전류(iL)가 감소하면 상기 감지저항(Rs)의 양단전압이 감소하므로 상기 전압 증폭기(22A)에서 출력되는 전압(Vt)도 감소하게 된다.

상기 배율기(23)는 전압 증폭기(22A)의 출력전압(Vt)과 가감기(21B)에서 출력되는 전압(Veo)에 일정 이득이 곱해진 값을 비교기(24)의 비반전 입력단자(+)로 출력한다. 이에 상기 비교기(24)는 반전 입력단자(-)로 입력된 역톱니파 전압(Vrsaw)과 비반전 입력단자(+)로 입력된 전압(Vmo)의 비교파형을 세트 단자(S)로 클럭신호가 입력되는 플립플롭(25)의 리세트 단자(R)로 출력하고, 상기 플립플롭(25)은 각 입력단자로 입력된 비교파형과 클럭신호를 조합한 신호를 반전 출력단자(/Q)를 통해 노어 게이트(26)의 입력단자로 출력한다. 상기 노어 게이트(26)는 클럭신호와 반전 출력단자(/Q)를 통해 입력되는 신호를 부정 논리합 연산을 수행한 신호로 출력 구동부(27)를 동기시켜 스위칭 모스 FET(12)의 게이트 온/오프를 제어한다.

상기 스위칭 모스 FET(12)의 온/오프에 대해 상세하게 설명하면 다음과 같다.

상기 배율기(23)의 출력 보다 역톱니파 전압(Vrsaw)의 크기가 커서 리세트 단자(R)로 로우상태의 신호가 입력되고 세트 단자로 하이상태의 클럭신호가 입력되어 상기 플립플롭(25)이 반전 출력단자(/Q)를 통해 로우상태의 신호를 출력하면, 상기 노어 게이트(26)는 클럭신호와 로우상태의 신호를 부정 논리합 연산한 결과에 대응하는 신호로 출력 구동단(27)을 구동시켜 스위칭 모스 FET(12)를 턴온시킨다.

그러나, 상기 전압 증폭기의 출력전압이나 에러 증폭기의 출력전압이 증가하여 상기 배율기에서 출력되는 전압이 역톱니파 전압(Vrsaw)의 크기 보다 커지면 리세트 단자로 하이상태의 신호가 입력되므로 상기 플립플롭은 반전 출력단자를 통해 하이상태의 신호를 노어 게이트로 출력한다. 상기 노어 게이트 하이상태의 신호와 클럭신호를 부정 논리합 연산한 결과에 대응하는 신호로 출력 구동단(27)을 구동시켜 스위칭 모드 FET를 턴오프시킨다.

도2는 역률 보상회로의 각부의 출력 파형도로서 감지 전류단에 의해 검출된 입력전압의 변화에 따라 스위칭 모스 FET의 게이트 턴온 듀티비가 변화됨을 나타낸다. 좀더 상세하게 설명하면 도2는 입력전류의 증가로 감지저항의 양단 전압이 증가하면 전압 증폭기의 출력전압이 증가하고, 이로 인해 배율기의 출력전압이 증가하여 스위칭 모스 FET의 턴온 듀티비가 작아짐을 도시하고 있다.

상기한 바와 같이, 이 발명은 전류 감지단(22)을 피드 포워드단으로 채용하여 입력전류(iL)가 입력전압(Vs)에 대해 동상이고 동일한 크기의 비를 갖도록 제어하는데, 이를 수식적으로 살펴보면 다음과 같다.

스위칭 모스 FET(12)가 턴온되었을 때 인덕터(L)에 축적된 전압과 스위치 모스 FET(12)가 턴 오프되었을 때 인덕터(L)에 축적된 전압은 아래의 수학적 1, 2와 같고,

$$V_L = V_o - V_s = L \text{TIMES} \frac{di_L}{dt_{off}}$$

$$V_L = V_s = L \text{TIMES} \frac{di_L}{dt_{on}}$$

상기 수학적 1을 수학적 2에 대입하여 정리하면 하기의 수학적 3과 같으므로 수학적 4와 수학적 5가 성립하고,

$$L \text{TIMES} S di_L = V_s S dt_{on} = (V_o - V_s) S dt_{off}$$

$$V_s S dt_{on} = V_o S dt_{off} - V_s S dt_{off}$$

$$V_s S (dt_{on} + dt_{off}) = V_o S dt_{off}$$

다시, 수학적 5에서의  $dt_{on} + dt_{off}$  를 T로 치환하고 정리하면 입력전압(Vs)은 하기의 수학적 6, 7, 8과 같다.

$$V_s S T = V_o S dt_{off}$$

$$V_s = V_o S \frac{T - dt_{on}}{T}$$

$$V_s = V_o S \left(1 - \frac{dt_{on}}{T}\right)$$

그리고, 스위치 모스 FET(12)가 오프되는 시점에서의 배율기(23)의 출력전압(V<sub>mo</sub>)과 역톱니파 전압(V<sub>rsaw</sub>)과의 관계는 아래의 수학적 식 9와 같으므로,

$$V_{mo} = V_{rsaw}$$

상기 배율기(23)의 게인(gain)이 K라 하면 출력전압(V<sub>mo</sub>)과 역톱니파 전압(V<sub>rsaw</sub>)과의 관계식은 하기의 수학적 식 10과 같고,

$$K \text{ TIMES } V_{eo} S g_m = V_a S \left(1 - \frac{dt_{on}}{T}\right)$$

(이때, V<sub>a</sub>는 스위치 모스 FET가 오프될 때의 역톱니파 전압(V<sub>rsaw</sub>)이고, g<sub>m</sub>은 트랜스 컨덕턴스 증폭기의 게인이다) 상기 수학적 식 9를  $dt_{on}$ 에 대해 정리하면 하기의 수학적 식 11, 12, 13과 같다.

$$1 - \frac{dt_{on}}{T} = \frac{V_s}{V_o}$$

$$dt_{on} = \left(1 - \frac{V_s}{V_o}\right) S T$$

$$\frac{dt_{on}}{T} = \left(1 - \frac{V_s}{V_o}\right)$$

따라서, 상기 수학적 식 13을 수학적 식 10에 대입하여 정리하면 하기의 수학적 식 14와 같은데,

$$K \text{ TIMES } V_{eo} S g_m = V_a S \frac{V_s}{V_o}$$

상기 수학적 식 14에서의  $g_m = iL(t)/V_{RS}$  이므로 상기 수학적 식 14는 하기의 수학적 식 15와 같고,

$K \text{ TIMES } V_{eo} S \frac{iL(t)}{V_{RS}} = V_a S \frac{V_s}{V_o}$  (이때,  $V_s = V_o \sin wt$ ) 상기 수학적 식 15를 입력전류(iL)에 대해 정리하면 하기의 수학적 식 16과 같으며, 수학적 식 16에서의  $(V_{RS} S I_{eo}) (K \text{ TIMES } V_{eo} S V_o)$ 를 상수  $K_c$ 로 놓으면  $iL$ 은 하기의 수학적 식 17과 같다.

$$iL(t) = [(V_{RS} S V_a) / (K \text{ TIMES } V_{eo} S V_o)] S V_s \sin wt$$

$$iL(t) = K_c S V_s \sin wt$$

상기한 수학적 식 17에서와 같이 입력전류(iL)는 입력전압( $V_H$ )에 일정한 상수( $K_c$ )를 곱한 형태로 따라간다.

도3은 입력전류와 입력전압의 동작 파형도로서 입력전압의 변화에 따라 입력전류가 동상으로 변화하고 있음을 나타낸다.

### 발명의 효과

이상에서와 같이, 이 발명의 실시예에서 제공하는 역률 보상회로는 입력전류와 출력전압만을 검출하여 역률을 보상하므로 회로가 간단하고, 입력전류를 검출하기 위한 저항이 그라운드 전위에 위치하여 노이즈 특성이 좋은 효과가 있다.

### (57) 청구의 범위

#### 청구항 1

교류 전원을 정류하기 위한 필터, 정류기, 제1 커패시터와, 인덕터, 이 인덕터에 흐르는 전류를 제어하기 위한 스위칭 소자, 상기 인덕터의 출력전압을 정류하여 부하로 공급하는 다이오드 및 커패시터를 포함하여, 스위칭 소자의 동작에 따라 2차측 부하로 출력전압을 발생하는 부스터 컨버터와;

상기 부스터 컨버터의 출력전압을 감지하기 위한 예러 증폭단과, 상기 스위칭 소자에 흐르는 전류를 그라운드 전위에서 검출하여 소정 전압으로 출력하는 전류 감지단과, 상기 전류 감지단의 출력전압과 상기 예러 증폭단의 출력전압을 곱하는 배율기와, 상기 배율기의 출력전압을 역톱니파 전압과 비교하는 비교기와, 제1입력단자로 상기 비교기의 출력신호가 입력되고 제2입력단자로 클럭신호가 입력되는 플립플롭과 상기 플립플롭의 출력과 상기 클럭신호를 부정노리합하는 노어 게이트와, 상기 노어 게이트의 출력에 따라 상기 스위칭 소자를 구동시키는 출력 구동부를 포함하는 스위칭 제어수단을 포함하여 이루어지는

역률 보상회로.

교류 전원을 1차로 정류하는 필터, 정류기 및 커패시터와, 인덕터와, 상기 인덕터에 흐르는 전류를 제어하기 위한 스위칭 소자와, 상기 인덕터의 출력전압을 정류하여 부하로 공급하는 다이오드 및 커패시터를 포함하여 이루어지는 역률 보상회로.

#### 청구항 2

제1항에 있어서, 상기 스위칭 소자는, 스위칭 MOS FET인 것을 특징으로 하는 역률 보상회로.

#### 청구항 3

제1항에 있어서, 상기 에러 증폭단은, 제1입력단자에 제1기준전압을 설정한 상태에서 두 저항에 의해 분배된 상기 부스터 컨버터의 출력전압을 제2입력단자로 입력받아 소정의 증폭비로 증폭시키는 에러 증폭기와, 상기 에러 증폭기의 출력전압을 제2기준전압과 가감하여 출력하는 가감기를 포함하여 이루어지는 역률 보상회로.

#### 청구항 4

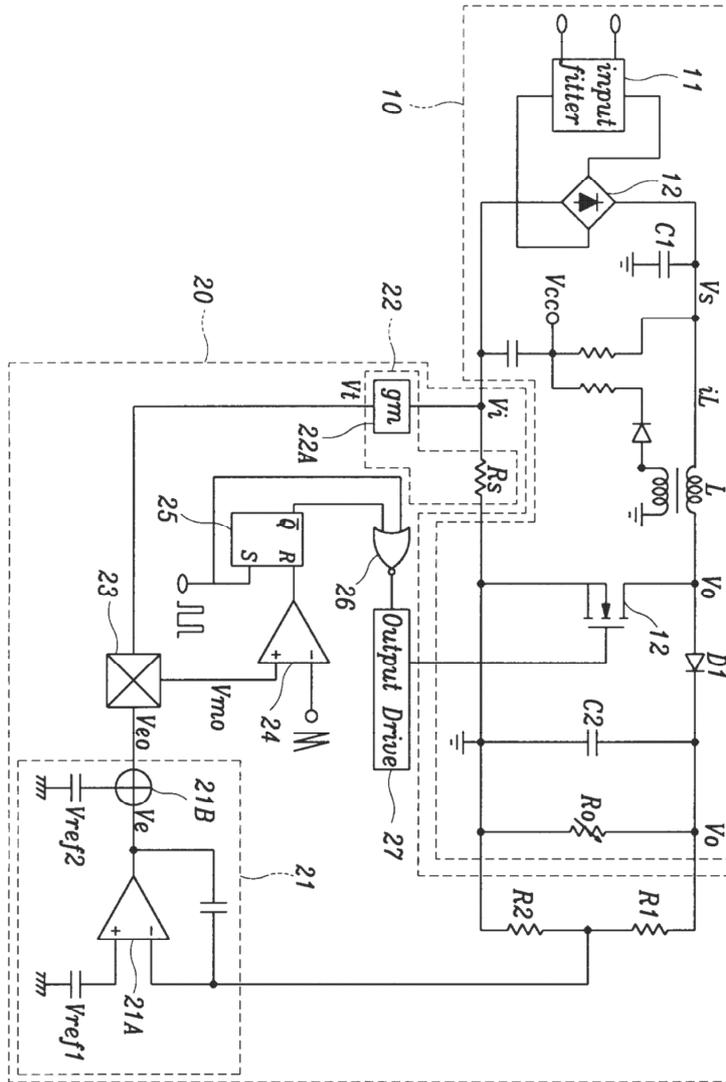
제1항에 있어서, 상기 전류 감지단은, 스위칭 소자가 턴온될 때 인덕터에 흐르는 입력전류의 변화에 비례하게 양단의 전압차가 변화하는 감지 저항과, 상기 감지저항의 양단 전압을 소정 증폭비로 증폭하여 출력하는 전압 증폭기를 포함하여 이루어지는 역률 보상회로.

#### 청구항 5

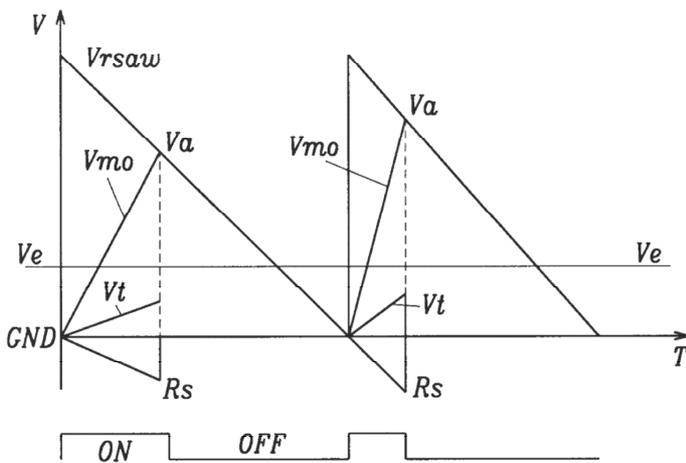
제4항에 있어서, 상기 감지저항은, 스위칭 MOS FET의 소스단자와 접지의 접속점에 일측단자가 연결되고 상기 전압 증폭기의 입력단자에 타측단자가 연결된 것을 특징으로 하는 역률 보상회로.

**도면**

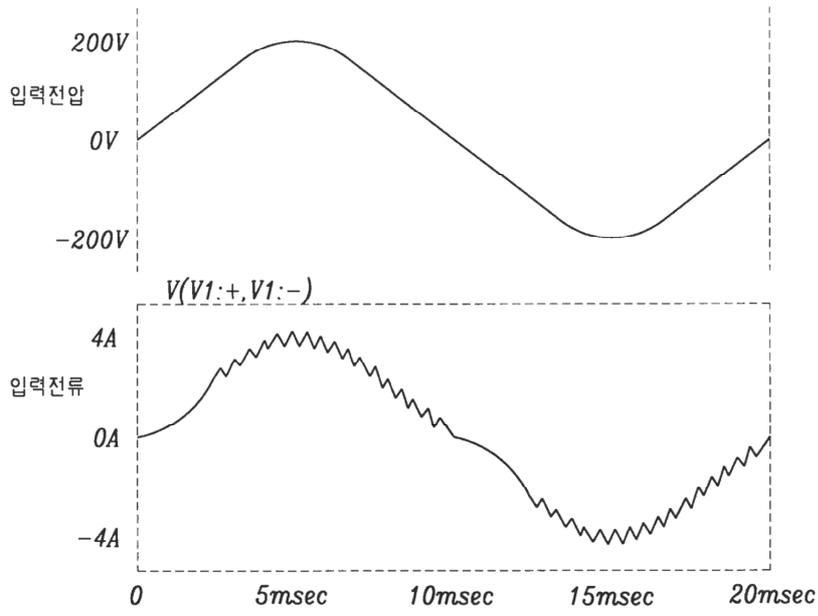
도면1



도면2



도면3



도면4

