



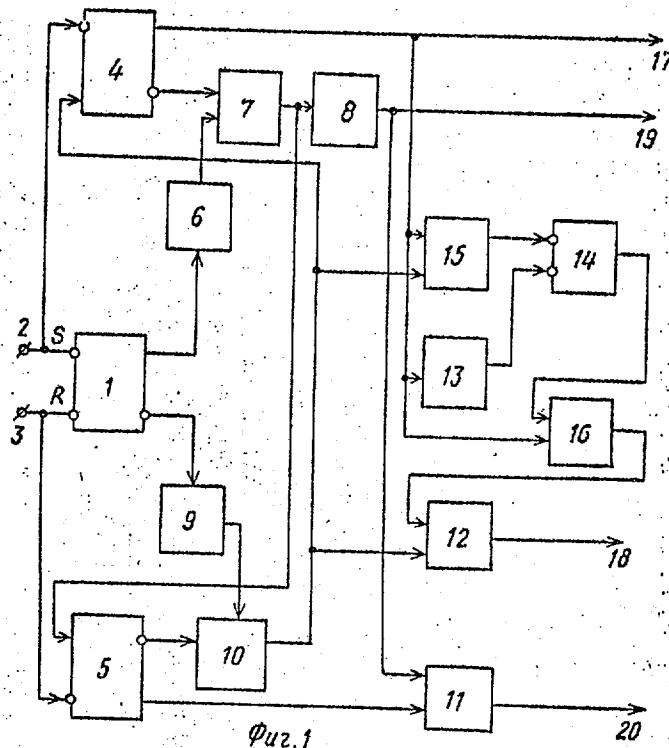
ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4853595/09
(22) 20.07.90
(46) 07.05.92. Бюл. № 17
(71) Центральный научно-исследовательский институт связи
(72) М.Н. Колтунов
(53) 621.376.5(088.8)
(56) Авторское свидетельство СССР № 1394399, кл. Н 03 D 13/00, 1988.
Авторское свидетельство СССР № 1070684, кл. Н 03 D 13/00, 1984.
(54) ФАЗОВЫЙ ДИСКРИМИНАТОР
(57) Изобретение относится к радиотехнике, в частности к области сравнения фаз, и может быть использовано в цифровых прием-

никах. Целью изобретения является повышение точности измерения фаз при малых расфазировках. Сущность изобретения: устройство содержит опорный вход 2, информационный вход 3, четыре RS-триггера 1, 4, 5, 14, три элемента НЕ 6, 9, 13, четыре элемента И 7, 10-12, элемент 18 задержки, два элемента ИЛИ 15, 16, выходную опорную шину 17 опережения, выходную информационную шину 18 опережения, выходную опорную шину 19 отставания, выходную информационную шину 20 отставания. 3-1-9-10-4-7-5-10-15-14-16-12-18; 2-1-6-7-8-11-20; 3-5-11; 2-4-15; 4-13-14; 4-16; 8-19; 10-12. 2 ил.



Изобретение относится к технике демодуляции, в частности к фазовым дискриминаторам, и может быть использовано в цифровых приемниках.

Известен фазовый дискриминатор, содержащий генератор эталонной частоты, два перемножителя, фазовращатель, фильтр промежуточной частоты, два фильтра нижних частот, комплексный перемножитель, пять ключей, пять накапливающих сумматоров, два блока постоянной памяти, два цифровых фильтра нижних частот, два сумматора, два цифроаналоговых преобразователя, аналого-цифровой преобразователь, два усилителя, элемент задержки и делитель частоты, включенные между входной и выходной шинами.

Недостатком данного фазового дискриминатора является значительная сложность конструкции.

Известен также фазовый дискриминатор, содержащий первый триггер, входы которого являются соответственно опорным и информационными входами фазового дискриминатора, второй и третий RS-триггеры, последовательно соединенные первый элемент НЕ, первый элемент И, элемент задержки, последовательно соединенные второй элемент НЕ и второй элемент И, прямой выход третьего RS-триггера соединен с первым входом третьего элемента И, а также четвертый элемент И.

Недостатком известного фазового дискриминатора является низкая точность измерения фаз при малых расфазировках.

Целью изобретения является повышение точности измерения фаз при малых расфазировках.

С этой целью в фазовый дискриминатор, содержащий первый триггер, входы которого являются соответственно опорными и информационными входами фазового дискриминатора, второй и третий RS-триггеры, последовательно соединенные первый элемент НЕ, первый элемент И и элемент задержки, последовательно соединенные второй элемент НЕ и второй элемент И, прямой выход третьего RS-триггера соединен с первым входом третьего элемента И, а также четвертый элемент И, введены третий элемент НЕ, четвертый RS-триггер, первый и второй элементы ИЛИ, при этом первый триггер является RS-триггером с инверсными входами, инверсный S-вход которого объединен с инверсным R-входом второго RS-триггера, прямой выход которого соединен с выходной опорной шиной опережения, первыми входами первого и второго элементов ИЛИ и с входом третьего элемента НЕ, инверсные R-входы первого и треть-

его RS-триггеров объединены, инверсный выход третьего RS-триггера соединен с вторым входом второго элемента ИЛИ, первым входом четвертого элемента И и с S-входом второго триггера, инверсный выход которого соединен с вторым входом первого элемента И, выход которого соединен с S-входом третьего RS-триггера, прямой и инверсный выходы первого триггера соединены соответственно с входами первого и второго элементов НЕ, инверсный S-вход четвертого RS-триггера соединен с выходом первого элемента ИЛИ, а инверсный R-вход соединен с выходом третьего элемента НЕ, прямой выход четвертого RS-триггера соединен с вторым входом второго элемента ИЛИ, выход которого подключен к второму входу четвертого элемента И, выход которого является выходной информационной шиной опережения, выход элемента задержки соединен с выходной опорной шиной отставания и с вторым входом третьего элемента И, выход которого является выходной информационной шиной отставания.

На фиг. 1 изображен фазовый дискриминатор; на фиг. 2 – временные диаграммы, поясняющие принцип работы фазового дискриминатора.

Фазовый дискриминатор содержит первый триггер 1, входы которого являются соответственно опорным 2 и информационным 3 входами фазового дискриминатора, второй 4 и третий 5 RS-триггеры, последовательно соединенные первый элемент НЕ 6, первый элемент И 7, элемент 8 задержки, последовательно соединенные второй элемент НЕ 9 и второй элемент И 10, прямой выход третьего RS-триггера 5 соединен с первым входом третьего элемента И 11, а также четвертый элемент И 12. Кроме того, фазовый дискриминатор содержит третий элемент НЕ 13, четвертый RS-триггер 14, первый 15 и второй 16 элементы ИЛИ, при этом первый триггер 1 является RS-триггером с инверсными входами, инверсный S-вход которого объединен с инверсным R-входом второго RS-триггера 4, прямой выход которого соединен с выходной опорной шиной 17 опережения, первыми входами первого 15 и второго 16 элементов ИЛИ и с входом третьего элемента НЕ 13. Инверсные R-входы первого 1 и третьего 5 RS-триггеров объединены, инверсный выход третьего RS-триггера 5 соединен с вторым входом второго элемента И 10, выход которого соединен с вторым входом первого элемента ИЛИ 15, первым входом четвертого элемента И 12 и с S-входом второго

триггера 4, инверсный выход которого соединен с другим входом первого элемента И 7, выход которого соединен с S-входом третьего RS-триггера 5. Прямой и инверсный выходы первого триггера 1 соединены с входами соответственно первого 6 и второго 9 элементов НЕ, инверсный S-вход четвертого RS-триггера 14 соединен с выходом первого элемента ИЛИ 15, а инверсный R-вход соединен с выходом третьего элемента НЕ 13. Прямой выход четвертого RS-триггера 14 соединен с вторым входом второго элемента ИЛИ 16, выход которого подключен к второму входу четвертого элемента И 12, выход которого является выходной информационной шиной 18 опережения, выход элемента 8 задержки соединен с выходной опорной шиной 19 отставания и с вторым входом третьего элемента И 11, выход которого является информационной шиной 20 отставания.

Фазовый дискриминатор работает следующим образом.

До поступления сигналов на входные шины на обоих входах 2 и 3 первого триггера 1 присутствуют управляющие сигналы. В результате на прямом и инверсном выходах первого триггера 1 устанавливаются сигналы "Единица", т.е. первый триггер находится в нейтральном состоянии, когда обратные связи триггера не влияют на его работу. Второй и третий триггеры за счет сигналов на их R-входах установлены в нулевое состояние. На S-входы этих триггеров через первый 7 и второй 10 элементы не поступают управляющие сигналы, так как на выходах элементов НЕ 6 и 9 устанавливается сигнал "Ноль". На выходной опорной шине 17 опережения сигнал отсутствует. Отсутствует также сигнал на выходной информационной шине 20 отставания, так как на третий элемент И 11 поданы нулевые сигналы. Аналогично отсутствуют сигналы на выходной опорной шине 19 отставания и выходной информационной шине 18 опережения.

В зависимости от того, какой из выходных сигналов, опорный или информационный, поступает раньше, появится нулевой сигнал на прямом или инверсном выходе первого триггера 1, причем за счет обратных связей, момент появления первого из фронтов фиксируется с высокой точностью.

Если первым поступил фронт опорного входного сигнала на входную опорную шину, то на прямом выходе первого триггера 1 устанавливается нулевой уровень, а через первый элемент НЕ 6 на вход первого элемента И 7 поступит "Единица". На инверсном выходе второго триггера 4 остается

"Единица". В результате чего "Единица" поступает через элемент 8 задержки на выходную опорную шину 19 отставания. Одновременно "Единица" поступит на S-вход третьего RS-триггера 5 и при появлении отстающего по фазе информационного входного сигнала на входной информационной шине, третий триггер 5 переключится, установив "Единицу" на прямом своем выходе, подключенном к третьему элементу И 11, на второй вход которого подана "Единица" с выхода элемента 8 задержки. В результате чего появится сигнал на выходной информационной шине 20 отставания.

После окончания сигнала на входной опорной шине, на выходных опорной и информационной шинах 19 и 20 сигналы закончатся и, несмотря на то, что первый триггер 1 сформирует при этом нулевой сигнал на инверсном выходе, второй элемент И 10 останется закрытым за счет инверсного нулевого сигнала с выхода третьего триггера 5, который переключится только тогда, когда закончится входной информационный сигнал на входной информационной шине и первый триггер 1 вернется в нейтральное состояние.

Если раньше появился передний фронт входного информационного сигнала на входной информационной шине, то нулевой сигнал появится на инверсном выходе первого триггера 1, который через второй элемент НЕ 9 подается на вход второго элемента И 10, на другой вход которого подана "Единица" с инверсного выхода третьего триггера 5. С второго элемента И 10 "Единица" поступает на S-вход второго RS-триггера 4 и на входы первого элемента ИЛИ 15 и четвертого элемента И 12. До поступления сигнала на вход первого элемента ИЛИ 15, на его выходе был нулевой сигнал, который является управляющим для четвертого триггера 14, с выхода которого "Единица" поступила через второй элемент ИЛИ 16 на вход четвертого элемента И 12. В результате чего на выходной информационной шине 18 опережения появится "Единица". При поступлении сигнала на входную опорную шину переключится второй триггер 4 и установит сигнал на выходной опорной шине 17 опережения и через третий элемент НЕ 13 переключится четвертый триггер 14, но сигнал "Единица" на выходе второго элемента ИЛИ 16 остается. По окончании сигнала на входной опорной шине второй триггер 4 вернется в нулевое состояние, закончится сигнал на выходной опорной шине 17 опережения и на входе второго элемента ИЛИ 16, а следовательно, и на

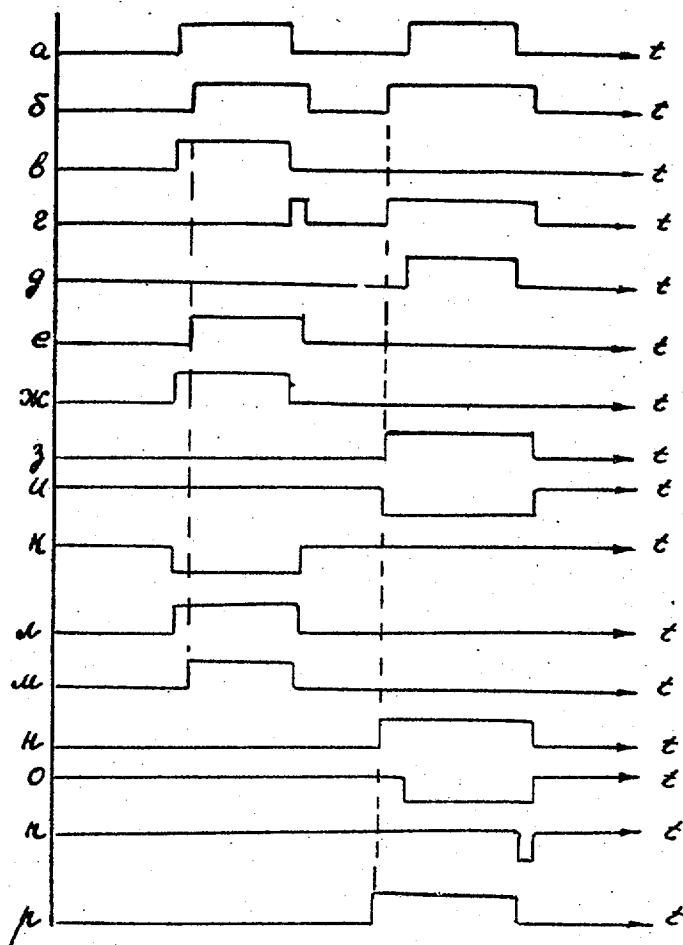
выходной информационной шине 18 опережения.

В результате сигнал с входной опорной шины, в зависимости от момента его появления относительно сигнала на входной информационной шине, целиком поступает на выходную опорную шину 17 опережения или выходную опорную шину 19 отставания, а сигнал с входной информационной шины поступает соответственно на выходную информационную шину 18 опережения или выходную информационную шину 20 отставания. Однако окончание сигнала на выходных информационных шинах опережения 18 и отставания 20 не может быть задержано относительно окончания опорного сигнала.

Ф о р м у л а и з о б р е т е н и я

Фазовый дискриминатор, содержащий первый триггер, входы которого являются соответственно опорным и информационным входами фазового дискриминатора, второй и третий RS-триггеры, последовательно соединенные первый элемент НЕ, первый элемент И и элемент задержки, последовательно соединенные второй элемент НЕ и второй элемент И, прямой выход третьего RS-триггера соединен с первым входом третьего элемента И, а также четвертый элемент И, о т л и ч а ю щ и й с я тем, что, с целью повышения точности измерения фаз при малых расфазировках, в него введены третий элемент НЕ, четвертый RS-триггер, первый и второй элементы ИЛИ,

при этом первый триггер является RS-триггером с инверсными входами, инверсный S-вход которого объединен с инверсным R-входом второго RS-триггера, прямой выход которого соединен с выходной опорной шиной опережения, первыми входами первого и второго элементов ИЛИ и с входом третьего элемента НЕ, инверсные R-входы первого и третьего RS-триггеров объединены, инверсный выход третьего RS-триггера соединен с вторым входом второго элемента И, выход которого соединен с вторым входом первого элемента ИЛИ, первым входом четвертого элемента И и с S-выходом второго триггера, инверсный выход которого соединен с вторым входом первого элемента И, выход которого соединен с S-входом третьего RS-триггера, прямой и инверсный выходы первого триггера соединены соответственно с входами первого и второго элементов НЕ, инверсный S-вход четвертого RS-триггера соединен с выходом первого элемента ИЛИ, а инверсный R-вход — с выходом третьего элемента НЕ, прямой выход четвертого RS-триггера соединен с вторым входом второго элемента ИЛИ, выход которого подключен к второму входу четвертого элемента И, выход которого является выходной информационной шиной опережения, выход элемента задержки соединен с выходной опорной шиной отставания и с вторым входом третьего элемента И, выход которого является выходной информационной шиной отставания.



Фиг. 2

Редактор Г.Гербер

Составитель М.Колтунов
Техред М.Моргентал

Корректор Т.Малец

Заказ 1587

Тираж

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101