

## (19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G11C 11/407

(45) 공고일자 1999년09월01일

(11) 등록번호 10-0218256

(24) 등록일자 1999년06월09일

(21) 출원번호 10-1996-0044652

(65) 공개번호 특1998-0026278

(22) 출원일자 1996년10월08일

(43) 공개일자 1998년07월15일

(73) 특허권자 삼성전자주식회사 윤종용  
경기도 수원시 팔달구 매탄3동 416  
(72) 발명자 이호철  
경기도 수원시 권선구 세류1동 222-39번지  
(74) 대리인 김능균

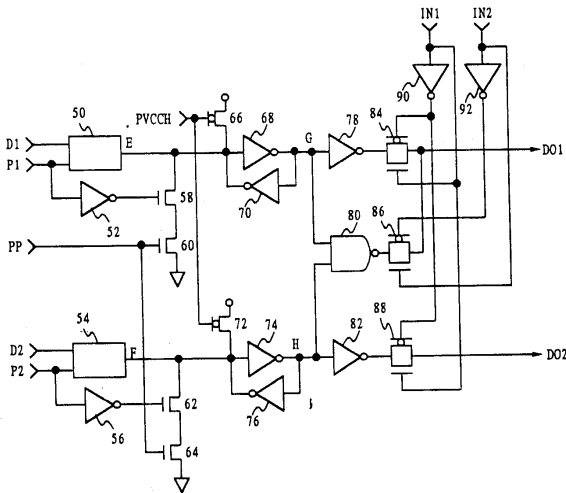
**심사관 : 김종찬**

### (54) 데이터 멀티플렉싱회로

#### 요약

본 발명은 데이터 멀티플렉싱회로를 공개한다. 그 회로는 제1,2제어신호에 각각 응답하여 제1,2데이터를 각각 전송하기 위한 제1,2버퍼, 상기 제1,2제어신호의 반전된 신호에 각각 응답하여 상기 제1,2버퍼의 출력신호를 풀다운하기 위한 제1,2NMOS트랜지스터, 제3제어신호에 각각 응답하여 상기 제1,2NMOS트랜지스터의 동작을 각각 인에이블하기 위한 제3,4NMOS트랜지스터, 파워 업시에 상기 제1,2 버퍼들의 출력신호를 풀업하기 위한 제1,2PMOS트랜지스터, 상기 제1,2버퍼의 출력신호들을 각각 래치하기 위한 제1,2래치, 상기 제1래치의 출력신호를 반전하기 위한 제1인버터, 상기 제2래치의 출력신호를 반전하기 위한 제2인버터, 상기 제1,2래치들의 출력신호들을 비논리곱하기 위한 NAND게이트, 제1입력신호에 응답하여 상기 제1,2인버터의 출력신호들을 각각 제1,2데이터 선으로 전송하기 위한 제1,2CMOS전송 게이트, 및 제2입력신호에 응답하여 상기 NAND 게이트의 출력신호를 상기 제1데이터 선으로 전송하기 위한 제3CMOS전송 게이트로 구성되어 복수개의 데이터를 멀티플렉싱하여 하나의 데이터선으로 출력할 때 데이터 전송속도는 멀티플렉싱하는 데이터의 수에 관계없이 일정하게 된다.

#### 대표도



#### 명세서

##### 도면의 간단한 설명

제1도는 종래의 반도체 메모리 장치의 데이터 멀티플렉싱회로의 회로도이다.

제2도는 제1도의 3상태 버퍼의 회로도이다.

제3(a)도, 제3(b)도는 제1도의 회로의 동작을 설명하기 위한 동작 파형도이다.

제4도는 본 발명의 반도체 메모리 장치의 데이터 멀티플렉싱회로의 회로도이다.

제5(a)도, 제5(b)도는 제4도의 회로의 동작을 설명하기 위한 동작 파형도이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 데이터 멀티플렉싱회로에 관한 것으로, 특히 반도체 메모리 장치의 데이터 멀티플렉싱회로에 관한 것이다.

반도체 메모리 장치를 설계함에 있어서, 설계의 최적화는 중요한 사항이다. 이를 구현하기 위하여, 많은 방법을 사용하지만 그중에서도 특히 중요한 것은 웨이퍼상태에서는 1개의 반도체 메모리 장치내에 1비트, 4비트, 8비트, 16비트 등의 데이터 전송 모드를 모두 구비하여, 패키지 조립시에 모드를 구분하는 것이 보다 효율적인 설계이다.

따라서, 1비트, 4비트, 8비트, 16비트 등의 데이터 전송 모드가 1개의 반도체 메모리 장치내에 모두 구현되기 위해서는 데이터 멀티플렉싱하는 것이 소자의 성능과 관련하여 중요한 설계 파라메타가 된다. 가령, 16비트 및 8비트 데이터 전송모드가 공존하기 위해서는 16비트 데이터 전송모드 때문에 16비트의 데이터가 반도체 메모리 장치내에서 동시에 발생되므로 8비트의 데이터 2개를 멀티플렉싱하여 16비트 데이터를 전송하여야 한다. 이러한 동작을 구현하기 위한 회로를 구성하는 과정에서 16비트 데이터 전송모드와 8비트 데이터 전송모드의 데이터 출력속도가 서로 다르게되는 경우가 발생하게 된다.

제1도는 종래의 반도체 메모리 장치의 데이터 멀티플렉싱회로를 나타내는 것으로, 3상태 버퍼들(10, 12), CMOS전송 게이트(18, 20, 22, 24), 인버터들(14, 16, 28, 30, 32, 36, 38, 40), 및 PMOS트랜지스터들(26, 34)로 구성되어 있다.

제2도는 제1도에 나타난 3상태 인버터의 회로도로서, NAND 게이트들(2, 3), 인버터들(1, 4), PMOS트랜지스터(5), 및 NMOS트랜지스터(6)로 구성되어 있다.

제3(a)도, 제3(b)도는 제1도에 나타난 회로의 동작을 설명하기 위한 동작 파형도로서, 제3(a)도는 입력신호(IN1)가 하이레벨이고 입력신호(IN2)가 로우레벨일 때의 동작 파형도이고, 제3(b)도는 입력신호(IN1)가 하이레벨이고 입력신호(IN2)가 로우레벨일 때의 동작 파형도이다.

제1도에서, PMOS트랜지스터들(26, 34)은 파워 업시 전압(PVCCH)의 로우레벨에 의해 온되어 노드들(A, B, C, D)을 초기화한다. 이때, 파워 업 후에 전압(PVCCH)은 하이레벨로 되며, 입력신호들(IN1, IN2)은 동시에 하이레벨로 되는 경우는 없다.

제3(a)도를 이용하여 동작을 설명하면, 입력신호(IN1)가 하이레벨이고 입력신호(IN2)가 로우레벨일 때, 3상태 버퍼들(10, 12)을 제어하기 위한 신호들(P1, P2)은 함께 토글링하며, CMOS전송 게이트들(18, 22)이 온되어, 데이터(D1)를 3상태 버퍼(10), CMOS전송 게이트(18), 인버터들(28, 32)을 통하여 데이터 출력선(D01)으로 출력하며, 데이터(D2)를 3상태 버퍼(12), CMOS전송 게이트(22), 및 인버터들(36, 40)을 통하여 데이터 출력선(D02)으로 출력한다.

제3(b)도는 이용하여 동작을 설명하면, 입력신호(IN1)가 로우레벨이고 입력신호(IN2)가 하이레벨일 때, 신호들(P1, P2)은 동시에 토글링하는 경우는 없으며, CMOS전송 게이트들(20, 24)이 온되어, 신호(P1)이 토글링하면 데이터(D1)를 CMOS전송 게이트(20), 인버터들(28, 32)을 통하여 데이터 출력선(D01)으로 출력하고, 신호(P2)가 토글링하면 데이터(D2)를 CMOS전송 게이트(24), 인버터들(28, 32)을 통하여 데이터 출력선(D01)으로 출력한다.

제3(b)도의 동작으로부터 알 수 있듯이, 입력신호(IN2)가 하이레벨이면 CMOS전송 게이트들(20, 24)이 온되어, 노드(A, B, C)가 공통 노드화되므로, 3상태 버퍼들(10, 12)중의 하나가 구동될때의 부하는 노드(A)에서 3상태 버퍼의 PMOS트랜지스터(5)와 NMOS트랜지스터(6)의 접합과 CMOS전송 게이트들(18, 20)의 접합, 노드(B)에서 3상태 버퍼의 PMOS트랜지스터(5)와 NMOS트랜지스터(6)의 접합과 CMOS전송 게이트들(22, 24)의 접합, 노드(C)에서 CMOS전송 게이트들(18, 20, 24), PMOS전송 게이트(26), 및 인버터(30)의 접합과 인버터(28)의 게이트 부하를 보는 관계로, 노드(C)의 입력신호(IN1)가 하이레벨일 때 지연이 된다. 더구나, 4개의 데이터를 멀티플렉싱하여 하나의 데이터 선으로 전달해야할 경우라면 상술한 부하보다 거의 2배에 가까운 부하가 노드(C)에 걸리기 때문에, 노드(C)는 더욱 지연된다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 데이터 전송 모드에 따른 데이터 전송 속도의 변화가 없도록 하는 데이터 멀티플렉싱회로를 제공하는데 있다.

이와같은 목적을 달성하기 위한 본 발명의 데이터 멀티플렉싱회로는 제1, 2제어신호에 각각 응답하여  $2^n$ 개의 데이터를 각각 전송하기 위한 제1, 및 2버퍼, 상기 제1, 2제어신호의 반전된 신호에 각각 응답하여 상기 제1, 및 2버퍼의 출력신호를 각각 풀다운하기 위한 제1, 및 2풀다운 수단, 제3제어신호에 응답하여 상기 제1, 및 2풀다운 수단의 동작을 각각 인에이블하기 위한 제1, 및 2인에이블 수단, 파워 업시에 상기 제1, 2버퍼들의 출력신호를 초기화하기 위한 초기화수단, 상기 제1, 및 2버퍼의 출력신호를 각각 래치하기 위한 제1, 및 2래치, 상기 제1, 및 2래치의 출력신호를 각각 반저하기 위한 제1, 및 2반전수단, 상기 제1, 2래치들의 출력신호들을 비논리곱하기 위한 비논리곱수단, 제1입력신호에 응답하여 상기 제1, 2반전수단의  $2^{n-1}$ 개의 출력신호를 각각 제1, 2데이터 선으로 전송하기 위한 제1, 2데이터 전송수단, 및 제2입력신호에 응답하여 상기 비논리곱수단의  $2^{n-1}$ 개의 출력신호를 상기 제1데이터 선으로 전송하기 위한 제3데이터 전송수단을 구비한 것을 특징으로 한다.

## 발명의 구성 및 작용

첨부된 도면을 참고로 하여 본 발명의 데이터 멀티플렉싱회로를 설명하면 다음과 같다.

제4도는 본 발명의 데이터 멀티플렉싱회로를 나타내는 것으로, 3상태 버퍼들(50,54), 인버터들(52,56,68,70,74,76,78,82,90,92), NMOS트랜지스터들(58,60,62,64), PMOS트랜지스터들(66,72), CMOS전송 게이트들(84,86,88), 및 NAND게이트(80)로 구성되어 있다.

제5(a)도, 제5(b)도는 제4도에 나타난 회로의 동작을 설명하기 위한 것으로, 제5(a)도는 입력신호(IN1)가 하이레벨이고 입력신호(IN2)가 로우레벨인 경우의 동작을, 제5(b)도는 입력신호(IN1)가 로우레벨이고 입력신호(IN2)가 하이레벨인 경우의 동작을 설명하기 위한 것이다.

제4도에서, PMOS트랜지스터들(66,72)은 파워 업시 전압(PVCCH)의 로우레벨에 의해서 온되고, 노드들(E, F)을 초기화하기 위한 것이다. 이때, 파워 업 후에 전압(PVCCH)은 하이레벨로 되며 입력신호들(IN1, IN2)은 동시에 하이레벨로 되는 경우는 없다.

제5(a)도를 이용하여 동작을 설명하면, 입력신호(IN1)이 하이레벨이고 입력신호(IN2)가 로우레벨일 때, 신호(PP)는 항상 로우레벨이며, 신호(P1)과 신호(P2)는 동시에 토글링하며, 입력신호(IN1)에 의해서 CMOS전송 게이트들(84,88)이 온되고, 데이터(D1)는 노드(E) 및 인버터들(68,78), CMOS전송 게이트(84)를 통하여 데이터선(D01)으로 출력되고, 데이터(D2)는 노드(F) 및 인버터들(74,82), CMOS전송 게이트(88)를 통하여 데이터 선(D02)로 출력된다. 만일, 데이터(D1, D2)가 각각 8비트의 데이터라고 하면, 16비트 데이터 전송 모드에서는 데이터 선(D01, D02)를 통하여 각각 데이터가 출력됨으로써 16비트의 데이터 출력되게 된다.

제5(b)도를 이용하여 동작을 설명하면, 입력신호(IN1)가 로우레벨이고, 입력신호(IN2)가 하이레벨일 때, 신호들(P1, P2)은 함께 토글링하는 경우는 없으며, 신호들(P1, P2)이 토글링할 때는 신호(PP)가 항상 토글링한다. 하이레벨의 입력신호(IN2)에 응답하여 CMOS전송 게이트(86)가 온되고, 신호들(P1, PP)이 토글링하면 데이터(D1)가 노드(E)에 전달될과 동시에 신호(P2)가 로우레벨이 되면, NMOS트랜지스터(62)가 온되고, 신호(PP)가 하이레벨이 되면 NMOS트랜지스터(64)가 온되어 노드(F)는 로우레벨이 된다. 로우레벨의 신호는 인버터(74)에 의해서 반전되어 노드(H)를 하이레벨로 한다. 노드(E)의 데이터(D1)는 인버터(68), NAND 게이트(80), 및 CMOS전송 게이트(86)를 통하여 데이터 선(D01)으로 출력된다. 마찬가지로, 신호들(P1, P2)가 토글링하는 대신에, 신호들(P2, PP)가 토글링하면 데이터(D2)는 노드(F)에 전달되며, 동시에 신호(P1)이 로우레벨이면, NMOS트랜지스터(58)가 온되고, 신호(PP)가 하이레벨이며, NMOS트랜지스터(60)가 온되어 노드(E)는 로우레벨이 된다. 로우레벨의 노드(E)의 신호는 인버터(68)를 통하여 반전되어 노드(G)를 하이레벨로 만든다. 따라서, 노드(F)의 데이터가 인버터(74), NAND게이트(80), 및 CMOS전송 게이트(86)를 통하여 데이터 선(D01)으로 전송된다. 만일 16비트 데이터 전송 모드에서 8비트 데이터 전송 모드로 전환 시에 8비트의 데이터(D1)를 데이터 선(D1)으로 전송할 때 데이터(D2)를 전송하기 위한 데이터 선(D1)으로 전송하기 위한 통로가 프리차이징되고, 8비트의 데이터(D2)를 데이터 선(D1)으로 전송할 때, 데이터(D1)을 데이터 선(D1)으로 전송하기 위한 통로는 프리차이징되어 데이터 선의 데이터 전송 속도가 변함이 없게 된다. 상술한 실시예에서는 2개의 데이터를 멀티플렉싱하기 위한 멀티플렉싱회로를 나타내었지만, 데이터의 수를 확장하여 멀티플렉싱하더라도 어느 특정 노드의 부하가 멀티플렉싱되는 데이터의 수에 따라 증가하지는 않는다. 즉, 복수개의 데이터를 멀티플렉싱하더라도 데이터 전송 속도에는 영향을 미치지 않게 된다.

본 발명은 제1,2버퍼, 제1,2폴다운 수단, 제1,2인에이블 수단, 초기화 수단, 제1,2래치, 제1,2반전수단, 비논리곱수단, 제1,2, 및 3데이터 전송수단으로 구성되어 제1,2데이터 전송수단이 인에이블시에는 제1,2버퍼의 출력신호가 각각 제1,2데이터 선으로 전송되고, 제3데이터 전송수단이 인에이블시에는 제1,2버퍼의 출력신호가 제1데이터 선으로 전송되는데, 이때, 만일 제1버퍼의 출력신호가 제1데이터 선으로 전송되는 경우에는 제2폴다운 수단 및 제2인에이블 수단이 온되어 제2버퍼의 출력신호를 폴다운하고 이 신호가 제2래치를 통하여 반전되어 비논리곱수단의 인에이블 신호로 작용하여 제1래치에 의해서 반전된 제2버퍼의 출력신호를 반전하여 제1데이터 선으로 데이터를 전송하게 된다.

## 발명의 효과

본 발명의 데이터 멀티플렉싱회로는 다수개의 데이터 전송 모드를 가지는 반도체 메모리 장치내에 적용되어 복수개의 데이터를 멀티플렉싱하여 하나의 데이터 선으로 출력할 때 데이터 전송속도는 멀티플렉싱하는 데이터의 수에 관계없이 일정하게 된다.

## (57) 청구의 범위

### 청구항 1

제1,2제어신호에 각각 응답하여  $2^{n-1}$ 개의 데이터를 각각 전송하기 위한 제1, 및 2버퍼; 상기 제1,2제어신호의 반전된 신호에 각각 응답하여 상기 제1, 및 2버퍼의 출력신호를 각각 폴다운하기 위한 제1, 및 2폴다운 수단; 제3제어신호에 응답하여 상기 제1, 및 2폴다운 수단의 동작을 각각 인에이블하기 위한 제1, 및 2인에이블 수단; 파워 업시에 상기 제1,2버퍼들의 출력신호를 초기화하기 위한 초기화수단; 상기 제1, 및 2버퍼의 출력신호를 각각 래치하기 위한 제1, 및 2래치; 상기 제1, 및 2래치의 출력신호를 각각 반전하기 위한 제1, 및 2반전수단; 상기 제1,2래치들의 출력신호들을 비논리곱하기 위한 비논리곱수단; 제1입력신호에 응답하여 상기 제1,2반전수단의  $2^{n-1}$ 개의 출력신호를 각각 제1,2데이터 선으로 전송하기 위한 제1,2데이터 전송수단; 및 제2입력신호에 응답하여 상기 비논리곱수단의  $2^{n-1}$ 개의 출력신호를 상기 제1데이터 선으로 전송하기 위한 제3데이터 전송수단을 구비한 것을 특징으로 데이터 멀티플렉싱회로.

**청구항 2**

제1항에 있어서, 상기 제1,2풀다운 수단 및 제1,2인에이블 수단은 각각 NMOS트랜지스터로 구성된 것을 특징으로 하는 데이터 멀티플렉싱회로.

**청구항 3**

제1항에 있어서, 상기 초기화수단은 PMOS트랜지스터로 구성되어 파워 업시에 상기 제1, 제2버퍼의 출력신호들을 풀업하는 것을 특징으로 하는 데이터 멀티플렉싱회로.

**청구항 4**

제1항에 있어서, 상기 제1,2반전수단은 각각 인버터로 구성된 것을 특징으로 하는 데이터 멀티플렉싱회로.

**청구항 5**

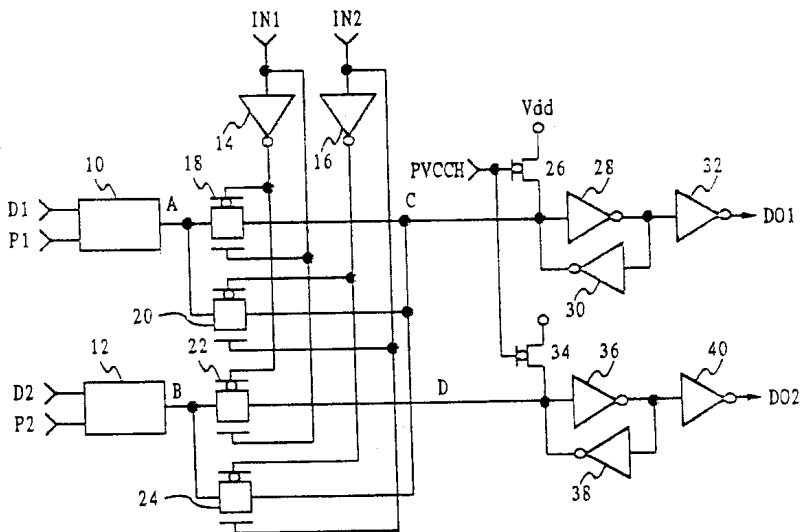
제1항에 있어서, 상기 제1,2 및 3데이터 전송수단은 CMOS전송 게이트로 구성된 것을 특징으로 하는 데이터 멀티플렉싱회로.

**청구항 6**

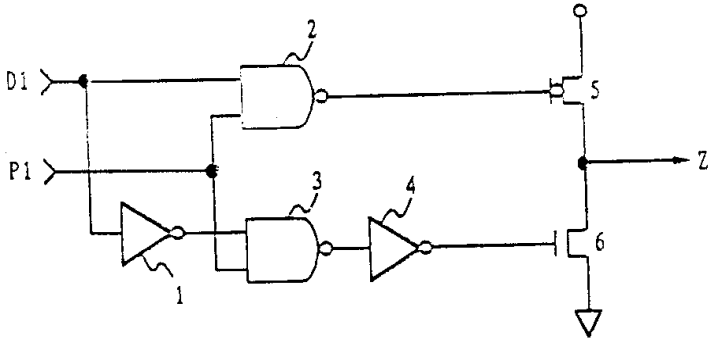
제1항에 있어서, 상기 제1입력신호가 하이레벨이고, 상기 제2입력신호가 로우레벨일 때 제1,2제어신호는 동시에 토글링하고, 제3제어신호는 항상 로우레벨을 유지하는 신호임을 특징으로 하는 데이터 멀티플렉싱회로.

**청구항 7**

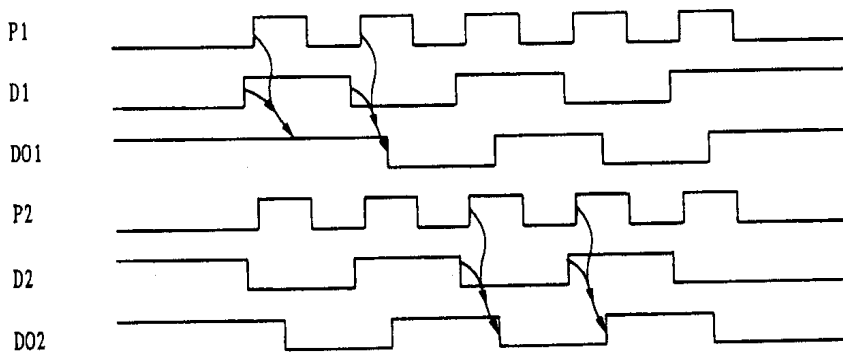
제1항에 있어서, 상기 제1입력신호가 로우레벨이고, 상기 제2입력신호가 하이레벨일 때, 상기 제1,2제어신호는 동시에 토글링하지 않고, 상기 제3제어신호는 상기 제1 또는 제2제어신호가 토글링할 때 동시에 토글링하는 신호임을 특징으로 하는 데이터 멀티플렉싱회로.

**도면****도면1**

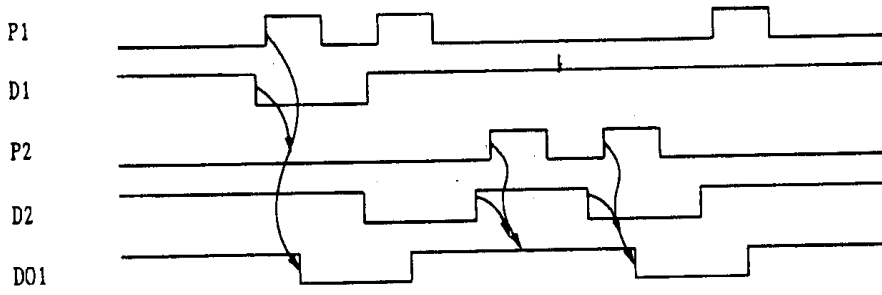
도면2



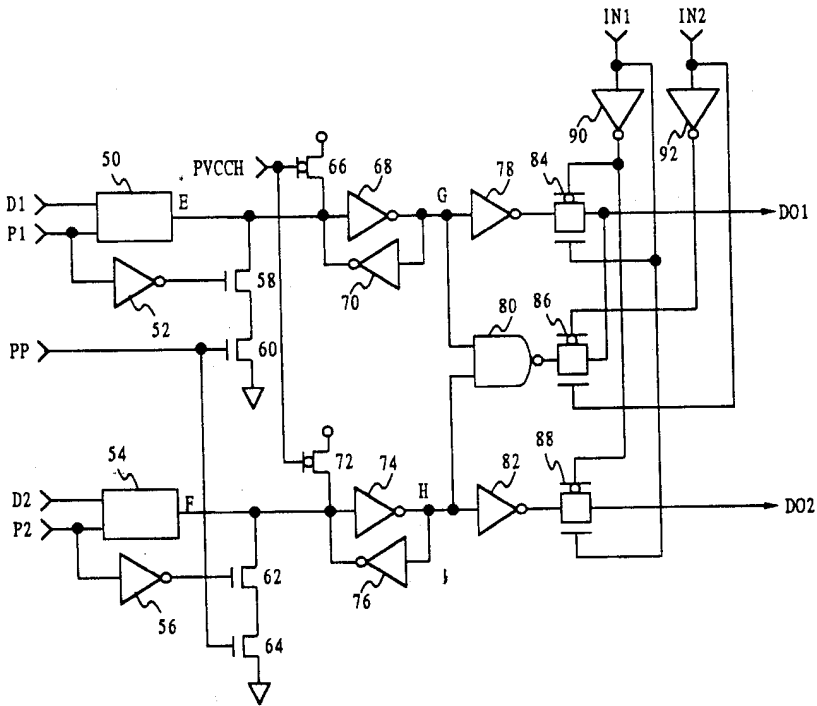
도면3a



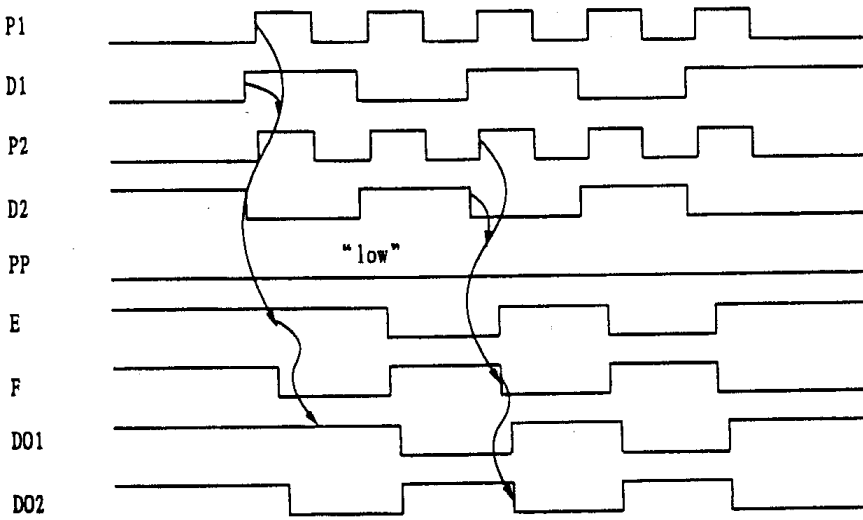
도면3b



도면4



도면5a



도면5b

