

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G11C 11/407

(45) 공고일자 2005년06월17일
(11) 등록번호 10-0495918
(24) 등록일자 2005년06월08일

(21) 출원번호 10-2002-0080373
(22) 출원일자 2002년12월16일

(65) 공개번호 10-2004-0053911
(43) 공개일자 2004년06월25일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 도창호
경기도이천시대월면사동리441-1번지현대전자아파트101-1406

(74) 대리인 특허법인 신성

심사관 : 안병일

(54) **뱅크의 액티브 동작을 달리하는 반도체 기억 장치 및반도체 기억 장치에서의 뱅크 액티브 제어 방법**

요약

본 발명은 리프레쉬 모드에 따라 뱅크들의 액티브 동작을 달리함으로써 셀프 리프레쉬 동안의 전류 소모를 줄이기 위한 반도체 기억 장치 및 반도체 기억 장치에서의 뱅크 액티브 제어 방법을 제공함에 목적이 있다.

상기의 목적을 달성하기 위한 본 발명의 반도체 기억 장치는 외부에서 오토 리프레쉬 명령이 입력되면 인에이블되거나, 외부에서 셀프 리프레쉬 명령이 입력되면 반도체 기억 장치 내부에 구비된 타이머에 의해 일정시간마다 인에이블되는 신호를 입력받아 카운트하여 출력하기 위한 로우 어드레스 카운터; 상기 로우 어드레스 카운터의 출력신호와 셀프 리프레쉬 동작 구간동안 인에이블되는 셀프 리프레쉬 플래그 신호를 입력받아 오토 리프레쉬 모드시의 위상과 셀프 리프레쉬 모드시의 위상이 다른 논리신호를 포함하는 신호를 출력하기 위한 리프레쉬 액티브 제어수단; 상기 리프레쉬 액티브 제어수단에서 출력되는 제어신호에 따라 상기 셀프 리프레쉬 모드시 복수의 뱅크 중 일부를 선택적으로 활성화시키기 위한 뱅크 액티브 제어수단; 상기 뱅크 액티브 제어수단에서 출력되는 출력신호와 로우 어드레스신호를 입력받아 상기 복수의 뱅크 중 해당 뱅크의 워드라인을 인에이블시키는 디코딩신호를 출력하기 위한 로우 디코더; 및 상기 로우 디코더에서 출력되는 디코딩신호에 따라 상기 워드라인에 접속된 복수의 셀들을 인에이블 시키기 위한 상기 복수의 뱅크를 포함하는 것을 특징으로 한다.

대표도

도 2

색인어

뱅크, 반도체 기억 장치, 액티브, 셀프 리프레쉬, 선택, 오토 리프레쉬

명세서

도면의 간단한 설명

도 1은 종래기술의 반도체 기억 장치에서 리프레쉬 모드에 따라 뱅크 액티브 동작을 달리하기 위한 제어회로를 포함하는 전체구성도,

도 2는 본 발명의 반도체 기억 장치에서 리프레쉬 모드에 따라 뱅크 액티브 동작을 달리하기 위한 제어회로를 포함하는 전체구성도,

도 3은 본 발명에 따른 전체 구성도 중 뱅크 액티브 제어부의 구체회로도,

도 4a 및 도 4b는 본 발명에 따른 제1 및 제2 리프레쉬 액티브 제어부의 일실시에 회로도,
 도 5a 및 도 5b는 본 발명에 따른 제1 및 제2 리프레쉬 액티브 제어부의 다른 실시예 회로도.

* 도면의 주요 부분에 대한 설명 *

- 210: 뱅크 액티브 제어부
- 220: 로우 디코더
- 230: 뱅크
- 240: 로우 어드레스 카운터
- 250: 리프레쉬 액티브 제어부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억 장치에 관한 것으로, 구체적으로는 리프레쉬 모드에 따라 뱅크들의 액티브 동작을 달리함으로써 셀프 리프레쉬 동작의 전류 소모를 줄이기 위한 뱅크의 액티브 동작을 달리하는 반도체 기억 장치 및 반도체 기억 장치에서의 뱅크 액티브 제어 방법에 관한 것이다.

일반적으로 DRAM은 셀의 데이터를 지속적으로 유지하기 위하여 리프레쉬 동작을 수행하게 된다. 이러한 리프레쉬 동작의 사양은 JEDEC(Joint Electron Device Engineering Council: 합동 전자 장치 엔지니어링 협의회, 집적 회로(IC) 등 전자 장치의 통일 규격을 심의, 책정하는 국제 표준화 기구)규정에 지정되어 있다. 예를 들면, 512M DDR SDRAM의 경우에는 16K/64ms로 지정되어 있다. 이 규정에 따라 512M DDR SDRAM은 내부 리프레쉬 동작이 1번 수행될 때마다 64K개의 셀이 리프레쉬 되도록 설계된다.

한편, 반도체 기억 장치를 사용하는 시스템에서 파워 세이브(Power Save, 절전)기능을 수행하면, 반도체 기억 장치는 일반적으로 셀프 리프레쉬 상태로 진입하게 되는데, 셀프 리프레쉬 동안 소모되는 전류량이 적을수록 반도체 기억 장치의 성능은 우수하다.

그런데, 지금까지는 오토 리프레쉬이건 셀프 리프레쉬이건 리프레쉬 모드에 상관없이, 1회의 리프레쉬 동작마다 64K개의 셀을 리프레쉬 하는 것을 동일하게 적용시켜 왔다. 즉, 종래의 반도체 기억 장치에서는 셀프 리프레쉬 동작시 내부적으로 뱅크를 선택하는 기능을 없애고 모든 뱅크를 액티브 상태로 유지시킴으로써 모든 뱅크의 워드 라인을 동시에 인에이블하여 많은 셀을 일시에 리프레쉬 하였다. 이에 따라 단위시간당 소모전류가 많고, 액티브 순간에 첨두치 전류량(Peak Current)이 커져 반도체 기억 장치의 수행능력을 떨어뜨리는 문제가 있었다.

도 1은 종래기술의 반도체 기억 장치에서 리프레쉬 모드에 따라 뱅크 액티브 동작을 달리하기 위한 제어회로를 포함하는 전체구성도이다.

뱅크 액티브 제어부(110-1, 110-2, 110-3, 110-4)에 입력되는 신호들은 다음과 같다. 외부신호 extaxp는 외부에서 뱅크 액티브 명령이 입력되면 인에이블되는 신호이다. 외부신호 intaxp는 외부에서 오토 리프레쉬 명령이 입력되면 인에이블되고, 또한 외부에서 셀프 리프레쉬 명령이 입력되면 반도체 기억 장치 내부에 구비된 타이머에 의해 일정시간마다 인에이블되는 신호이다. 한편, 뱅크선택신호(BS<0:3>)는 외부에서 입력되는 뱅크 선택 어드레스가 디코딩된 신호이고, 선택된 뱅크만 인에이블시킨다.

로우 디코더(XDEC: 120-1, 120-2, 120-3, 120-4)에 입력되는 신호들 가운데 로우 어드레스신호(xadd<0:n-1>)는 뱅크 내에 존재하는 워드 라인을 선택하기 위한 로우 어드레스 신호로서 뱅크당 2ⁿ개의 워드라인이 존재하면 뱅크 내에서 하나의 워드 라인을 선택하기 위하여 n개의 어드레스가 필요하다. 또한, 로우 어드레스신호(xadd<0:n-1>)는 노말 액티브시에는 외부에서 입력되는 어드레스에 의해 위상이 정해지며, 리프레쉬 시에는 내부의 어드레스 개수만큼 존재하는 내부 어드레스 카운터의 출력에 의해 위상이 결정되는 신호이다.

뱅크 액티브 제어부(110-1, 110-2, 110-3, 110-4)에서 출력되어 로우 디코더(XDEC: 120-1, 120-2, 120-3, 120-4)에 입력되는 뱅크 액티브 제어 신호(ratvp<0:3>)는 액티브될 뱅크에 대하여 인에이블되는 신호로서 로우 어드레스의 디코딩 동작을 수행하여 외부에서 입력되는 뱅크 어드레스에 따라 선택된 뱅크(130-1, 130-2, 130-3, 130-4)의 액티브 동작을 결정한다.

종래기술에 따르면 리프레쉬 동작시에는 리프레쉬 모드의 종류에 관계없이 사양에서 주어진 조건대로 셀을 리프레쉬 하기 위하여 외부신호(intaxp)가 인에이블되면 뱅크 액티브 정보를 갖는 뱅크 액티브 제어 신호(ratvp<0:3>)를 모두 인에이블시켜 동일한 로우 어드레스(xadd<0:n-1>)를 갖는 각 뱅크(130-1, 130-2, 130-3, 130-4)의 워드 라인이 인에이블되어 한번에 많은 셀을 리프레쉬 시킨다.

예를 들면 리프레쉬 동작의 사양이 8K/64ms이고, 전체 셀의 갯수가 512M라면, 메모리 내부의 전체 셀을 리프레쉬 하기 위해서 1사이클 당 리프레쉬 되는 셀은 64K개이다. 결국, 종래 기술에 따르면 셀의 데이터 유지 능력과 관계 없이 지정된 셀의 수만큼 리프레쉬된다.

그러나, 셀의 데이터 유지능력이 우수하다면 1사이클 당 리프레쉬되는 셀의갯수는 적절하게 조정할 필요가 있다. 특히 셀프 리프레쉬 모드에서 반도체 기억 장치의 내부 상황은 아주 안정된 상황으로 유지되고 있어 일반적인 동작 상황 때보다 셀의 데이터 유지 능력은 우수하다. 이러한 이유로 셀프 리프레쉬 모드에서는 오토 리프레쉬시 인에이블되는 워드 라인의 수를 적절하게 분산시켜 인에이블시킴으로써 단위시간당 전력소모를 감소시킬 필요가 있다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 극복하기 위하여 본 발명은 리프레쉬 모드에 따라 बैं크들의 액티브 동작을 달리함으로써 셀프 리프레쉬 동작의 전류 소모를 줄이기 위한 반도체 기억 장치를 제공함에 목적이 있다.

또한, 본 발명은 리프레쉬 모드에 따라 बैं크들의 액티브 동작을 달리함으로써 셀프 리프레쉬 동작의 전류 소모를 줄이기 위한 반도체 기억 장치에서의 बैं크 액티브 제어 방법을 제공함에 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 반도체 기억 장치는 외부에서 오토 리프레쉬 명령이 입력되면 인에이블되거나, 외부에서 셀프 리프레쉬 명령이 입력되면 반도체 기억 장치 내부에 구비된 타이머에 의해 일정시간마다 인에이블되는 신호를 입력받아 카운트하여 출력하기 위한 로우 어드레스 카운터; 상기 로우 어드레스 카운터의 출력신호와 셀프 리프레쉬 동작 구간동안 인에이블되는 셀프 리프레쉬 플래그 신호를 입력받아 오토 리프레쉬 모드시의 위상과 셀프 리프레쉬 모드시의 위상이 다른 논리신호를 포함하는 신호를 출력하기 위한 리프레쉬 액티브 제어수단; 상기 리프레쉬 액티브 제어수단에서 출력되는 제어신호에 따라 상기 셀프 리프레쉬 모드시 복수의 बैं크 중 일부를 선택적으로 활성화시키기 위한 बैं크 액티브 제어수단; 상기 बैं크 액티브 제어수단에서 출력되는 출력신호와 로우 어드레스신호를 입력받아 상기 복수의 बैं크 중 해당 बैं크의 워드라인을 인에이블시키는 디코딩신호를 출력하기 위한 로우 디코더; 및 상기 로우 디코더에서 출력되는 디코딩신호에 따라 상기 워드라인에 접속된 복수의 셀들을 인에이블 시키기 위한 상기 복수의 बैं크를 포함하는 것을 특징으로 한다.

또한, 본 발명의 상기 리프레쉬 액티브 제어수단은, 상기 로우 어드레스 카운터의 출력신호와 상기 셀프 리프레쉬 플래그 신호를 입력받아 셀프 리프레쉬 모드시 제1 논리 신호를 출력하기 위한 제1 리프레쉬 액티브 제어부; 상기 로우 어드레스 카운터의 출력신호와 상기 셀프 리프레쉬 플래그 신호를 입력받아 셀프 리프레쉬 모드시 상기 제1 논리 신호의 위상과 반대되는 위상을 갖는 제2 논리신호를 출력하기 위한 제2 리프레쉬 액티브 제어부를 포함하는 것을 특징으로 한다.

또한, 본 발명의 상기 제1 리프레쉬 액티브 제어부는, 상기 셀프 리프레쉬 플래그 신호와 상기 셀프 리프레쉬 플래그 신호의 반전신호에 의해 제어되어 상기 로우 어드레스 카운터의 출력신호의 반전신호를 출력하는 제1 전달게이트; 및 상기 셀프 리프레쉬 플래그 신호와 상기 셀프 리프레쉬 플래그 신호의 반전신호에 의해 제어되어 제1 공급전원을 출력하는 제2 전달게이트를 포함하고, 상기 제1 전달게이트와 상기 제2 전달게이트는 선택적으로 턴온되는 것을 특징으로 한다.

또한, 본 발명의 상기 제1 리프레쉬 액티브 제어부는, 상기 셀프 리프레쉬 플래그 신호를 반전시키기 위한 제1 인버터; 상기 로우 어드레스 카운터의 출력신호를 반전시키기 위한 제2 인버터; 상기 제1 인버터의 출력과 상기 제2 인버터의 출력을 입력으로 하는 제1 노아게이트; 및 상기 제1 노아게이트의 출력과 제2 공급전원을 입력으로 하는 제2 노아게이트를 포함하는 것을 특징으로 한다.

또한, 본 발명의 상기 제2 리프레쉬 액티브 제어부는, 상기 셀프 리프레쉬 플래그 신호와 상기 셀프 리프레쉬 플래그 신호의 반전신호에 의해 제어되어 상기 로우 어드레스 카운터의 출력신호를 출력하는 제1 전달게이트; 및 상기 셀프 리프레쉬 플래그 신호와 상기 셀프 리프레쉬 플래그 신호의 반전신호에 의해 제어되어 제1 공급전원을 출력하는 제2 전달게이트를 포함하고, 상기 제1 전달게이트와 상기 제2 전달게이트는 선택적으로 턴온되는 것을 특징으로 한다.

또한, 본 발명의 상기 제2 리프레쉬 액티브 제어부는, 상기 셀프 리프레쉬 플래그 신호를 반전시키기 위한 인버터; 상기 인버터의 출력과 상기 로우 어드레스 카운터의 출력을 입력으로 하는 제1 노아게이트; 및 상기 제1 노아게이트의 출력과 제2 공급전원을 입력으로 하는 제2 노아게이트를 포함하는 것을 특징으로 한다.

또한, 본 발명의 상기 बैं크 액티브 제어수단은, 상기 리프레쉬 액티브 제어수단에서 출력되는 출력신호에 의하여 셀프 리프레쉬 모드시 일정 간격으로 인에이블되는 신호를 출력하는 것을 특징으로 한다.

또한, 본 발명의 반도체 기억 장치에서의 बैं크 액티브 제어 방법은 리프레쉬 모드에 따라 액티브되는 बैं크의 수를 달리하기 위한 제어방법에 있어서, 로우 어드레스 카운터가 외부에서 오토 리프레쉬 명령이 입력되면 인에이블되거나, 외부에서 셀프 리프레쉬 명령이 입력되면 반도체 기억 장치 내부에 구비된 타이머에 의해 일정시간마다 인에이블되는 신호를 입력받아 카운트하여 출력하는 제1 단계; 리프레쉬 액티브 제어수단이 상기 로우 어드레스 카운터의 출력신호와 셀프 리프레쉬 동작 구간동안 인에이블되는 셀프 리프레쉬 플래그 신호를 입력받아 오토 리프레쉬 모드시의 위상과 셀프 리프레쉬 모드시의 위상이 다른 논리신호를 포함하는 신호를 출력하는 제2 단계; बैं크 액티브 제어수단이 상기 리프레쉬 액티브 제어수단에서 출력되는 논리신호에 따라 상기 셀프 리프레쉬 모드시 복수의 बैं크 중 일부를 선택적으로 활성화시키기 위한 신호를 제공하는 제3 단계; 상기 बैं크 액티브 제어수단에서 출력되는 출력신호와 로우 어드레스신호를 입력받아 상기 복수의 बैं크 중 해당 बैं크의 워드라인을 인에이블시키는 디코딩신호를 출력하는 제4 단계; 및 상기 디코딩신호에 따라 상기 워드라인에 접속된 복수의 셀들을 인에이블 시키는 제5 단계를 포함하는 것을 특징으로 한다.

또한, 본 발명의 제2 단계는, 상기 로우 어드레스 카운터의 출력신호와 상기 셀프 리프레쉬 플래그 신호를 입력받아 셀프 리프레쉬 모드시 제1 논리 신호를 출력하는 제6 단계; 및 상기 로우 어드레스 카운터의 출력신호와 상기 셀프 리프레쉬 플래그 신호를 입력받아 셀프 리프레쉬 모드시 상기 제1 논리 신호의 위상과 반대되는 위상을 갖는 제2 논리신호를 출력하는 제7 단계를 포함하는 것을 특징으로 한다.

또한, 본 발명의 반도체 기억 장치에서의 뱅크 액티브 제어 방법은, 리프레쉬 모드에 따라 액티브되는 뱅크의 수를 달리 하기 위한 제어방법에 있어서, 오토 리프레쉬 모드시, 반도체 기억 장치 내 전체 뱅크에 대하여 입력되는 로우 어드레스에 해당하는 상기 전체 뱅크 각각의 워드라인을 인에이블시키는 단계; 및 셀프 리프레쉬 모드시, 상기 전체 뱅크 중 일부 뱅크에 대하여 입력되는 로우 어드레스에 해당하는 상기 일부 뱅크 각각의 워드라인을 인에이블시키는 단계를 포함하는 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 본 발명의 가장 바람직한 실시예들을 첨부된 도면을 참조하여 설명하기로 한다.

본 발명의 일실시예에서는 오토 리프레쉬의 경우에는 1사이클당 64K개의 셀이 리프레쉬 되어 전체 셀이 리프레쉬 되는데 8K 사이클이 필요한 반면, 셀프 리프레쉬의 경우에는 1사이클 당 32K개의 셀이 리프레쉬 되어 전체 셀이 리프레쉬 되는데 16K 사이클이 필요하도록 하였다.

도 2는 본 발명의 반도체 기억 장치에서 리프레쉬 모드에 따라 뱅크 액티브 동작을 달리하기 위한 제어회로를 포함하는 전체구성도이다.

본 발명에 따르면 반도체 기억 장치의 리프레쉬 모드인, 오토 리프레쉬 모드와 셀프 리프레쉬 모드에서 각각 다른 리프레쉬 동작을 수행하도록 한다.

즉, 오토 리프레쉬 모드에서는 모든 뱅크가 선택되도록 하여 각 뱅크의 같은 로우 어드레스에 해당하는 워드 라인을 인에이블 시키고, 이에 따라 그 워드 라인과 접속된 셀을 리프레쉬 시킨다. 반면, 셀프 리프레쉬 모드에서는 일부 뱅크를 선택하여 인에이블된 일부 뱅크의 워드 라인에 접속된 셀을 리프레쉬시킨다.

도 2에서 뱅크 액티브 제어부는 각 뱅크별로 하나씩 지정되어 있으며, 제1 리프레쉬 액티브 제어부의 출력은 지정된 2개의 뱅크에 할당된 뱅크 액티브 제어부로 입력되고, 제2 리프레쉬 액티브 제어부의 출력은 나머지 2개의 지정된 뱅크 액티브 제어부로 입력되어 셀프 리프레쉬 모드에서는 2 뱅크씩 액티브 동작을 수행하여 해당 셀들을 리프레쉬 시키며, 오토 리프레쉬 모드에서는 4 뱅크에 대하여 액티브 동작을 수행하여 해당 셀들을 리프레쉬 시킨다.

위와 같은 동작을 수행하기 위한, 본 발명의 반도체 기억 장치에서의 리프레쉬 모드에 따른 뱅크 액티브 동작 제어회로는, 외부에서 오토 리프레쉬 명령이 입력되면 인에이블되거나, 외부에서 셀프 리프레쉬 명령이 입력되면 반도체 기억 장치 내부에 구비된 타이머에 의해 일정시간마다 인에이블되는 신호를 입력받아 카운트하여 출력하기 위한 로우 어드레스 카운터(240), 로우 어드레스 카운터(240)의 출력신호(xcnt_bs)와 셀프 리프레쉬 동작 구간동안 인에이블되는 셀프 리프레쉬 플래그 신호(sref_flag)를 입력받아 셀프 리프레쉬 모드의 경우에만 뱅크를 구분하는 신호를 출력하기 위한 리프레쉬 액티브 제어부(250-1, 250-2)와, 리프레쉬 액티브 제어부(250-1, 250-2)에서 출력되는 제어신호에 따라 오토 리프레쉬 모드와 셀프 리프레쉬 모드를 구분하여 뱅크를 선택적으로 활성화시키기 위한 뱅크 액티브 제어부(210-1, 210-2, 210-3 및 210-4)와, 뱅크 액티브 제어부(210-1, 210-2, 210-3 및 210-4)에서 출력되는 출력신호(ratvp<0:3>)와 로우 어드레스신호(xadd<0:n-1>)를 입력받아 해당 뱅크의 워드라인을 인에이블시키는 로우 디코더(220-1, 220-2, 220-3, 220-3)를 포함한다.

위와 같은 구성에 따른 동작을 설명하면 다음과 같다.

로우 어드레스 카운터(240)가 외부에서 오토 리프레쉬 명령이 입력되면 인에이블되거나, 외부에서 셀프 리프레쉬 명령이 입력되면 반도체 기억 장치 내부에 구비된 타이머에 의해 일정시간마다 인에이블되는 신호를 입력받아 카운트하여 출력하면, 리프레쉬 액티브 제어부(250-1, 250-2)에서는 로우 어드레스 카운터(240)의 출력신호(xcnt_bs)와 셀프 리프레쉬 동작 구간동안 인에이블되는 셀프 리프레쉬 플래그 신호(sref_flag)를 입력받아 오토 리프레쉬 모드에서는 제1 리프레쉬 액티브 제어부(250-1) 및 제2 리프레쉬 액티브 제어부(250-2)의 출력 모두를 인에이블시키고, 셀프 리프레쉬 모드에서는 제1 리프레쉬 액티브 제어부(250-1)의 출력 및 제2 리프레쉬 액티브 제어부(250-2)의 출력 중의 하나만을 인에이블시킨다.

이에 따라, 오토 리프레쉬 모드에서는 모든 뱅크 액티브 제어부(210-1, 210-2, 210-3 및 210-4)의 출력(ratvp<0:3>)이 인에이블되는 반면, 셀프 리프레쉬 모드에서는 제1 리프레쉬 액티브 제어부(250-1)에서 출력되는 제어신호를 입력으로 하는 뱅크 액티브 제어부(210-1 및 210-2)의 출력이 인에이블되거나 혹은 제2 리프레쉬 액티브 제어부(250-2)에서 출력되는 제어신호를 입력으로 하는 뱅크 액티브 제어부(210-3 및 210-4)의 출력이 인에이블된다.

결국, 셀프 리프레쉬 모드에서 뱅크 액티브 제어부(210-1 및 210-2)의 출력(ratvp<0:1>)이 인에이블되면, 이를 입력으로 하는 로우 디코더(220-1 및 220-2)는 로우 어드레스신호(xadd<0:n-1>)를 입력받아 해당 뱅크(230-1 및 230-2)의 워드라인을 인에이블시킨다. 또는 이와 상반되게 뱅크 액티브 제어부(210-3 및 210-4)의 출력(ratvp<2:3>)이 인에이블되면, 이를 입력으로 하는 로우 디코더(220-3 및 220-4)는 로우 어드레스신호(xadd<0:n-1>)를 입력받아 해당 뱅크(230-3 및 230-4)의 워드라인을 인에이블시킨다.

도 3은 본 발명에 따른 전체 구성도 중 뱅크 액티브 제어부의 구체회로도이다.

본 발명에 따른 뱅크 액티브 제어부(210-x)의 구성은 도 1에 보이는 종래기술에 따른 뱅크 액티브 제어부(110-x)와 대부분 동일하고, 다만 리프레쉬 액티브 제어부(250-x)로부터 출력되는 제어신호(RBS<y>)를 게이트에 입력받는 엔모스트랜지스터가 접지측(Vss)과 외부신호 intaxp를 제어신호로 사용하는 엔모스트랜지스터의 사이에 추가로 접속되어 있다.

외부 액티브 명령에 의해 인에이블되는 신호 extaxp가 들어오면 이 때 입력되는 뱅크 어드레스의 정보를 받아 디코딩된 BS<x>신호를 유효화하여 선택된 뱅크에 대해서만 워드 라인 선택 동작을 수행하도록 구성되고, 또한, 리프레쉬 명령일 때 인에이블되는 신호 intaxp가 들어오면 이 때 입력되는 제1, 2 리프레쉬 액티브 제어부의 출력(RBS<y>)을 유효화하여 뱅크를 선택한다.

도 4a 및 도 4b는 본 발명에 따른 제1 및 제2 리프레쉬 액티브 제어부의 일실시에 회로도이고, 도 5a 및 도 5b는 본 발명에 따른 제1 및 제2 리프레쉬 액티브 제어부의 다른 실시예 회로도이다.

본 발명에 따른 리프레쉬 액티브 제어부(250-x)는 뱅크 구분을 위하여 구비된 로우 어드레스 카운터(240)의 출력(xcnt_bs)을 입력받고, 셀프 리프레쉬시 인에이블되는 셀프 리프레쉬 플래그 신호(sref_flag)를 받아 출력(RBS<y>)을 만든다. 이러한 리프레쉬 액티브 제어부는 셀프 리프레쉬 모드에서 상반되는 위상의 신호를 출력하도록 각각 구성되고, 오토 리프레쉬 모드에서는 동일한 위상의 신호를 출력하도록 구성된다.

본 발명의 실시예에서는 4뱅크 액티브 동작과 2뱅크 액티브 동작으로 구분하여 설명하였으나, 이 발명의 적용은 뱅크의 갯수나 오토 리프레쉬시 인에이블되는 셀의 갯수나 선택되는 워드 라인의 수가 어떻게 되느냐에 따라 셀프 리프레쉬시 동작모드를 적절하게 조정할 수 있다.

즉, 리프레쉬 액티브 제어부를 각 뱅크 액티브 제어부마다 하나씩 구비하고, 추가로 구비되는 로우 어드레스 카운터를 뱅크 어드레스 수 만큼 구비하며, 리프레쉬 액티브 제어부의 입력에는 로우 어드레스 카운터의 출력들의 디코딩된 신호를 입력하여 제어한다면 셀프 리프레쉬 모드에서 셀을 더욱 분산시켜 리프레쉬 시킬 수 있다.

이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지로 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 한정되는 것이 아니다.

발명의 효과

상기와 같은 구성에 따라 본 발명은 반도체 기억 장치에서 셀프 리프레쉬 모드시 소모되는 전류량을 감소시키고, 또한 분산된 리프레쉬 동작을 채택하여 셀프 리프레쉬 모드시 퍼크 전류의 크기를 감소시킴으로써 반도체 기억 장치의 특성을 향상 및 개선할 수 있는 유리한 효과가 있다.

(57) 청구의 범위

청구항 1.

외부에서 오토 리프레쉬 명령이 입력되면 인에이블되거나, 외부에서 셀프 리프레쉬 명령이 입력되면 반도체 기억 장치 내부에 구비된 타이머에 의해 일정시간마다 인에이블되는 신호를 입력받아 카운트하여 출력하기 위한 로우 어드레스 카운터;

상기 로우 어드레스 카운터의 출력신호와 셀프 리프레쉬 동작 구간동안 인에이블되는 셀프 리프레쉬 플래그 신호를 입력받아 오토 리프레쉬 모드시의 위상과 셀프 리프레쉬 모드시의 위상이 다른 논리신호를 포함하는 신호를 출력하기 위한 리프레쉬 액티브 제어수단;

상기 리프레쉬 액티브 제어수단에서 출력되는 제어신호에 따라 상기 셀프 리프레쉬 모드시 복수의 뱅크 중 일부를 선택적으로 활성화시키기 위한 뱅크 액티브 제어수단;

상기 뱅크 액티브 제어수단에서 출력되는 출력신호와 로우 어드레스신호를 입력받아 상기 복수의 뱅크 중 해당 뱅크의 워드라인을 인에이블시키는 디코딩신호를 출력하기 위한 로우 디코더; 및

상기 로우 디코더에서 출력되는 디코딩신호에 따라 상기 워드라인에 접속된 복수의 셀들을 인에이블 시키기 위한 상기 복수의 뱅크

를 포함하는 것을 특징으로 하는 뱅크의 액티브 동작을 달리하는 반도체 기억 장치.

청구항 2.

제1항에 있어서, 상기 리프레쉬 액티브 제어수단은,

상기 로우 어드레스 카운터의 출력신호와 상기 셀프 리프레쉬 플래그 신호를 입력받아 셀프 리프레쉬 모드시 제1 논리신호를 출력하기 위한 제1 리프레쉬 액티브 제어부;

상기 로우 어드레스 카운터의 출력신호와 상기 셀프 리프레쉬 플래그 신호를 입력받아 셀프 리프레쉬 모드시 상기 제1 논리신호의 위상과 반대되는 위상을 갖는 제2 논리신호를 출력하기 위한 제2 리프레쉬 액티브 제어부

를 포함하는 것을 특징으로 하는 बैं크의 액티브 동작을 달리하는 반도체 기억 장치.

청구항 3.

제2항에 있어서, 상기 제1 리프레쉬 액티브 제어부는,

상기 셀프 리프레쉬 플래그 신호와 상기 셀프 리프레쉬 플래그 신호의 반전신호에 의해 제어되어 상기 로우 어드레스 카운터의 출력신호의 반전신호를 출력하는 제1 전달게이트; 및

상기 셀프 리프레쉬 플래그 신호와 상기 셀프 리프레쉬 플래그 신호의 반전신호에 의해 제어되어 제1 공급전원을 출력하는 제2 전달게이트

를 포함하고, 상기 제1 전달게이트와 상기 제2 전달게이트는 선택적으로 턴온되는 것을 특징으로 하는 बैं크의 액티브 동작을 달리하는 반도체 기억 장치.

청구항 4.

제2항에 있어서, 상기 제1 리프레쉬 액티브 제어부는,

상기 셀프 리프레쉬 플래그 신호를 반전시키기 위한 제1 인버터;

상기 로우 어드레스 카운터의 출력신호를 반전시키기 위한 제2 인버터;

상기 제1 인버터의 출력과 상기 제2 인버터의 출력을 입력으로 하는 제1 노아게이트; 및

상기 제1 노아게이트의 출력과 제2 공급전원을 입력으로 하는 제2 노아게이트

를 포함하는 것을 특징으로 하는 बैं크의 액티브 동작을 달리하는 반도체 기억 장치.

청구항 5.

제2항에 있어서, 상기 제2 리프레쉬 액티브 제어부는,

상기 셀프 리프레쉬 플래그 신호와 상기 셀프 리프레쉬 플래그 신호의 반전신호에 의해 제어되어 상기 로우 어드레스 카운터의 출력신호를 출력하는 제1 전달게이트; 및

상기 셀프 리프레쉬 플래그 신호와 상기 셀프 리프레쉬 플래그 신호의 반전신호에 의해 제어되어 제1 공급전원을 출력하는 제2 전달게이트

를 포함하고, 상기 제1 전달게이트와 상기 제2 전달게이트는 선택적으로 턴온되는 것을 특징으로 하는 बैं크의 액티브 동작을 달리하는 반도체 기억 장치.

청구항 6.

제2항에 있어서, 상기 제2 리프레쉬 액티브 제어부는,

상기 셀프 리프레쉬 플래그 신호를 반전시키기 위한 인버터;

상기 인버터의 출력과 상기 로우 어드레스 카운터의 출력을 입력으로 하는 제1 노아게이트; 및

상기 제1 노아게이트의 출력과 제2 공급전원을 입력으로 하는 제2 노아게이트

를 포함하는 것을 특징으로 하는 बैं크의 액티브 동작을 달리하는 반도체 기억 장치.

청구항 7.

제1항 내지 제6항 중 어느 한 항에 있어서, 상기 बैं크 액티브 제어수단은,

상기 리프레쉬 액티브 제어수단에서 출력되는 출력신호에 응하여 셀프 리프레쉬 모드시 일정 간격으로 인에이블되는 신호를 출력하는 것을 특징으로 하는 बैं크의 액티브 동작을 달리하는 반도체 기억 장치.

청구항 8.

리프레쉬 모드에 따라 액티브되는 बैं크의 수를 달리하기 위한 제어방법에 있어서,

로우 어드레스 카운터가 외부에서 오토 리프레쉬 명령이 입력되면 인에이블되거나, 외부에서 셀프 리프레쉬 명령이 입력되면 반도체 기억 장치 내부에 구비된 타이머에 의해 일정시간마다 인에이블되는 신호를 입력받아 카운트하여 출력하는 제1 단계;

리프레쉬 액티브 제어수단이 상기 로우 어드레스 카운터의 출력신호와 셀프 리프레쉬 동작 구간동안 인에이블되는 셀프 리프레쉬 플래그 신호를 입력받아 오토 리프레쉬 모드시의 위상과 셀프 리프레쉬 모드시의 위상이 다른 논리신호를 포함하는 신호를 출력하는 제2 단계;

뱅크 액티브 제어수단이 상기 리프레쉬 액티브 제어수단에서 출력되는 논리신호에 따라 상기 셀프 리프레쉬 모드시 복수의 बैं크 중 일부를 선택적으로 활성화시키기 위한 신호를 제공하는 제3 단계;

상기 बैं크 액티브 제어수단에서 출력되는 출력신호와 로우 어드레스신호를 입력받아 상기 복수의 बैं크 중 해당 बैं크의 워드라인을 인에이블시키는 디코딩신호를 출력하는 제4 단계; 및

상기 디코딩신호에 따라 상기 워드라인에 접속된 복수의 셀들을 인에이블 시키는 제5 단계

를 포함하는 것을 특징으로 하는 बैं크의 액티브 동작을 달리하는 반도체 기억 장치에서의 बैं크 액티브 제어 방법.

청구항 9.

제8항에 있어서, 제2 단계는,

상기 로우 어드레스 카운터의 출력신호와 상기 셀프 리프레쉬 플래그 신호를 입력받아 셀프 리프레쉬 모드시 제1 논리신호를 출력하는 제6 단계; 및

상기 로우 어드레스 카운터의 출력신호와 상기 셀프 리프레쉬 플래그 신호를 입력받아 셀프 리프레쉬 모드시 상기 제1 논리신호의 위상과 반대되는 위상을 갖는 제2 논리신호를 출력하는 제7 단계

를 포함하는 것을 특징으로 하는 बैं크의 액티브 동작을 달리하는 반도체 기억 장치에서의 बैं크 액티브 제어 방법.

청구항 10.

리프레쉬 모드에 따라 액티브되는 बैं크의 수를 달리하기 위한 제어방법에 있어서,

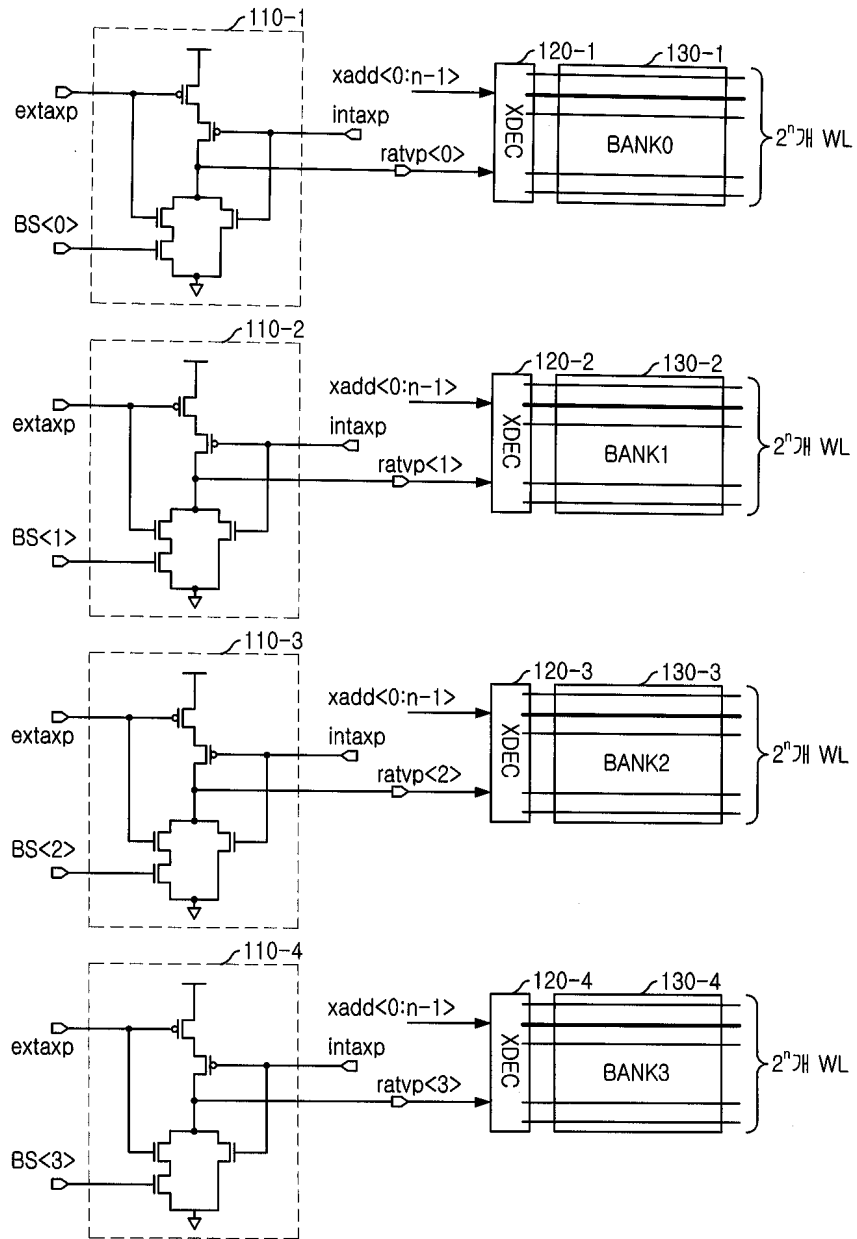
오토 리프레쉬 모드시, 반도체 기억 장치 내 전체 बैं크에 대하여 입력되는 로우 어드레스에 해당하는 상기 전체 बैं크 각각의 워드라인을 인에이블시키는 단계; 및

셀프 리프레쉬 모드시, 상기 전체 बैं크 중 일부 बैं크에 대하여 입력되는 로우 어드레스에 해당하는 상기 일부 बैं크 각각의 워드라인을 인에이블시키는 단계

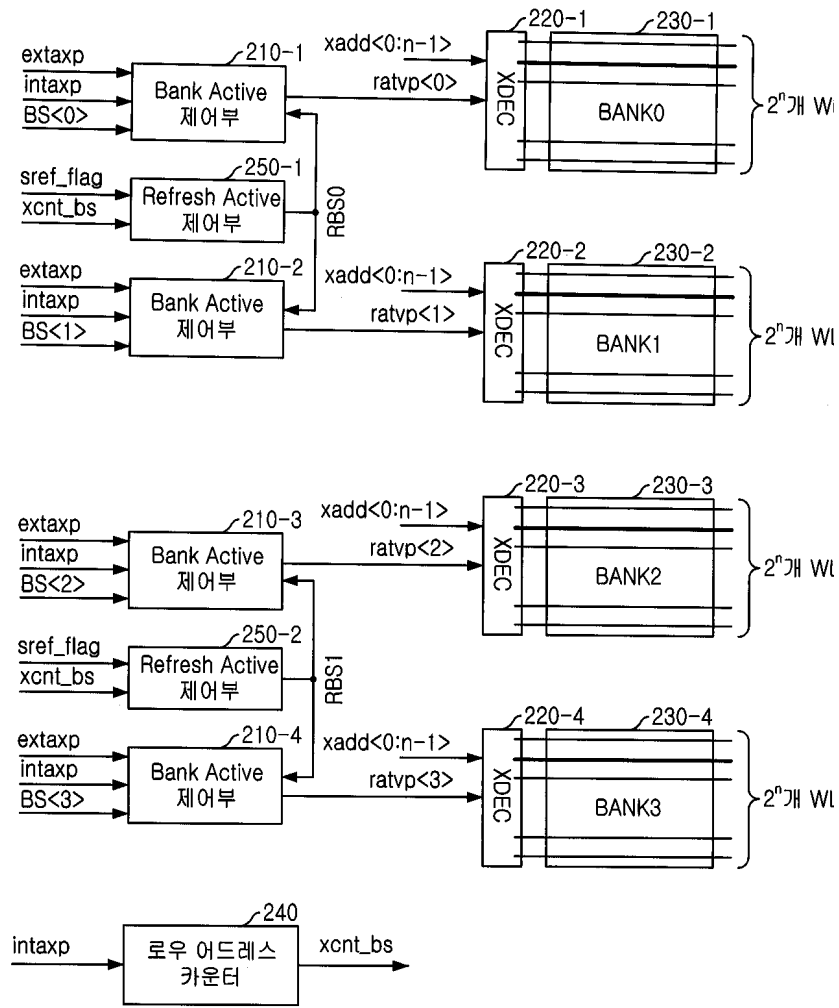
를 포함하는 것을 특징으로 하는 बैं크의 액티브 동작을 달리하는 반도체 기억 장치에서의 बैं크 액티브 제어 방법.

도면

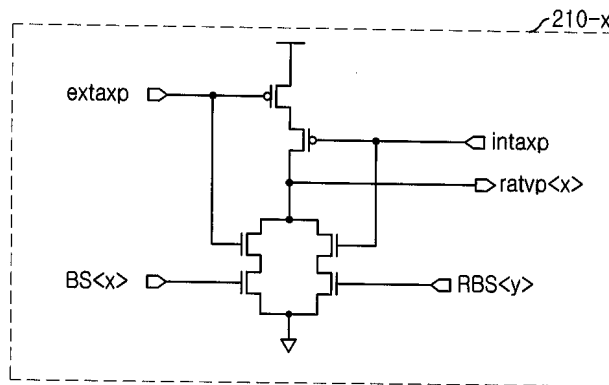
도면1



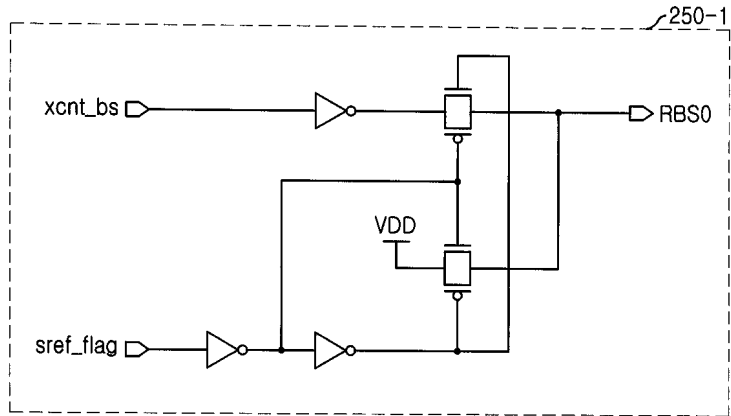
도면2



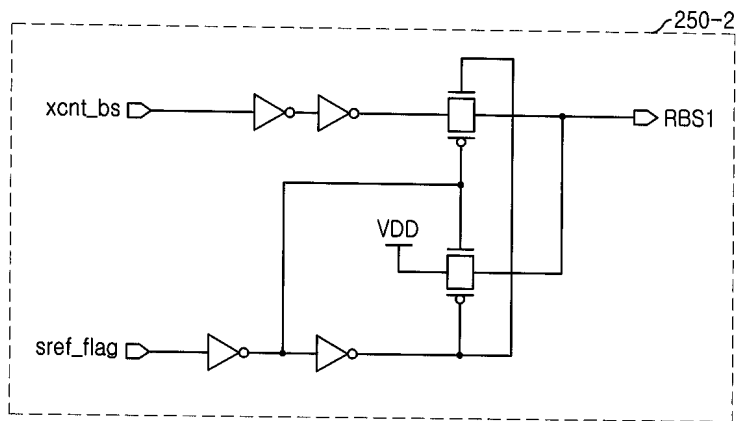
도면3



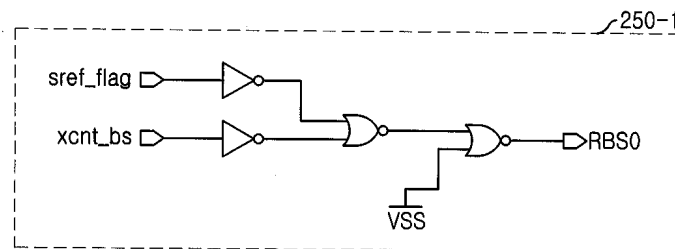
도면4a



도면4b



도면5a



도면5b

