

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4448910号
(P4448910)

(45) 発行日 平成22年4月14日(2010.4.14)

(24) 登録日 平成22年2月5日(2010.2.5)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 520
G09G 3/20 (2006.01)	G02F 1/133 525
	G02F 1/133 550
	G02F 1/133 575

請求項の数 14 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2003-160538 (P2003-160538)	(73) 特許権者	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成15年6月5日(2003.6.5)	(74) 代理人	100081938 弁理士 徳若 光政
(65) 公開番号	特開2004-361709 (P2004-361709A)	(72) 発明者	納富 志信 千葉県茂原市早野3681番地 日立デバ イスエンジニアリング株式会社内
(43) 公開日	平成16年12月24日(2004.12.24)	(72) 発明者	太田 茂 東京都千代田区丸の内二丁目4番1号 株 式会社ルネサステクノロジ内
審査請求日	平成18年5月18日(2006.5.18)	(72) 発明者	鈴木 進也 千葉県茂原市早野3681番地 日立デバ イスエンジニアリング株式会社内

最終頁に続く

(54) 【発明の名称】 液晶駆動方法、液晶表示システム及び液晶駆動制御装置

(57) 【特許請求の範囲】

【請求項1】

液晶の画素電極に与えられるべき複数の階調電圧と、液晶の共通電極に与えられるコモン電圧とを有し、上記コモン電圧を正フェーズと負フェーズとで切り替え、上記コモン電圧の正フェーズでは上記階調電圧として第1電圧が印可され、上記コモン電圧の負フェーズでは上記階調電圧として第2電圧が印加され、共通電極の電圧を基準にして上記第1電圧と上記第2電圧は正負が逆であり第1表示データから上記第1電圧を選択し及び第2表示データから上記第2電圧を選択する回路を備え、

上記第1表示データ及び上記第2表示データはそれぞれ外部からの表示データを変換したもので、もし上記表示データが同じならば上記第1表示データと第2表示データとは、
特定ビットの1ビットを除いて同じビットパターンとし、

上記特定の1ビットは、最上位ビットであり、

上記第1表示データと第2表示データの最上位ビットは、上記正フェーズと負フェーズの正負切り替え信号が論理0に対応したレベルであるときには、第1及び第2表示データの最上位ビットがそのままそれぞれ割り当てられ、上記正負切り替え信号が論理1に対応したレベルであるときには、上記第1及び第2表示データの最上位ビットがそれぞれ反転させて割り当てられ、

上記第1表示データと第2表示データの第2位以下のビットは、上記最上位ビットが論理1に対応したレベルであるとき上記第1及び第2表示データの第2位ビット以下のデータがそのまま割り当てられ、上記最上位ビットが論理0に対応したレベルであるとき、上

記第 1 及び第 2 表示データの第 2 位ビット以下のデータが反転させられて割り当てられる、ことを特徴とする液晶駆動方法。

【請求項 2】

請求項 1 において、

上記回路は液晶パネルに表示をするための表示データを書き込み、読み出しをする内蔵メモリから上記表示データを出力し、

上記表示データは、表示データ変換回路によりそれぞれ上記第 1 表示データ及び第 2 表示データに正負切替信号の制御によって変換させられることを特徴とする液晶駆動方法。

【請求項 3】

請求項 1 又は 2 において、

上記表示データは上記表示データを生成するためのマイクロプロセッシングユニットにより与えられることを特徴とする液晶駆動方法。

【請求項 4】

画素電極に階調電圧を供給する信号線と、画素電極を選択する走査線と、上記画素電極に対向した共通電極とを備えた液晶表示パネルと、

階調表示のための複数の階調電圧を発生する液晶駆動電圧発生回路と、

表示画像データに従って上記複数の階調電圧のいずれか 1 つを選択して上記液晶表示パネルの信号線に階調電圧を出力する出力階調セレクトを含むセグメントドライバと、

表示タイミング信号に従って上記液晶表示パネルの走査線を順次を選択する選択信号を出力するゲートドライバと、

正フェーズと負フェーズに対応した正負切り替え信号により上記液晶表示パネルの共通電極に与えるコモン電圧を切り替えるコモン電極駆動回路とを備え、

上記コモン電極駆動回路は、上記コモン電圧を上記正フェーズと負フェーズとで切り替え、

上記出力階調セレクトは、上記コモン電圧の正フェーズにおいて第 1 表示データが入力され、上記第 1 表示データに対応して第 1 電圧を上記階調電圧として選択する信号を上記液晶駆動電圧発生回路に出力し、上記コモン電圧の負フェーズにおいて第 2 表示データが入力され、上記第 2 表示データに対応して第 2 電圧を上記階調電圧として選択する信号を上記液晶駆動電圧発生回路に出力し、

上記第 1 表示データ及び上記第 2 表示データはそれぞれ外部からの表示データを変換したもので、もし上記表示データが同じならば特定ビットの 1 ビットを除いて他のビットが同じとなるような上記液晶表示パネルに表示すべき表示データを上記第 1 表示データと上記第 2 表示データに変換して出力する表示データ変換回路を設けてなり、

上記特定の 1 ビットは、最上位ビットであり、

上記表示データ変換回路は、上記正フェーズと負フェーズの正負切り替え信号が論理 0 に対応したレベルであるときには、表示データの最上位ビットをそのまま出力し、上記正負切り替え信号が論理 1 に対応したレベルであるときには、上記表示データの最上位ビットを反転して出力して上記第 1 表示データと第 2 表示データの最上位ビットを形成し、上記第 1 表示データと第 2 表示データの第 2 位以下のビットは、上記最上位ビットが論理 1 に対応したレベルであるとき上記表示データの第 2 位ビット以下のそのままのデータを出力し、上記最上位ビットが論理 0 に対応したレベルであるとき、上記表示データの第 2 位ビット以下の反転されたデータを出力することを特徴とする液晶表示システム。

【請求項 5】

請求項 4 において、

上記第 1 表示データと第 2 表示データは、論理回路に対応した低電圧振幅のデコーダ回路に伝えられ、かかるデコーダ回路の出力信号は、上記低電圧振幅の信号を高電圧振幅の信号に変換するレベルシフト回路に伝えられ、かかるレベルシフト回路の出力信号をデコードすることにより上記階調電圧を選択する選択信号が形成されるものであることを特徴とする液晶表示システム。

【請求項 6】

10

20

30

40

50

請求項 5 において、

上記レベルシフト回路の動作電圧は、チャージポンプ回路で形成された昇圧電圧であることを特徴とする液晶表示システム。

【請求項 7】

請求項 4 において、

上記セグメントドライバは上記液晶パネルに表示をするための上記表示データを書き込み、読み出しをする内蔵メモリを有し、

上記表示データ変換回路は上記内蔵メモリから出力された上記表示データをそれぞれ上記第 1 表示データ及び第 2 表示データに正負切替信号によって変換させることを特徴とする液晶表示システム

【請求項 8】

請求項 4 又は 7 において、

上記液晶表示システムは上記表示データを生成するためのマイクロプロセッシングユニットを有することを特徴とする液晶表示システム

【請求項 9】

階調表示のための複数の階調電圧を発生する液晶駆動電圧発生回路と、

表示画像データに従って上記複数の階調電圧のいずれか 1 つを選択して上記液晶表示パネルの信号線に階調電圧を出力する出力階調セレクタを含むセグメントドライバと、

表示タイミング信号に従って上記液晶表示パネルの走査線を順次に選択する選択信号を出力するゲートドライバと、

正フェーズと負フェーズに対応した正負切り替え信号により上記液晶表示パネルの共通電極に与えられかつ、上記共通電極に与えた電圧に基づいて液晶の画素電極に与えられるべきコモン電圧を切り替えるコモン電極駆動回路とを備え、

上記コモン電極駆動回路は、上記コモン電圧を上記正フェーズと負フェーズとで切り替え、

上記出力階調セレクタは、上記コモン電圧の正フェーズにおいて第 1 表示データが入力され、上記第 1 表示データに対応して第 1 電圧を上記階調電圧として選択する信号を上記液晶駆動電圧発生回路に出力し、上記コモン電圧の負フェーズにおいて第 2 表示データが入力され、上記第 2 表示データに対応して第 2 電圧を上記階調電圧として選択する信号を上記液晶駆動電圧発生回路に出力し、

上記第 1 表示データ及び上記第 2 表示データはそれぞれ外部からの表示データを変換したもので、もし上記表示データが同じならば特定ビットの 1 ビットを除いて他のビットが同じとなるような上記液晶表示パネルに表示すべき上記表示データを上記第 1 表示データと上記第 2 表示データに変換して出力する表示データ変換回路を備え、

上記特定の 1 ビットは、最上位ビットであり、

上記表示データ変換回路は、上記正フェーズと負フェーズの正負切り替え信号が論理 0 に対応したレベルであるときには、表示データの最上位ビットをそのまま出力し、上記正負切り替え信号が論理 1 に対応したレベルであるときには、上記表示データの最上位ビットを反転して出力して上記第 1 表示データと第 2 表示データの最上位ビットを形成し、上記第 1 表示データと第 2 表示データの第 2 位以下のビットは、上記最上位ビットが論理 1 に対応したレベルであるとき上記表示データの第 2 位ビット以下のそのままのデータを出力し、上記最上位ビットが論理 0 に対応したレベルであるとき、上記表示データの第 2 位ビット以下の反転されたデータを出力することを特徴とする液晶駆動制御装置。

【請求項 10】

請求項 9 において、

上記第 1 表示データと第 2 表示データは、論理回路に対応した低電圧振幅のデコーダ回路に伝えられ、かかるデコーダ回路の出力信号は、上記低電圧振幅の信号を高電圧振幅の信号に変換するレベルシフト回路に伝えられ、かかるレベルシフト回路の出力信号をデコードすることにより上記階調電圧を選択する選択信号が形成されるものであることを特徴とする液晶駆動制御装置。

10

20

30

40

50

【請求項 1 1】

請求項 1 0 において、

上記レベルシフト回路の動作電圧は、チャージポンプ回路で形成された昇圧電圧であることを特徴とする液晶駆動制御装置。

【請求項 1 2】

請求項 9 において、

上記セグメントドライバは液晶パネルに表示をするための上記表示データを書き込み、読み出しをする内蔵メモリを有し、

上記表示データ変換回路は上記内蔵メモリから出力された上記表示データをそれぞれ上記第 1 表示データ及び第 2 表示データに正負切替信号によって変換させることを特徴とする液晶駆動制御装置。

10

【請求項 1 3】

請求項 9 又は 1 2 において、

上記表示データは上記表示データを生成するためのマイクロプロセッシングユニットにより与えられることを特徴とする液晶駆動制御装置。

【請求項 1 4】

請求項 9 において、

上記液晶駆動制御装置は一つの半導体基板上に作られていることを特徴とする液晶駆動制御装置。

【発明の詳細な説明】

20

【0 0 0 1】

【発明の属する技術分野】

この発明は、液晶駆動方法、液晶表示システム及び液晶駆動制御装置に関し、主に TFT (薄膜トランジスタ) 液晶表示パネルを用いて階調表示を行うものに利用して有効な技術に関するものである。

【0 0 0 2】

【従来の技術】

液晶パネルの駆動時の交流駆動化に対する液晶駆動電圧の切り替え方法として、ダイナミック切り替え方式と制御ビット切り替え方式とをこの発明に先立って発明者らは検討した。図 1 1 にダイナミック切り替え方式での正負切り替え時の状態変化が示されている。このダイナミック切り替え方式では各端子に設定する表示データは正負切替をするために変化させるようなことはないものであり、液晶表示パネルの信号線に供給する階調生成回路部をスイッチングすることにより正負レベルに切り替える。つまり、表示データが正負切替をするために変化させるようなことはないものでありであるために同じ選択スイッチがオン状態となるので、負フェーズのときには同図に点線で示したように中点電圧に対して上下対称となるような電圧に切り替える。

30

【0 0 0 3】

図 1 2、図 1 3 には、制御ビット切り替え方式での正負切り替え時の状態変化が示されている。この制御ビット切り替え方式では各端子に設定するデータを正用、負用に正負階調電圧に合わせて切り替える。つまり、正では最上位電位だったものは負では最下位電位となるように表示データを切り替える。このため、正負切り替え信号により正フェーズのときには論理 0 として排他的論理回路により表示データをそのまま出力し、負フェーズのときには論理 1 として排他的論理回路により表示データの全て又は殆どのビットを反転する。図 1 4 には、上記制御ビット切り替え方式に対応した 0 ~ 3 1 の 3 2 階調に対するデータと選択レベルが示されている。

40

【0 0 0 4】

【発明が解決しようとする課題】

上記ダイナミック切り替え方式では、液晶電圧を生成するアンプの全ての出力が必ずスイッチングされるため電流が消費される。また、1つのスイッチ MOS FET により選択信号線の電圧が正負切り替えによって上下に変化する為、選択スイッチ MOS FET を全て

50

の階調電圧に対応して出力インピーダンスを低くしなければならず、ワーストケースを考慮してM O S F E Tのサイズを大きく形成することとなりチップ面積が増大する。また、前記制御ビット切り替え方式では隣り合う走査線ごとに正フェーズと負フェーズの階調電圧が存在し、隣り合う画素の表示データは基本的には全て、又は殆ど変わらないために、そのハミング距離は小さいものとなる。よって正負切り替えの度に全て、又は殆どの制御信号を変化させるため、ロジック制御用電圧から表示制御用電圧に昇圧するレベルシフト用回路が動作してしまい電流消費が大きくなる。

【0005】

この発明の目的は、液晶パネルの交流駆動時において低消費電力化を実現可能な液晶駆動方法、液晶表示システム及び液晶駆動制御装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

10

【0006】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。液晶の共通電極に与えられるコモン電圧を正フェーズと負フェーズとで切り替え、例えば図6のように表示メモリ内の表示データに対応して上記コモン電圧を基準にして正フェーズと負フェーズとで同じになる電圧を複数の階調電圧のうちの2つを選択する第1表示データ及び第2表示データの特定ビットの1ビットを除いて同じビットパターンとなるよう表示メモリ内の表示データの変換を行う。

20

【0007】

すなわち、第1表示データと第2表示データとは、ハミング距離が一とされる。例えば、表示データの変換は正負階調表示データのビットの割り当てを最上位ビット以外の下位ビットが中心より2進値で上下で対称となるようにする。すなわち、液晶駆動制御装置内に上記のような表示データの変換を行う為のビット変換回路が設けられる。この回路により、正フェーズ、負フェーズの切替ごとに全て、又は殆どのビットが反転するので、ロジック及びロジック電圧から液晶電圧に電圧レベルを変換するレベルシフト回路全て、又は殆どが動いていた。

【0008】

これに対して、本発明においては、例えば図6のように表示メモリ内の表示データに対応して正フェーズ、負フェーズの切替時には特定の1ビット位ビットのみが変化する構成となったので、動作するデコーダを構成するロジック及びロジック電圧から液晶電圧に電圧レベルを変換する前記レベルシフト回路が、従来に比べて約(1/階調ビット)で済むことになる

30

【0009】

【発明の実施の形態】

図1には、この発明に係る液晶表示装置及び液晶表示システムの一実施例の主要部のブロック図が示されている。特に制限されないが、本発明にかかるT F T液晶コントローラL S I(以下、液晶ドライバ、L C Dドライバとも言う)は公知のC M O S技術を用いて一つの半導体基板上につくられる。この実施例の液晶表示装置は、図示しないマイコン(マイクロプロセッサ等のマイクロプロセッシングユニット)で生成された表示データを含む表示制御信号を受けるT F T液晶コントローラL S Iと液晶パネルとから構成される。

40

【0010】

上記T F T液晶コントローラL S Iは、特に制限されないが、1つの半導体集積回路装置により構成されており、液晶パネルの駆動に使用される電圧(階調電圧)を供給するための液晶駆動電圧発生回路と、この液晶駆動電圧に基づいて液晶パネルを駆動するためのドライバとして、液晶パネルの信号線に階調電圧(データ信号)を供給するS E G(セグメント)ドライバと、上記画素電極に対向した共通電極にコモン電圧を供給するV C O Mドライバと、液晶パネルの上記T F Tトランジスタのゲートに接続される走査線にゲート信号を供給するG A T E(ゲート)ドライバとを備えている。上記信号線は、T F Tトラン

50

ジスタを介して画素電極と接続される。

【 0 0 1 1 】

上記 T F T 液晶コントローラ L S I は、上記 S E G (セグメント) ドライバ、V C O M ドライバ、及び G A T E (ゲート) ドライバと液晶駆動電圧発生回路のそれぞれの動作を制御する為のコントローラ、出力電圧制御ラッチと、コントローラ等の低動作電圧を昇圧して上記各ドライバに昇圧された高い電圧を供給する液晶電圧用昇圧回路を備えている。上記液晶コントローラ L S I のコントローラは、表示データを記憶させる内蔵メモリとして表示メモリ R A M を備えている。

【 0 0 1 2 】

マイコン内の中央処理装置 (C P U) が実行しているソフトによって、液晶パネルに表示されるべき表示データが上記液晶コントローラ内の表示メモリ R A M へ書かれる。C P U が表示メモリ R A M に書き込む表示データは、液晶パネルがカラー表示対応なら、各 1 画素に対して R (赤) データ、G (緑) データ、B (青) データで構成される。各 R , G , B データのそれぞれは、特に制限されないが、5 ビットの階調データとして表現される。各階調データは、特に制限されないが、最低階調 (階調 0) 0 0 0 0 0 から最大階調 (階調 3 1) 1 1 1 1 1 と、最低階調から最大階調までその値が 2 進数で 1 ずつ増加するように規定される。

10

【 0 0 1 3 】

階調データのビット配列乃至割り当ては、C P U の実行するソフトで規定されると見なされる。したがって、C P U によって実行されるソフトを変更し、そのソフトによって階調データのビット配列乃至割り当てを変更し、交流化時の正フェーズから負フェーズへの変更時、又は、負フェーズから正フェーズへの変更時における階調電圧の選択動作を低消費電力で行うことは可能である。

20

【 0 0 1 4 】

しかし、それを行うので有れば、既存のソフト資産の変更乃至新規ソフトの開発、及び液晶表示システム全体のデータ形式を変更する必要があるとあり、システム開発期間の長期化乃至システム開発コストの増大を招く事になりかねない。製品サイクルの短い技術においては、システム開発期間の長期化乃至システム開発コストの増大は致命的な損失と思われる。

【 0 0 1 5 】

また、既存液晶表示システムやソフト及びデータ形式をそのまま利用し、液晶コントローラのみを交換する様なシステム変更の場合、液晶表示システムとして互換性の問題を生じる可能性が考えられる。すなわち、階調データの割付けをソフトで変更すると、交流化時の正フェーズから負フェーズへの変更時、又は、負フェーズから正フェーズへの変更時における階調電圧の選択動作を低消費電力で行うことは可能かもしれないが、既存の液晶コントローラ L S I を用いた液晶表示システムでは、階調データの割付けが変更されているので、表示しようとした色が液晶パネルに意図した色で表示できない可能性がある。

30

【 0 0 1 6 】

C P U のソフトを変更せずに、言い換えるならば、表示しようとした色が液晶パネルに意図した色で表示可能なように、階調データの割付けを従来と同等として互換性を保ちつつ、且つ、交流化時の正フェーズから負フェーズへの変更時、又は、負フェーズから正フェーズへの変更時における階調電圧の選択動作を低消費電力で行うことができるように、本発明では、表示メモリ R A M から出力される階調データのビット配列変換を行う為の図 4 及び図 5 に示されるようなビット変換回路が表示メモリ R A M の出力と階調セレクタの間に設けられる。

40

【 0 0 1 7 】

図 2 と図 3 には、この発明に係る S E G ドライバの一実施例の構成図が示され、図 2 は正フェーズ (第 1 フェーズ) に対応され、図 3 は負フェーズ (第 2 フェーズ) に対応されている。図 2 及び図 3 において、階調電圧生成回路は、前記昇圧回路で形成された階調電圧生成用電圧 V R を直列抵抗回路より分圧して、例えば 3 2 階調表示を行う場合には、階調 0 ~ 階調 3 1 のそれぞれの階調に対応した 3 2 通りの階調電圧 V 0 ~ V 3 1 を形成する。

50

これらの階調電圧は、液晶パネルの複数からなる信号線のそれぞれに対応して設けられる複数の出力階調セレクタに共通に供給される。

【0018】

液晶交流駆動方式には、1走査線ごとに正フェーズと負フェーズを入れかえる「ライン交流」、1画面を描画してから正フェーズと負フェーズを1回入れかえる「フレーム交流」の2通りがある。フレーム交流方式はライン交流方式に比べて画素同士のコントラストが悪く、画質が低下する。その点においてライン交流方式が優れている。本実施例はライン交流方式である。

【0019】

階調セレクタは、その1つが代表として例示的に示されているように、上記複数の階調電圧を選択するスイッチから構成され、出力画像データに対応して選択レベルにされたスイッチがオン状態となり、上記複数の階調電圧の中から1つを選択してスイッチの共通接続ノードから上記液晶パネルの信号線に供給される階調電圧を出力する。

10

【0020】

この実施例では、正フェーズと負フェーズとでは、図4及び図5に示されるようなビット変換回路により、出力画像データの最上位ビットのみが異なるようにされ、液晶の共通電極に供給されるコモン電圧を基準にして正フェーズで選択された階調電圧と、負フェーズで選択された階調電圧とが下記のような理由により、ゲート線方向と垂直な方向において隣り合う画素において表示RAMに入っている表示データが同じならば、極性が反対で画素電極内での絶対値が同じくなるような2つの階調電圧が選択される。

20

【0021】

画素電極素子は、図16に示されるように、液晶画素に電圧をかけるための画素容量のコンデンサーにゲート信号により階調電圧を入力するかどうかの制御を行ってゲート線にゲートが繋がっているトランジスタとコモン電圧と階調電圧に基づいて液晶パネルを駆動するための電圧を保持する上記画素素子のコンデンサーがあり、ゲート線の駆動電圧振幅（例えば-10V～15V）が大きいため、ゲートの駆動においての上記トランジスタの負荷容量に電荷の出し入れがあり、上記トランジスタの負荷容量と上記画素素子のコンデンサーが直列接続しているために、上記画素素子のコンデンサーにとってゲートの駆動においての上記トランジスタの負荷容量における電荷の出し入れによる上記画素素子のコンデンサーの電荷変動が無視できないものとなっているので、画素極性内での電圧絶対値を同じくする為、正フェーズで選択する階調電圧と負フェーズで選択する階調電圧は画素素子内のゲート信号オフ時の上記MOSの負荷容量にたまった電圧によるカップリング降下（飛び込み電圧）等を考慮し階調電圧を設定される。

30

【0022】

図4と図5には、この発明に係るビット変換回路を含むSEGドライバの一実施例の概略回路図が示され、図4は正フェーズに対応され、図5は負フェーズに対応されている。この実施例では、前記同様に32階調表示を行う場合に対応されており、表示データは5ビットから構成される。特に制限されないが、表示データを書き込み、読み出すための表示メモリRAMは図1のTFT液晶コントローラLSI中に含まれ、上記表示メモリRAMから読み出された表示データは、最上位ビットが排他的論理回路EOR1に供給され、残り4ビットは排他的論理回路ENR1～ENR4に供給される。尚、図4、5においてはビット変換回路から出力されるデータは、ゲート線方向と垂直な方向において隣り合う画素において表示RAMに入っている表示データが同じであるという前提である。もちろんビット変換回路に入力される表示データは違ってよい。

40

【0023】

排他的論理回路EOR1は、特に制限されないが、正フェーズ、負フェーズの切り替えに同期してコントローラから他方の入力に正負切り替え信号が供給されて、図4の正フェーズのように正負切り替え信号が論理0（"0"）のときに上記最上位ビットをそのまま出力し、図5の負フェーズのように正負切り替え信号が論理1（"1"）のときに上記最上位ビットを反転させて出力する。排他的論理回路ENR1～ENR4は、他方の入力に上

50

記最上位ビットの表示データが供給されて、図4及び図5に示すように上記最上位ビットの信号が論理1("1")のときにそれぞれの表示データのビットをそのまま出力し、図示しないが、上記最上位ビットの信号が論理0("0")のときにそれぞれの表示データのビットを反転させて出力する。

【0024】

つまり、上記表示データの最上位ビットに対応した排他的論理回路EOR1は、2つの入力が論理0("0")又は論理1("1")で一致したときには、論理0を出力し、2つの入力が論理1("0")と論理0("1")のように不一致のときには論理1を出力する。これに対して、表示データの低位4ビットに対応した排他的論理回路ENR1~ENR4は、2つの入力が論理0("0")又は論理1("1")で一致したときには、論理1("1")を出力し、2つの入力が論理1("0")と論理0("1")のように不一致のときには論理0を出力する。

10

【0025】

このような表示データ変換回路としてのビット変換回路を用いることにより、階調31を2進数値の最小の00000とし、階調0を2進数値の最大値11111とするような表示データが、図6の階調と表示データとの関係図に示すように変換させられる。つまり、正フェーズでは、最上位ビットが論理1となる階調15から階調0までは下位4ビットのビット反転が行われないから、もとの表示データに対応して10000から11111まで順次に変化する。これに対して、最上位ビットが論理0となる階調31から階調16までは、上記最上位ビットの論理0により下位4ビットのビット反転されるので、階調16から階調31に2進数値が増加するよう00000から01111まで順次に変化する。つまり、上記32階調のうち階調0から階調15までと、階調16から階調31までの変換された表示データの低位4ビットのパターンが上下対称となるようにされる。

20

【0026】

負フェーズでは、上記正負切り替え信号が論理1により最上位ビットのみが変化する。つまり、正フェーズと負フェーズとでは、最上位ビットのみが異なり、残りの下位4ビットは正フェーズと負フェーズとで同じビットパターンとなる。すなわち、正フェーズと負フェーズとで同一データならば変換後のデータはハミング距離が1とされる。

【0027】

図4において、同図に示すように表示データが"1" "0" "0" "1" "1"であるとき、正フェーズのときには上記表示データ変換回路がそのままの表示データ"1" "0" "0" "1" "1"を出力する。これにより、図6からデコーダでは、10011に対応した階調電圧V12を選択する選択信号を形成する。これにより、この階調セレクトからは階調電圧V12が液晶出力とされる。

30

【0028】

図5において、上記表示データが"1" "0" "0" "1" "1"であるとき、負フェーズになると、正負切り替え信号が論理1となり、上記表示データ変換回路により表示データ"0" "0" "0" "1" "1"に変換されて出力される。これにより、図6からデコーダでは、00011に対応した階調電圧V19を選択する選択信号を形成する。これにより、この階調セレクトからは階調電圧V19が液晶出力とされる。これにより、表示データが"1" "0" "0" "1" "1"のとき、液晶には正フェーズと負フェーズとで階調電圧V12とV19が印加され、コモン電圧に対して極性が逆で画素電極内での絶対値が同じ電圧を供給することができる。

40

【0029】

図7と図8には、液晶に加わる電圧波形図が示されている。正フェーズでは32階調電圧の最低電圧(階調31)よりもコモン電圧が低い電圧とされ、画素i、画素i+1、画素i+2はゲート線方向と垂直な方向において隣り合う画素であり、画素iにおいて上記表示データに対応して階調電圧V31~V0の中から例えば階調電圧V12が選択されると液晶画素には正の階調電圧が印加される。

【0030】

50

負フェーズでは32階調電圧の最大電圧(階調0)よりもコモン電圧が高い電圧とされ、画素*i*+1において上記表示データに対応して階調電圧 $V_{31} \sim V_0$ の中から例えば階調電圧 V_{19} が選択されると液晶画素には負の階調電圧が印加される。上記階調電圧 V_{12} とコモン電圧との電圧差と、上記階調電圧 V_{19} とコモン電圧との電圧差とは、上記のように極性が逆で画素電極内での絶対値が同じ電圧となる。尚、図7, 8においてはビット変換回路から出力されるデータは、ゲート線方向と垂直な方向において隣り合う画素において表示RAMに入っている表示データが同じであるという前提である。もちろんゲート線方向と垂直な方向において隣り合う画素において表示RAMに入っている表示データが違ってもよい。

【0031】

上記のような階調電圧 $V_{31} \sim V_0$ を出力するために、図4、図5等のスイッチを構成するMOSFETのゲートには、上記最大電圧 V_0 よりもしきい値電圧以上の電圧を供給することが必要とされる。つまり、スイッチの選択信号の選択レベルは、比較的高い電圧であることが必要とされる。このような選択信号を形成するために、図9に示したようなレベルシフト回路が用いられる。このレベルシフト回路は、1.5Vないし2V程度の論理信号を、上記選択レベルに対応した4.5~6Vにレベル変換する。

【0032】

レベル変換回路は、回路の接地電位側に設けられたNチャネルMOSFET Q_1 と Q_2 と、高電圧V_{LCD}側に設けられたPチャネルMOSFET Q_3 と Q_4 及びインバータ回路INVにより構成される。上記PチャネルMOSFET Q_3 と Q_4 は、ゲートとドレインが交差接続されることによりラッチ形態とされる。上記NチャネルMOSFET Q_1 と Q_2 のドレインと上記PチャネルMOSFET Q_3 , Q_4 のドレインとがそれぞれ接続され、MOSFET Q_2 のゲートには、入力信号が供給され、MOSFET Q_1 のゲートにはインバータ回路INVより反転された入力信号が供給される。そして、MOSFET Q_1 と Q_3 の共通接続されたドレインから出力信号が形成される。

【0033】

入力信号がロウレベルのとき、NチャネルMOSFET Q_2 はオフ状態であり、インバータ回路INVの出力信号がハイレベルとなるのでNチャネルMOSFET Q_1 をオン状態になっている。MOSFET Q_1 のオン状態によりPチャネルMOSFET Q_4 がオン状態となり、上記NチャネルMOSFET Q_2 のオフ状態によりPチャネルMOSFET Q_3 のゲート電圧を電圧V_{LCD}にするので、PチャネルMOSFET Q_3 はオフ状態となる。この結果、MOSFET Q_1 のオン状態に対応して回路の接地電位のようなロウレベルとなる。

【0034】

入力信号がロウレベルからハイレベルに変化すると、NチャネルMOSFET Q_2 がオン状態となり、NチャネルMOSFET Q_1 がオフ状態となる。上記NチャネルMOSFET Q_2 のオン状態により、PチャネルMOSFET Q_3 のゲート電位をロウレベル側に引き抜いてMOSFET Q_3 をオン状態にする。このMOSFET Q_3 のオン状態により、MOSFET Q_4 のゲート電圧を電圧V_{LCD}にチャージアップするのでPチャネルMOSFET Q_4 をオフ状態とする。これにより、PチャネルMOSFET Q_3 のオン状態に対応して出力信号はV_{LCD}のようなハイレベルとなる。このようにして1.5~2.0[V]のような低振幅の信号を4.5V~6.0[V]のような出力電圧にレベル変換される。

【0035】

図10には、図1の昇圧回路の一実施例の回路図が示されている。図示しないクロック(パルス信号)によりスイッチSW1, 2, 3, 4とSW5, 6, 7を交互にオン/オフ状態に切り替え、約1.5V~2V程度の昇圧基準電源、例えば論理回路の動作電圧V_{CC}に昇圧回路用容量C1, C2をそれぞれ平行に接続してチャージし、それをシリアル接続に切り替えて昇圧された電圧により出力電圧用容量CLをチャージアップし、基準電圧V_{CC}の約3倍の出力電圧V_{LCD}を形成するチャージポンプ回路が構成される。

10

20

30

40

50

【 0 0 3 6 】

つまり、昇圧用クロックがハイレベルのときには、同図のようにスイッチ S W 1、2、3、4 をオン状態にし、その反転された昇圧用クロックのロウレベルにより S W 5、6、7 をオフ状態にした場合には、キャパシタ C 1 と C 2 の + 電極にはスイッチ S W 1 と S W 3 により昇圧基準電圧 V C C が供給され、キャパシタ C 1 と C 2 の - 電極にはスイッチ S W 2 と S W 4 により回路の接地電位が与えられる。これにより、キャパシタ C 1 と C 2 のそれぞれには、昇圧基準電圧 V C C にチャージアップされる。

【 0 0 3 7 】

昇圧用クロックがハイレベルからロウレベルに変化すると、スイッチ S W 1、2、3、4 がオフ状態に、S W 5、6、7 がオン状態に切り替えられる。これにより、キャパシタ C 1 の - 電極にはスイッチ S W 7 のオン状態により上記昇圧基準電圧 V C C が与えられ、スイッチ S W 6 と S W 5 のオン状態によりキャパシタ C 1 と C 2 が直列形態に接続されて、スイッチ S W 5 から 3 倍の昇圧電圧が出力されて、上記キャパシタ C L に伝えられるのである。以下同様な繰り返しによって、出力電圧 V L C D は、最大で昇圧基準電圧 V C C の 3 倍昇圧電圧にされる。更に高い電圧を必要とするときには上記昇圧電圧を基に 2 倍昇圧すること、あるいは回路の接地電位以下の負電圧が必要ならば上記 3 倍昇圧電圧から負極性の電圧を形成することもできる。

【 0 0 3 8 】

前記図 1 2、図 1 3 のような液晶出力の正負切り替え時では、全ビットに対してロジック及びロジック電圧から液晶電圧に電圧レベルを変換するレベルシフト回路全て又は殆どが動いていた。これに対して、この実施例では、図 1 5 のように最上位ビットのみが変化する構成となったので、動作するデコーダを構成するロジック及びロジック電圧から液晶電圧に電圧レベルを変換する前記レベルシフト回路が、前記図 1 2、図 1 3 の構成に対して隣り合う画素の階調データが同じならば (1 / 階調ビット) で済むことになる。

【 0 0 3 9 】

上記レベルシフト回路で用いる液晶電圧 V L C D はロジック電圧 V C C を昇圧回路によって生成される電圧であるので動作回路が少ないほどロジック電圧の昇圧倍率分、チップ全体の低消費電力化に効果がある。本発明により交流駆動のときの正フェーズと負フェーズとで表示データ変化量を抑えることができ、表示周波数、出力数が増えるほど低消費電力化に効果がある。本発明にかかる表示データのビット割り当て方式は階調ビット数に関係なく、適用が可能であり、階調ビット数が増えるほど効果が上がる。

【 0 0 4 0 】

例えば、L S I の例を液晶パネルの信号線数が 7 2 0 であるとき、前記 3 2 階調表示に対応して 5 ビットの表示データとした場合、前記図 1 2、図 1 3 の構成では正フェーズから負フェーズに相互に変わる時に ($7 2 0 \times 5 = 3 6 0 0$ 回路) 近くもの信号が変化するのに対して、本発明では正フェーズから負フェーズに相互に変わる時に ($7 2 0 \times 1 = 7 2 0$ 回路) 程度の信号しか変化しないので約 1 / 5 のような大幅な低消費電力が可能となる。C M O S 回路では、信号の変化により負荷容量のチャージ / ディスチャージが行われて消費電流が発生するので、上記動作回路数の削減によって大幅な低消費電力が可能となる。

【 0 0 4 1 】

例えば、表示データをレベルシフトした後にデコーダ回路でデコードする構成とした場合には、比較的大きな消費電流を流すレベルシフト回路の動作数も前記のように膨大となる。しかもチャージポンプ回路で動作電圧を形成するものでは、チャージポンプ回路自体での消費電流も大幅に増大して消費電力を増大させるものとなる。これに対して、この発明の適用によって、これらの回路動作で消費される電流を約 1 / 階調ビットのように大幅に低減できる。

【 0 0 4 2 】

上記のように表示データをレベルシフトした後にデコードして出力する構成では、1 つの階調セクタ当たり 5 個のレベルシフト回路で済む。これに対して、デコーダ回路の出力

10

20

30

40

50

をレベルシフトする構成の場合には、32階調に対応して32個のレベルシフト回路が必要となる。レベルシフト回路は、レベルシフト動作を高速に行うために使用するMOSFETのサイズを大きく形成する必要があり、デコーダ等を構成するゲート回路の約10～15倍もの占有面積を必要とする。このため、上記のように表示データをレベルシフトしてデコーダに供給する構成は、占有面積を低減させる上でも有利となるものである。

【0043】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、表示データのうち特定の1ビットのみを正フェーズと負フェーズとで変更するデータ変換の構成は、前記実施例のように最上位ビットとするもの他何であつてもよい。

10

【0044】

例えば、前記図6においては、2進の表示データを基に最も簡単に変換するものであり、同図正フェーズ及び負フェーズにおいて、上記最上位ビットを下位の4ビットのいずれかに同様に入れ替えても、それぞれのビットパターンをデコーダで解読するにすれば同様の効果を得ることができる。データ変換回路は、このようなビットの入れ替えを行う回路を含んでもよい。この発明は、例えば電池動作させられる携帯電話装置や携帯用の小型電子端末等に用いられる液晶駆動方法と液晶表示装置として広く利用できる。又走査線を選択するたびに正負切り替えを行う方式でも効果があり、さらにフレーム交流方式に適用したとしても、表示されるデータが全く変わらないために、問題が出るわけではない。本発明を適用することによって簡単な構成でライン交流方式とフレーム交流方式を適宜最適な方を適用可能にしつつ、ライン交流方式において低消費電力化を図ることが出来るようになる。

20

【0045】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。表示メモリ内の表示データに対応して液晶の共通電極に与えられるコモン電圧を正フェーズと負フェーズとで切り替え、上記コモン電圧を基準にして正フェーズと負フェーズとで画素電極内での電位差の絶対値が同じになる電圧を複数の階調電圧のうち2つを選択する第1表示データ及び第2表示データの特定ビットの1ビットを除いて同じビットパターンとなるよう表示データの変換を行う。例えば、正負階調表示データのビットの割り当てを最上位ビット以外を中心より上下で対称とし、最上位ビットを上下割り当てビットとすることにより、

30

【0046】

既存ソフト、既存の階調データ割り付けを変更せずに、LCDドライバ内に本発明のビット変換回路を設けることによって、互換性を確保しつつ、交流化時の正フェーズから負フェーズへの変更時、又は、負フェーズから正フェーズへの変更時における階調電圧セレクト動作を低消費電力で行うことが可能なLCDドライバを提供できる。

【0047】

また、さらに、既存液晶表示システムやソフトをそのまま利用し、LCDドライバのみを交換する様なシステム変更の場合、本発明のLCDドライバを利用すれば、交流化時の正フェーズから負フェーズへの変更時、又は、負フェーズから正フェーズへの変更時における階調電圧セレクト動作を低消費電力化で実行しつつ、かつ、LCDドライバの内蔵メモリにCPUによって格納されるの各画素に対応するRGBの各階調データのビット配列乃至割り当ては従来と変更されないの、表示しようとした色が液晶パネルに意図した色で表示できる液晶表示システムを提供できる。

40

【図面の簡単な説明】

【図1】この発明に係る液晶表示装置の一実施例を示す主要部のブロック図である。

【図2】この発明に係るSEGドライバの正フェーズに対応した一実施例を示す構成図である。

50

【図3】この発明に係るSEGドライバの負フェーズに対応した一実施例を示す構成図である。

【図4】この発明に係るSEGドライバの正フェーズに対応した一実施例を示す概略回路図である。

【図5】この発明に係るSEGドライバの負フェーズに対応した一実施例を示す概略回路図である。

【図6】この発明に係る表示データの一実施例の変換例を示す階調表示データ関係図である。

【図7】この発明に係る液晶に加わる電圧の一例を示す波形図である。

【図8】この発明に用いられる階調電圧とコモン電圧との関係を説明するための電圧波形図である。

10

【図9】この発明に用いられるレベルシフト回路の一実施例を示す回路図である。

【図10】図1の昇圧回路の一実施例を示す回路図である。

【図11】この発明に先立って検討されたダイナミック切り替え方式による液晶電圧の交流化駆動説明図である。

【図12】この発明に先立って検討された制御ビット切り替え方式による液晶電圧の正フェーズでの交流化駆動説明図である。

【図13】この発明に先立って検討された制御ビット切り替え方式による液晶電圧の負フェーズでの交流化駆動説明図である。

【図14】この発明に先立って検討された制御ビット切り替え方式における階調表示データ関係図である。

20

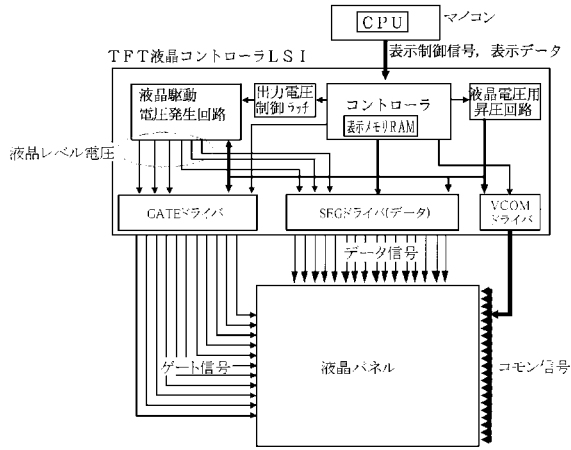
【図15】この発明に係る制御ビット切り替え方式による液晶電圧の交流化駆動回路の一実施例を示す構成図である。

【図16】この発明に係る液晶パネル内の液晶画素の概略図の一実施例を示す構成図である。

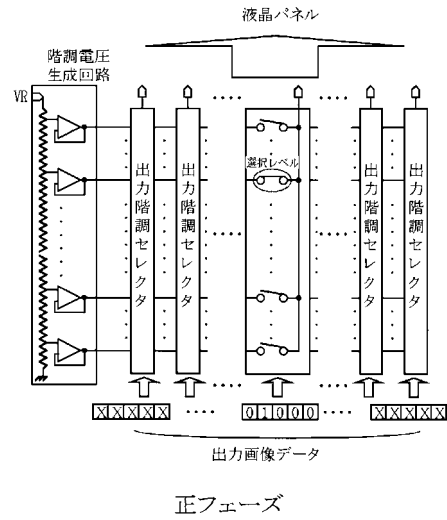
【符号の説明】

EOR1～EOR5, ENR1～ENR4...排他的論理回路、SW1～SW7...スイッチ、CL, C1～C3...キャパシタ、INV...インバータ回路、Q1～Q4...MOSFET。

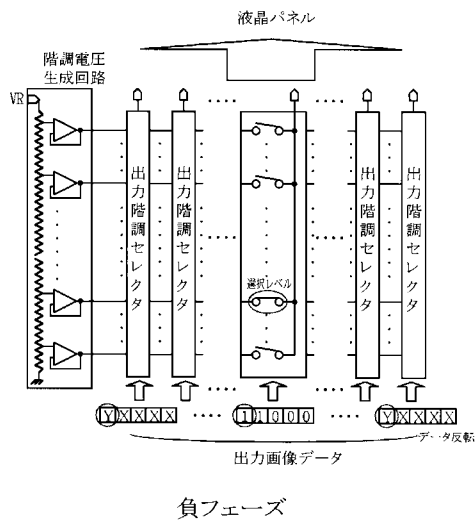
【図1】



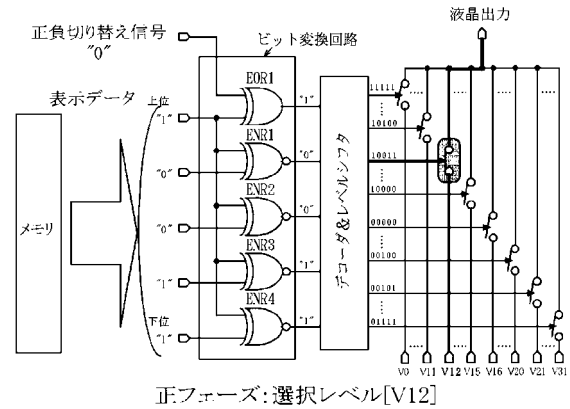
【図2】



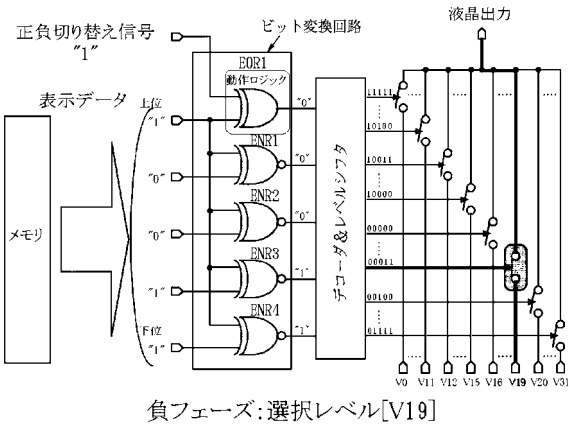
【図3】



【図4】



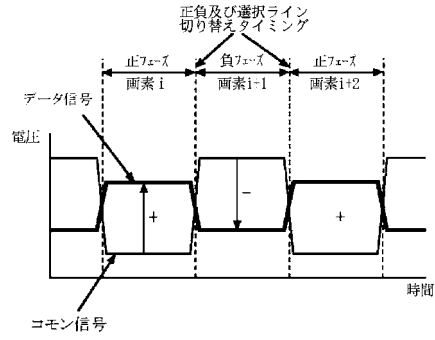
【図5】



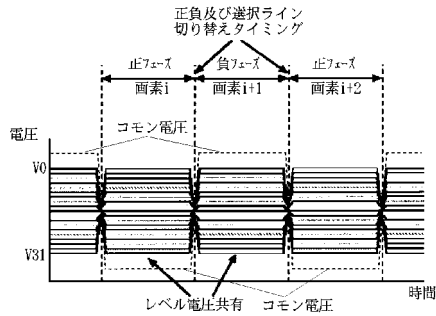
【図6】

階調	表示メモリ内表示データ		正フェイズ		負フェイズ	
	データbit	選択レベル	データbit	選択レベル	データbit	選択レベル
階調0	11111	V0	01111	V31		
階調1	11110	V1	01110	V30		
階調2	11101	V2	01101	V29		
階調3	11100	V3	01100	V28		
階調4	11011	V4	01011	V27		
階調5	11010	V5	01010	V26		
階調6	11001	V6	01001	V25		
階調7	11000	V7	01000	V24		
階調8	10111	V8	00111	V23		
階調9	10110	V9	00110	V22		
階調10	10101	V10	00101	V21		
階調11	10100	V11	00100	V20		
階調12	10011	V12	00011	V19		
階調13	10010	V13	00010	V18		
階調14	10001	V14	00001	V17		
階調15	10000	V15	00000	V16		
階調16	01111	V16	10000	V15		
階調17	01110	V17	10001	V14		
階調18	01101	V18	10010	V13		
階調19	01100	V19	10011	V12		
階調20	01011	V20	10100	V11		
階調21	01010	V21	10101	V10		
階調22	01001	V22	10110	V9		
階調23	01000	V23	10111	V8		
階調24	00111	V24	11000	V7		
階調25	00110	V25	11001	V6		
階調26	00101	V26	11010	V5		
階調27	00100	V27	11011	V4		
階調28	00011	V28	11100	V3		
階調29	00010	V29	11101	V2		
階調30	00001	V30	11110	V1		
階調31	00000	V31	11111	V0		

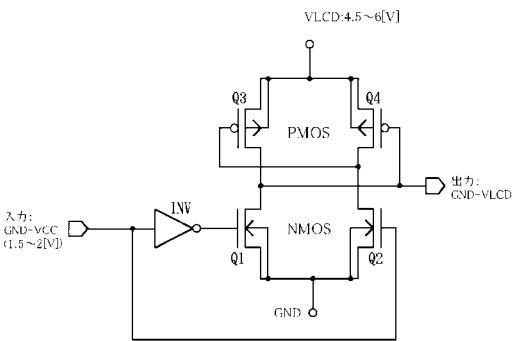
【図7】



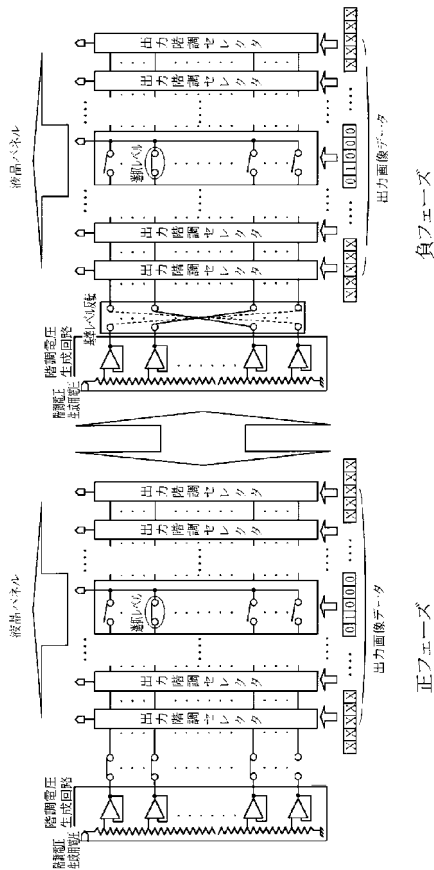
【図8】



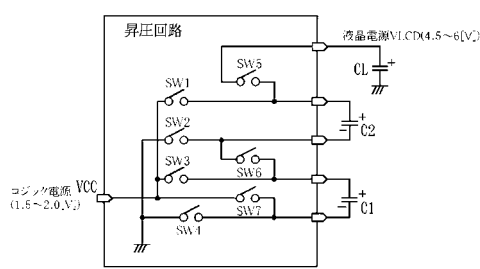
【図9】



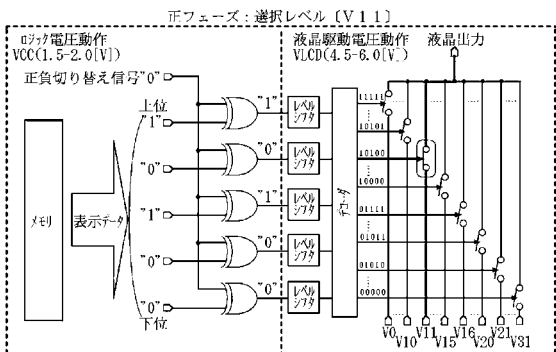
【図11】



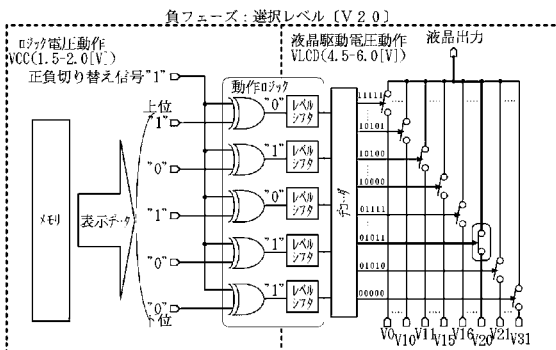
【図10】



【図12】



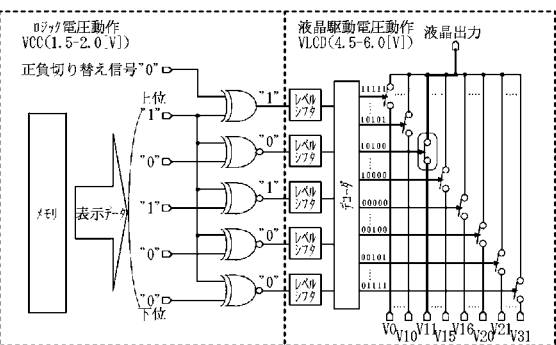
【図13】



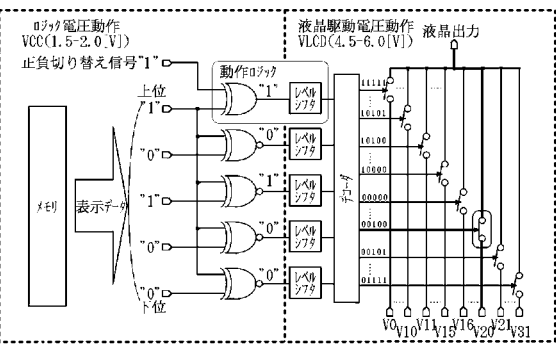
【図14】

階調	表示メモリ内 表示データ	正フェーズ		負フェーズ	
		データbit	選択レベル	データbit	選択レベル
階調0	11111	11111	V0	00000	V31
階調1	11110	11110	V1	00001	V30
階調2	11101	11101	V2	00010	V29
階調3	11100	11100	V3	00011	V28
階調4	11011	11011	V4	00100	V27
階調5	11010	11010	V5	00101	V26
階調6	11001	11001	V6	00110	V25
階調7	11000	11000	V7	00111	V24
階調8	10111	10111	V8	01000	V23
階調9	10110	10110	V9	01001	V22
階調10	10101	10101	V10	01010	V21
階調11	10100	10100	V11	01011	V20
階調12	10011	10011	V12	01100	V19
階調13	10010	10010	V13	01101	V18
階調14	10001	10001	V14	01110	V17
階調15	10000	10000	V15	01111	V16
階調16	01111	01111	V16	10000	V15
階調17	01110	01110	V17	10001	V14
階調18	01101	01101	V18	10010	V13
階調19	01100	01100	V19	10011	V12
階調20	01011	01011	V20	10100	V11
階調21	01010	01010	V21	10101	V10
階調22	01001	01001	V22	10110	V9
階調23	01000	01000	V23	10111	V8
階調24	00111	00111	V24	11000	V7
階調25	00110	00110	V25	11001	V6
階調26	00101	00101	V26	11010	V5
階調27	00100	00100	V27	11011	V4
階調28	00011	00011	V28	11100	V3
階調29	00010	00010	V29	11101	V2
階調30	00001	00001	V30	11110	V1
階調31	00000	00000	V31	11111	V0

【図15】

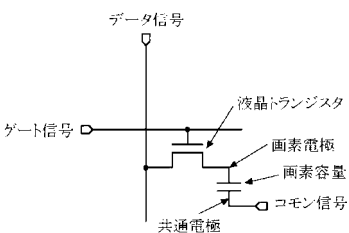


正フェーズ：選択レベル [V 1 1]
正負切り替え



負フェーズ：選択レベル [V 2 0]

【図16】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 1 2 D
G 0 9 G	3/20	6 1 2 F
G 0 9 G	3/20	6 1 2 L
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 1 L
G 0 9 G	3/20	6 2 3 E
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 4 1 C

(72)発明者 岩崎 良貴

千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

(72)発明者 藤平 雅仁

千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

審査官 中村 直行

(56)参考文献 特開平07-181925(JP,A)

特開平08-227283(JP,A)

特開平04-079523(JP,A)

特開平07-281636(JP,A)

特開2002-175026(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

G02F 1/133