

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. <i>H01L 21/76</i> (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월03일 10-0557533 2006년02월24일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0086450 2003년12월01일	(65) 공개번호 (43) 공개일자	10-2005-0052873 2005년06월07일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	최용수 경기도성남시분당구이매동동신아파트905-701
(74) 대리인	황의인 이정훈

심사관 : 김수미

(54) 반도체 소자의 소자분리막 형성방법

요약

본 발명은 반도체 소자의 소자분리막 형성방법에 관한 것으로, 반도체 기판 상부에 패드 산화막 및 패드 질화막을 순차적으로 형성하는 단계와, 상기 패드 질화막을 선택적으로 식각하여 패드 질화막 패턴을 형성하는 단계와, 상기 패드 질화막 패턴을 하드마스크로 패드 산화막 및 소정 두께의 반도체 기판을 식각하여 소자분리영역으로 예정된 부위에 트렌치를 형성하는 단계와, 상기 트렌치의 표면에 열 산화막을 형성하는 단계와, 상기 결과물의 전체 표면에 선형 질화막 및 선형 산화막을 순차적으로 형성하는 단계와, 상기 트렌치를 매립하는 매립 산화막을 전체 표면 상부에 형성하는 단계와, 상기 패드 질화막을 식각정지막으로 하여 상기 결과물 전면에 CMP 공정을 수행함으로써 소자분리막을 형성하되, 상기 CMP 공정은 세리아(CeO₂) 연마입자를 포함하는 산화막용 슬러리를 사용하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법을 개시한다.

대표도

도 6e

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 종래 기술에 따른 반도체 소자의 소자분리막 형성방법을 나타내는 단면도.

도 2a 내지 도 2c는 각각 패드 질화막 제거공정시 침지 시간을 just time, just time 대비 20% 증가, just time 대비 30% 증가시킨 조건에서의 패일(fail) 발생 상태를 도시하는 그래프.

도 3은 패드 질화막 제거공정시 침지 시간의 조건과 GOI(Gate Oxide Integrity) 특성과의 관계를 도시하는 그래프.

도 4는 모트의 깊이에 따른 문턱전압의 변화를 나타낸 그래프.

도 5는 패드 질화막 제거공정시 시간에 따른 모트 깊이의 변화를 나타낸 그래프.

도 6a 내지 도 6e는 본 발명에 따른 반도체 소자의 소자분리막 형성방법을 나타내는 단면도.

도 7은 본 발명에 따른 세리아를 포함하는 슬러리의 사용 여부에 따른 문턱전압의 정규분포를 도시하는 그래프.

< 도면의 주요부분에 대한 부호의 설명 >

10, 110 : 반도체 기판 12, 112 : 패드 산화막

14, 114 : 패드 질화막 16, 116 : 열 산화막

18, 118 : 선형 질화막 20, 120 : 선형 산화막

22, 122 : 소자분리막 m1, m2 : 모트(moat) 부위

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 소자분리막 형성방법에 관한 것으로, 더욱 상세하게는 반도체 소자의 소자분리막을 형성하기 위하여 트렌치를 분리하는 공정시 화학적 기계적 연마 (CMP) 공정을 수행할 때에 세리아(CeO₂) 연마입자를 포함하는 슬러리를 사용함으로써 소자의 트랜지스터 특성을 좌우하는 모트 (moat)의 깊이를 감소시키고 반도체 기판 내에서의 식각균일도 (uniformity)를 개선시키고자 하는 방법에 관한 것이다.

일반적으로, 반도체 기판 상에는 트랜지스터 및 캐패시터 등을 형성하기 위하여, 반도체 기판에 전기적으로 통전(通電)이 가능한 활성영역과 전기적으로 통전되는 것을 방지하고 소자를 서로 분리하도록 하는 소자분리영역을 형성한다.

이와 같이 소자를 분리시키기 위한 공정에는 열 산화방법을 사용하여 반도체 기판 상에 형성된 두꺼운 산화막을 선택적으로 성장시켜 소자분리영역을 형성하는 로코스 (Local Oxidation of Silicon; LOCOS) 공정이 있다.

그러나, 반도체 소자가 고집적화 됨에 따라 로코스 공정으로는 소자의 크기 축소와 소자간의 전기적 절연이 어렵기 때문에, 이를 개선하기 위하여 제안된 방법의 하나가 얇은 트렌치 소자분리 (Shallow Trench Isolation; 이하 "STI"라 칭함) 공정이다.

상기한 STI 공정은 반도체 기판에 일정한 깊이를 갖는 트렌치를 형성하고, 이 트렌치 내에 절연물질인 산화막을 증착시킨 다음, CMP 공정으로 상기 산화막의 불필요한 부분을 식각함으로써 반도체 기판에 소자분리영역을 형성시키는 것이다.

도 1a 내지 도 1e는 종래 기술에 따른 반도체 소자의 STI 공정에 의한 소자분리막 형성방법을 나타내는 단면도이다.

도 1a를 참조하면, 열 산화 (thermal oxidation) 공정을 수행하여 반도체 기판(10) 상부에 패드 산화막(12)을 형성하고, 패드 산화막(12) 상부에 트렌치 식각시 하드마스크로 사용되는 패드 질화막(14)을 1000 내지 1200Å의 두께로 형성한다.

다음, 소자분리마스크(미도시)를 이용한 사진식각공정으로 패드 질화막(14)을 선택적으로 식각하여 패드 질화막(14)의 패턴을 형성한 다음, 패드 질화막(14)의 패턴을 하드마스크로 패드 산화막(12) 및 반도체 기판(10)을 식각하여 소자분리영역으로 예정된 부위에 트렌치를 형성한다.

도 1b를 참조하면, 식각된 반도체 기판(10)의 식각 테미지를 제거하기 위하여 열 산화 공정을 수행함으로써, 트렌치 표면에 열 산화막(16)을 형성한다.

도 1c를 참조하면, 리프레시 (refresh) 특성을 개선하여 반도체 소자의 수율 및 안정성을 증가시키기 위하여 노 (furnace)에서 저압 화학기상증착(LPCVD) 방법을 이용한 증착공정을 수행하여, 상기 결과물 전면에 선형 질화막(18)을 형성한다.

도 1d를 참조하면, 노 (furnace)에서 저압 화학기상증착(LPCVD) 방법을 수행하여, 상기 결과물 전면에 선형 산화막(20)을 형성한다. 이때, 선형 산화막(20)을 형성하는 이유는 후속 매립 산화막 형성시 플라즈마 등의 공격에 의해 선형 질화막(18)이 손상되지 않도록 하기 위함이다.

도 1e를 참조하면, 상기 결과물 전면에 HDP(high density plasma) 산화막, PE-TEOS(plasma enhanced-tetraethyl ortho silicate) 산화막, O₃-TEOS (O₃-tetraethyl ortho silicate) 산화막, APL(advanced planarization layer) 산화막, BPSG(boron phosphorous silicate glass) 산화막 또는 PSG(phosphorous silicate glass) 산화막을 증착하여 매립 산화막(미도시)을 형성한다 다음, 상기 패드 질화막(14)을 식각정지막으로 하여 상기 결과물 전면에 CMP 공정을 수행함으로써 소자분리막(22)을 형성한다.

여기서, 상기 CMP 공정은 실리카(SiO₂) 연마입자를 포함하는 산화막용 슬러리를 사용하는데, 상기의 슬러리는 패드 질화막에 대한 매립 산화막의 연마선택비가 3 : 1 ~ 4 : 1이기 때문에 매립 산화막 뿐만 아니라 상당 두께의 패드 질화막(14)까지 함께 제거한다. 이러한 이유로 종래에는 패드 질화막(14)의 두께를 1000 내지 1200Å로 두껍게 형성하였고, 상기 CMP 공정 후에는 잔존 패드 질화막(14)의 두께가 최소 500Å 이상이 되도록 하여 패드 질화막(14)이 제 기능을 수행하도록 하였다.

패드 질화막(14)으로서의 제 기능이라 함은 소자분리영역으로 예정된 부위에 트렌치 형성을 위한 식각공정시 트렌치스터로 사용될 활성영역에 대한 하드마스크로서의 역할 및 트렌치 간의 분리를 위해 사용되는 CMP 공정 진행과정에서 발생하는 입자가 큰 연마입자에 의해 스크래치가 발생하지 않도록 표면보호막으로서의 역할을 말한다.

한편, 상기 CMP 공정 후 잔존하는 패드 질화막(14)의 두께를 측정한 결과 패드 질화막(14)을 약 1200Å의 두께로 형성한 경우, 그 두께의 평균값은 983Å, 최대값은 1040Å, 최소값은 874Å로 측정되었다. 즉, 잔존하는 패드 질화막(14)의 두께의 차이가 대략 166Å로 식각균일도가 불량함을 알 수 있다.

다음, CMP 공정 후 잔존하는 패드 질화막(14)을 인산(H₃PO₄)을 사용하여 제거하는데, 이때 패드 질화막(14)이 제거됨과 동시에 선형 질화막(18)의 일부도 함께 제거된다. 또한, 잔존하는 패드 질화막(14)의 식각균일도가 불량하기 때문에 패드 질화막 제거공정시 침지 시간을 just time 대비 20% 이하로 증가시키는 경우 패드 질화막(14)의 제거가 제대로 이루어지지 않아 GOI(Gate Oxide Integrity) 페일이 발생하는 문제점이 있다. 여기서, GOI란 게이트 옥사이드의 품질정도를 말하며, 전압을 증가시키는 경우 누설전류가 파괴될 때의 전압으로 나타낸다.

도 2a 내지 도 2c는 각각 패드 질화막 제거공정시 침지 시간을 just time, just time 대비 20% 증가, just time 대비 30% 증가시킨 조건에서의 페일(fail) 발생 상태를 도시하는 그래프이고, 도 3은 패드 질화막 제거공정시 침지 시간의 조건과 GOI(Gate Oxide Integrity) 특성과의 관계를 도시하는 그래프로서, CMP 공정 후 잔존하는 패드 질화막(14) 두께의 불균일 및 패드 질화막(14) 제거공정에서의 식각 속도의 차이로 인해 침지 시간을 just time 대비 20% 이하로 증가시킨 경우에는 각종 페일이 발생함을 도시한다. 따라서, 침지 시간을 just time 대비 30% 이상으로 증가시키는 것을 기본 조건으로 하였을 때 GOI 페일이 발생하지 않는다.

다음, 이온 주입을 위한 스크린 산화막을 형성하기 전에 불산(HF)을 사용하여 세정공정을 수행하는데, 이때 불산(HF)에 의해 패드 산화막(12)과 매립 산화막 (22)이 제거될 뿐만 아니라, 상기 패드 질화막(14) 제거공정시 이미 인산(H₃PO₄)에 의해 선형 질화막(18)의 일부가 제거되어 형성된 공간에 불산(HF)이 침투하기 때문에 모트(moat)가 형성된다.

아울러, 후속 공정으로 게이트 산화막을 형성하기 전에 다시 세정공정을 수행하게 되는데, 이때 다시 세정용액의 침투에 의해 이미 형성된 모트의 깊이는 더욱 심화된다. 다시 말해 도 1e에 도시된 바와 같이, 종래 기술에 의한 소자분리막 형성 공정에서는 소자분리막(22)의 가장자리가 깊게 함몰되는 모트 현상이 나타나는 것이다 (m1).

도 4는 모트의 깊이에 따른 문턱 전압의 변화를 나타낸 그래프로서, 모트의 깊이가 증가함에 따라 셀의 문턱 전압이 감소함을 나타낸다.

또한, 도 5는 패드 질화막 제거공정시 시간에 따른 모트 깊이의 변화를 나타낸 그래프로서, 패드 질화막(14)을 제거하는데 소요되는 시간이 증가함에 따라 모트의 깊이가 증가함을 나타낸다.

이상의 결과로부터, 패드 질화막(14) 제거공정시 시간이 길게 소요된다는 것은 패드 질화막(14)의 두께가 크다는 것을 의미하므로, 결국 모트의 깊이는 패드 질화막(14)의 두께가 클수록 심화됨을 알 수 있다.

전술한 바와 같이, 종래 기술에 의하면 매립 산화막을 제거하여 소자분리막 (22)을 형성하기 위하여 실리카(SiO₂) 연마입자를 포함하는 산화막용 슬러리를 사용하여 CMP 공정을 수행하는데, 이러한 슬러리는 패드 질화막(14)에 대한 매립 산화막의 연마선택비가 낮기 때문에 패드 질화막(14)을 두껍게 형성하여야 했다. 따라서, 후속의 잔존하는 패드 질화막(14) 제거공정 수행시간이 길게 소요됨으로 인해, 모트 현상은 더욱 심화되었다.

그 결과, 게이트 식각 후 폴리실리콘이 모두 제거되지 않고 모트(m1) 부위에 찌꺼기로 남아 있게 되어, 랜딩플러그 콘택 형성을 위한 자기정렬콘택 공정 수행시 페일 (fail)이 발생하고 셀 (cell)의 문턱 전압 (threshold voltage, V_t)이 감소하기 때문에, 트랜지스터의 동작이 불가능해지는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기 종래기술의 문제점을 해결하기 위한 것으로, 소자의 트랜지스터 특성을 좌우하는 모트의 깊이를 감소시키고 반도체 기판 내에서의 식각균일도를 개선시키기 위하여 소자분리막 형성을 위한 트렌치 분리 공정시 세리아 (CeO₂) 연마입자를 포함하는 슬러리를 사용하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에서는

- (a) 반도체 기판 상부에 패드 산화막 및 패드 질화막을 순차적으로 형성하되, 상기 패드 질화막은 400 내지 600Å의 두께로 형성하는 단계와,
- (b) 상기 패드 질화막을 선택적으로 식각하여 패드 질화막 패턴을 형성하는 단계와,
- (c) 상기 패드 질화막 패턴을 하드마스크로 패드 산화막 및 소정 두께의 반도체 기판을 식각하여 소자분리영역으로 예정된 부위에 트렌치를 형성하는 단계와,
- (d) 상기 트렌치의 표면에 열 산화막을 형성하는 단계와,
- (e) 상기 결과물의 전체 표면에 선형 질화막 및 선형 산화막을 순차적으로 형성하는 단계와,
- (f) 상기 트렌치를 매립하는 매립 산화막을 전체 표면 상부에 형성하는 단계와,
- (g) 상기 패드 질화막을 식각정지막으로 하여 상기 결과물 전면에서 CMP 공정을 수행함으로써 소자분리막을 형성하되, 상기 CMP 공정은 세리아(CeO₂) 연마입자를 포함하며 상기 패드 질화막에 대한 매립 산화막의 연마선택비가 30 : 1 ~ 50 : 1인 산화막용 슬러리를 사용하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법을 제공한다.

이하, 첨부된 도면을 참고로 하여 본 발명에 따른 반도체 소자의 소자분리막 형성방법을 상세히 설명하기로 한다.

도 6a 내지 도 6e는 본 발명에 따른 반도체 소자의 STI 공정에 의한 소자분리막 형성방법을 나타내는 단면도이다.

도 6a를 참조하면, 700 내지 1100°C의 온도와, O₂ 가스 또는 O₂/H₂ 가스 분위기 하에서 열 산화 (thermal oxidation) 공정을 수행하여 반도체 기판(110) 상부에 패드 산화막(112)을 형성하고, 패드 산화막(112) 상부에 트렌치 식각시 하드마스크로 사용되는 패드 질화막(114)을 700 내지 800°C의 온도에서 저압 화학기상증착 공정을 수행하여 형성하되, 두께가 400 내지 600Å으로 종래와 비교하여 얇게 형성되도록 한다. 여기서, 패드 질화막(114)의 두께를 얇게 형성하는 것은 후속의 공정에서 패드 질화막(114) 제거를 위한 침지 시간을 감소시킴으로써 모트 발생의 원인이 되는 선형 질화막의 손실을 최소화하기 위한 것이다.

다음, 소자분리마스크(미도시)를 이용한 사진식각공정으로 패드 질화막(114)을 선택적으로 식각하여 패드 질화막(114)의 패턴을 형성한 다음, 패드 질화막(114)의 패턴을 하드마스크로 패드 산화막(112) 및 반도체 기판(110)을 식각하여 소자분리영역으로 예정된 부위에 트렌치를 형성한다.

이때, 패드 질화막(114)의 패턴을 하드마스크로 사용하는 대신, 패드 질화막(114) 두께의 손실을 감소시키기 위하여 패드 질화막(114) 상부에 포토레지스트막을 형성시킨 후 상기 포토레지스트막을 선택적으로 노광 및 현상하여 포토레지스트막 패턴을 형성시킴으로써, 이를 하드마스크로 사용할 수도 있다.

도 6b를 참조하면, 식각된 반도체 기판(110)의 식각 테미지를 제거하기 위하여 700 내지 1100°C의 온도와, O₂ 가스 또는 O₂/H₂ 가스 분위기 하에서 열 산화 공정을 수행함으로써, 트렌치 표면에 열 산화막(116)을 형성한다.

다음, NH₃ 분위기 하에서 어닐링(annealing) 공정을 수행하여 열 산화막(116) 표면을 나이트리데이션(nitridation) 시킨다.

도 6c를 참조하면, 리프레시(refresh) 특성을 개선하여 반도체 소자의 수율 및 안정성을 증가시키기 위하여 노(furnace)에서 600 내지 800°C의 온도에서 저압 화학기상증착(LPCVD) 방법을 이용한 증착공정을 수행하여, 상기 결과물 전면에서 선형 질화막(118)을 30 내지 60Å의 두께로 형성한다.

도 6d를 참조하면, 노(furnace)에서 650 내지 750°C의 온도에서 저압 화학기상증착(LPCVD) 방법을 이용한 증착공정을 수행하여, 상기 결과물 전면에서 선형 산화막(120)을 50 내지 100Å의 두께로 형성한다. 이때, 선형 산화막(120)을 형성하는 이유는 후속 매립 산화막 형성시 플라즈마 등의 공격에 의해 선형 질화막(118)이 손상되지 않도록 하기 위함이다.

도 6e를 참조하면, 상기 결과물 전면에서 HDP(high density plasma) 산화막, PE-TEOS(plasma enhanced-tetraethyl ortho silicate) 산화막, O₃-TEOS(O₃-tetraethyl ortho silicate) 산화막, APL(advanced planarization layer) 산화막, BPSG(boron phosphorous silicate glass) 산화막 또는 PSG(phosphorous silicate glass) 산화막을 증착하여 매립 산화막(미도시)을 형성한 다음, 상기 패드 질화막(114)을 식각정지막으로 하여 상기 결과물 전면에서 CMP 공정을 수행함으로써 소자분리막(122)을 형성한다.

여기서, 상기 CMP 공정은 세리아(CeO₂) 연마입자를 포함하는 산화막용 슬러리를 사용한다. 이때 세리아 연마입자의 크기는 150 내지 250nm인 것이 바람직하고, 그 함량은 전체 슬러리의 양에 대하여 1 내지 5중량%인 것이 바람직하다.

또한, 상기 산화막용 슬러리는 세리아 연마입자 뿐만 아니라, 탈이온수를 주성분으로 하고, 폴리아마이드계의 유기산을 전체 슬러리에 대하여 5 내지 10중량% 더 포함하며, pH는 6 내지 8이고, 바람직하게는 pH가 7이다.

상기의 슬러리는 패드 질화막(114)에 대한 매립 산화막의 연마선택비가 30 : 1 ~ 50 : 1이기 때문에, 종래에 상당 두께의 패드 질화막(114)이 함께 제거되었던 문제점을 해결해 준다. 이러한 이유로 본 발명에서는 CMP 공정전 패드 질화막(114)의 두께가 400 내지 600Å로 종래와 비교하여 얇게 형성할 수 있고, 상기 CMP 공정후에는 잔존 패드 질화막(114)의 두께가 300 내지 500Å이 되도록 할 수 있다.

그러나, 패드 질화막(114)에 대한 매립 산화막의 연마선택비가 50 : 1 보다 높은 경우에는 많은 부분을 차지하는 매립 산화막에서의 디싱(dishing) 현상이 발생하여 소자의 특성이 열화될 수 있는 문제점이 있다.

한편, 상기 CMP 공정 후에 잔존하는 패드 질화막(114)의 두께를 측정한 결과 패드 질화막(114)을 약 500Å의 두께로 형성한 경우, 그 두께의 평균값은 472Å, 최대값은 482Å, 최소값은 464Å로 측정되었다. 즉, 잔존하는 패드 질화막(114)의 두께의 차이가 대략 18Å로 식각균일도가 종래와 비교하여 상당히 개선되었음을 알 수 있다.

다시 말해, 본 발명에서는 패드 질화막에 대한 매립 산화막의 연마선택비가 높은 슬러리를 사용함으로써 CMP 공정시 발생하는 패드 질화막(114)의 손실을 100Å 이하로 적게 할 수 있고, CMP 공정 완료 후 잔존하는 패드 질화막(114) 두께의 균일도가 우수하기 때문에 패드 질화막(114)으로서의 기능을 충분히 수행하도록 하면서 패드 질화막(114)의 두께를 얇게 형성할 수 있다.

다음, CMP 공정 후 잔존하는 300 내지 500Å 두께의 패드 질화막(114)을 인산(H₃PO₄)을 사용하여 제거한다. 이때, 잔존하는 패드 질화막(114)의 두께가 종래와 비교하여 감소되었기 때문에 패드 질화막(114) 제거를 위한 침지 시간을 감소시킴으로써 선형 질화막(118)의 손실을 감소시킬 수 있어 최종적으로는 모트의 깊이를 감소시킬 수 있는 것이다.

도 7은 본 발명에 따른 세리아를 포함하는 슬러리의 사용 여부에 따른 문턱전압의 정규분포를 도시하는 그래프로서, 본 발명에 따라 세리아를 포함하는 슬러리를 사용하여 CMP 공정을 수행하는 경우 문턱 전압이 50mV 가량 개선됨을 도시한다.

발명의 효과

이상에서 살펴본 바와 같이, 본 발명에서는 반도체 소자의 소자분리막을 형성하기 위하여 트렌치를 분리하는 공정시 CMP 공정을 수행할 때에 세리아(CeO₂) 연마입자를 포함하는 슬러리를 사용함으로써, 패드 질화막의 두께를 감소시키는 것이 가능하여, 이에 따라 모트의 깊이를 감소시킬 수 있을 뿐만 아니라, 반도체 기관 내에서의 식각균일도를 개선할 수 있다. 그 결과, 게이트 식각 후 폴리실리콘이 모두 제거되지 않고 모트 부위에 찌꺼기로 남아 있음으로 인해 발생하는 자기정렬 콘택 공정 수행시의 페일 및 셀의 문턱 전압 감소에 의해 트랜지스터의 특성이 저하되는 문제점을 해결할 수 있다.

(57) 청구의 범위

청구항 1.

- (a) 반도체 기관 상부에 패드 산화막 및 패드 질화막을 순차적으로 형성하되, 상기 패드 질화막은 400 내지 600Å의 두께로 형성하는 단계와,
- (b) 상기 패드 질화막을 선택적으로 식각하여 패드 질화막 패턴을 형성하는 단계와,
- (c) 상기 패드 질화막 패턴을 하드마스크로 패드 산화막 및 소정 두께의 반도체 기관을 식각하여 소자분리영역으로 예정된 부위에 트렌치를 형성하는 단계와,
- (d) 상기 트렌치의 표면에 열 산화막을 형성하는 단계와,
- (e) 상기 결과물의 전체 표면에 선형 질화막 및 선형 산화막을 순차적으로 형성하는 단계와,
- (f) 상기 트렌치를 매립하는 매립 산화막을 전체 표면 상부에 형성하는 단계와,
- (g) 상기 패드 질화막을 식각정지막으로 하여 상기 결과물 전면에서 CMP 공정을 수행함으로써 소자분리막을 형성하되, 상기 CMP 공정은 세리아(CeO₂) 연마입자를 포함하며 상기 패드 질화막에 대한 매립 산화막의 연마선택비가 30 : 1 ~ 50 : 1인 산화막용 슬러리를 사용하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 2.

제 1 항에 있어서,

상기 세리아 연마입자의 크기는 150 내지 250nm인 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 3.

제 1 항에 있어서,

상기 세리아 연마입자는 전체 슬러리의 양에 대하여 1 내지 5중량%의 함량으로 포함되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 4.

제 1 항에 있어서,

상기 산화막용 슬러리는 탈이온수를 주성분으로 하고, 폴리아마이드계의 유기산을 전체 슬러리에 대하여 5 내지 10중량% 더 포함하며, pH가 6 내지 8인 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 5.

제 1 항에 있어서,

상기 패드 산화막은 700 내지 1100℃의 온도와, O₂ 가스 또는 O₂/H₂ 가스 분위기 하에서 열 산화 방법에 의해 형성되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 6.

제 1 항에 있어서,

상기 패드 질화막은 700 내지 800℃의 온도에서 저압 화학기상증착 방법에 의해 형성되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 7.

삭제

청구항 8.

제 1 항에 있어서,

상기 열 산화막은 700 내지 1100℃의 온도와, O₂ 가스 또는 O₂/H₂ 가스 분위기 하에서 열 산화 방법에 의해 형성되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 9.

제 1 항에 있어서,

상기 (d) 단계 후, (e) 단계 이전에 NH_3 분위기 하에서 어닐링(annealing) 공정을 수행하여 상기 열 산화막 표면을 나이트리데이션(nitridation)시키는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 10.

제 1 항에 있어서,

상기 선형 질화막은 600 내지 800℃의 온도에서 저압 화학기상증착 방법에 의해 형성되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 11.

제 1 항에 있어서,

상기 선형 질화막은 30 내지 60Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 12.

제 1 항에 있어서,

상기 선형 산화막은 650 내지 750℃의 온도에서 저압 화학기상증착 방법에 의해 형성되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 13.

제 1 항에 있어서,

상기 매립 산화막은 HDP(high density plasma) 산화막, PE-TEOS(plasma enhanced-tetraethyl ortho silicate) 산화막, O_3 -TEOS (O_3 -tetraethyl ortho silicate) 산화막, APL(advanced planarization layer) 산화막, BPSG(boron phosphorous silicate glass) 산화막, PSG(phosphorous silicate glass) 산화막 및 이들의 혼합물로 이루어진 군으로부터 선택되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 14.

삭제

청구항 15.

제 1 항에 있어서,

상기 CMP 공정은 잔존하는 패드 질화막의 두께를 300 내지 500Å으로 하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

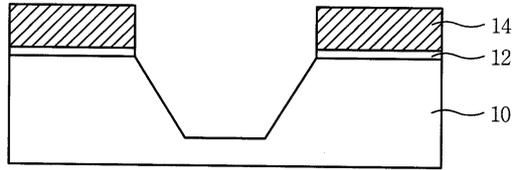
청구항 16.

제 1 항에 있어서,

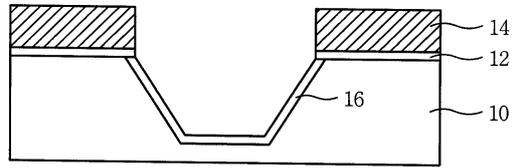
상기 소자분리막 형성방법은 (g) 단계 이후에, 잔존하는 패드 질화막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

도면

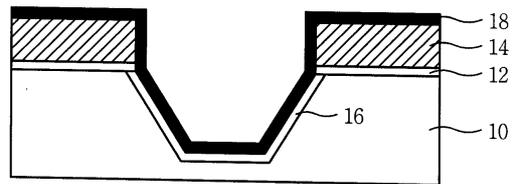
도면1a



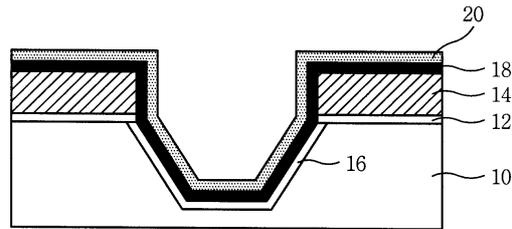
도면1b



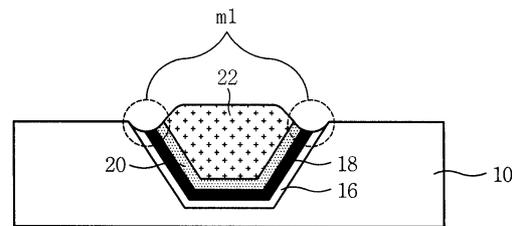
도면1c



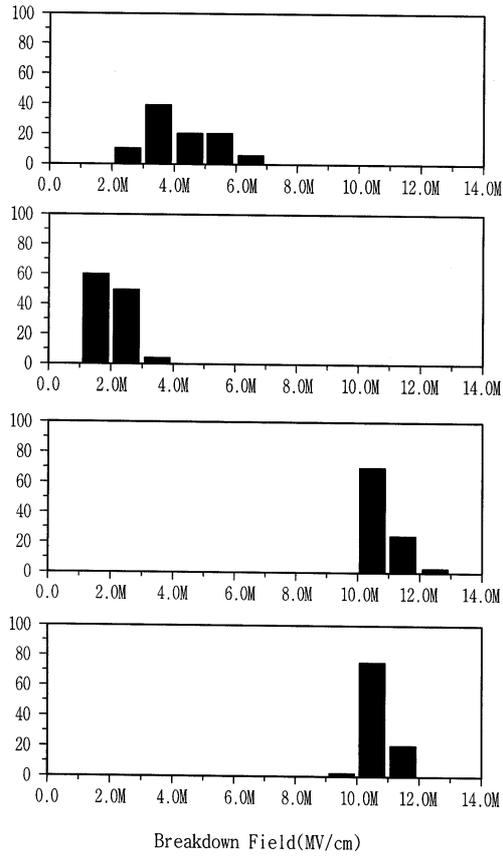
도면1d



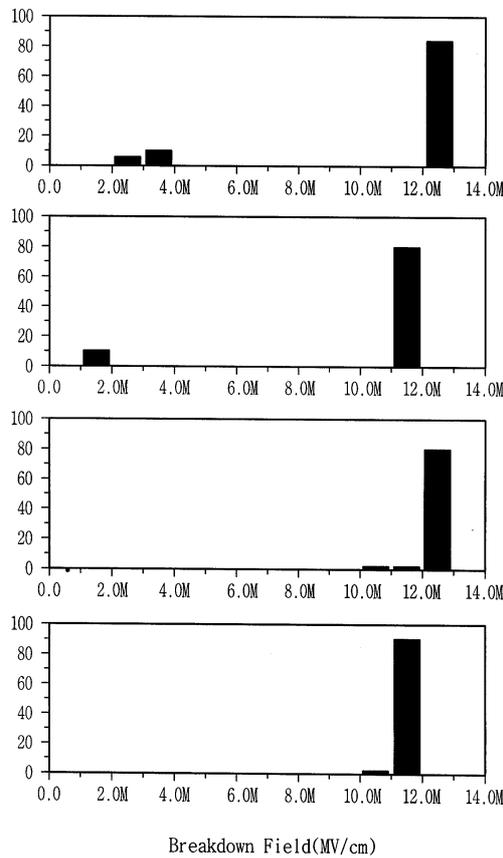
도면1e



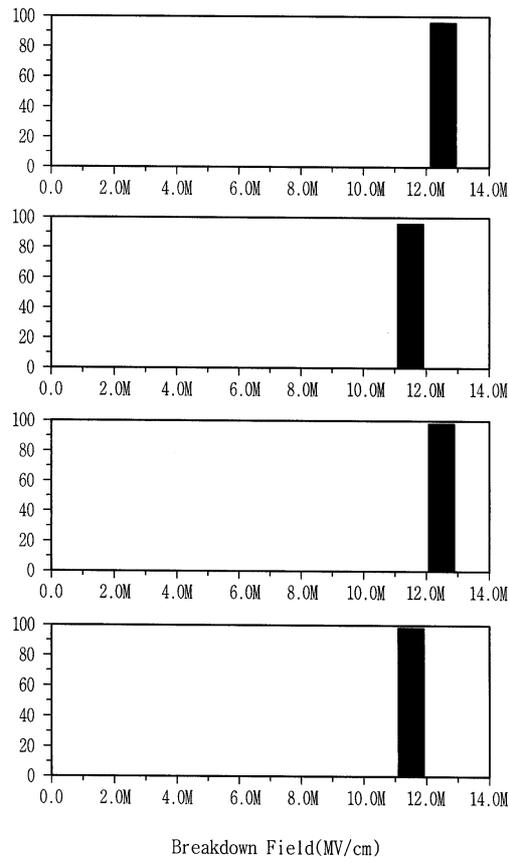
도면2a



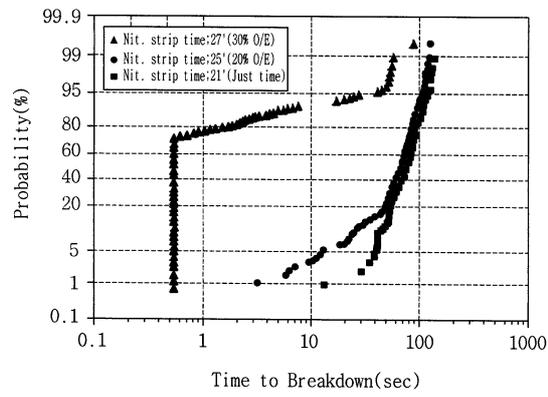
도면2b



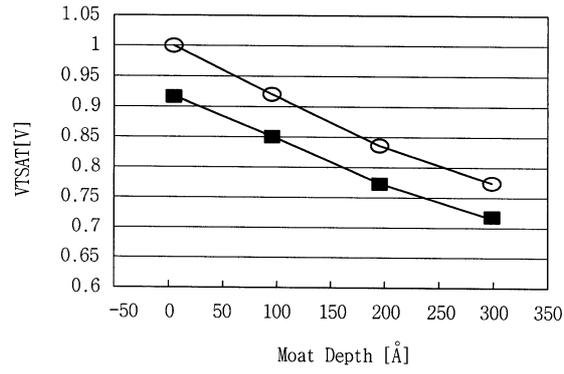
도면2c



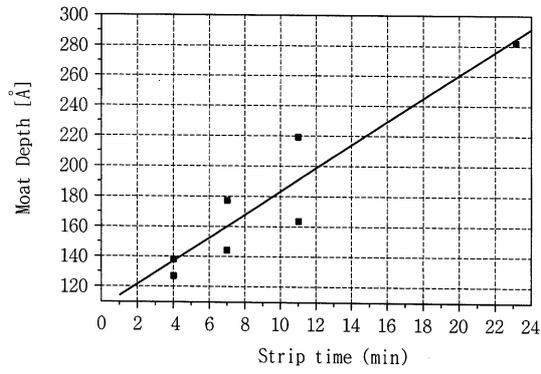
도면3



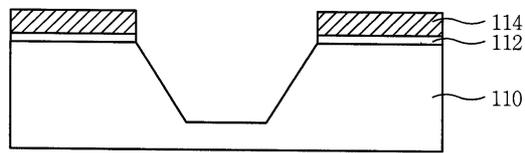
도면4



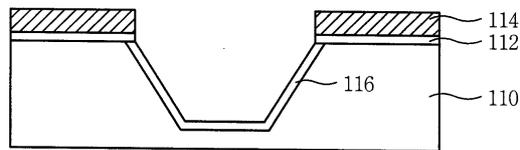
도면5



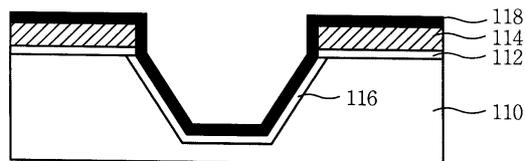
도면6a



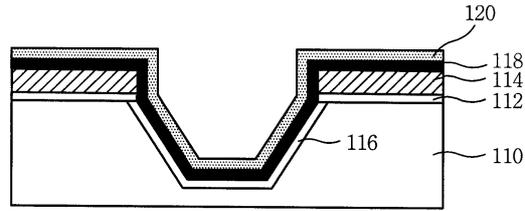
도면6b



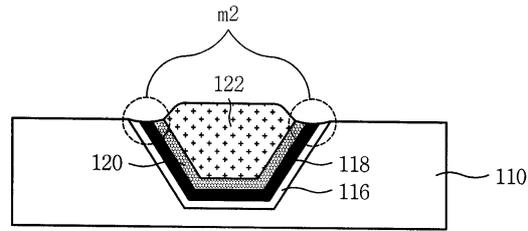
도면6c



도면6d



도면6e



도면7

