



(12) 发明专利申请

(10) 申请公布号 CN 115940953 A

(43) 申请公布日 2023. 04. 07

(21) 申请号 202211598488.3

(22) 申请日 2022.12.12

(71) 申请人 大连理工大学

地址 116024 辽宁省大连市甘井子区凌工
路2号

(72) 发明人 张克雄 潘旭辉 常玉春 刘宇帆
曲杨 曹伉

(74) 专利代理机构 辽宁鸿文知识产权代理有限
公司 21102

专利代理师 王海波

(51) Int. Cl.

H03M 1/12 (2006.01)

H04N 25/00 (2023.01)

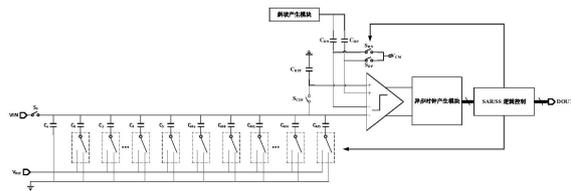
权利要求书2页 说明书6页 附图4页

(54) 发明名称

一种在模拟域实现CDS差值量化操作的SAR/
SS ADC

(57) 摘要

本发明提出一种在模拟域实现CDS差值量化操作的SAR/SS ADC,属于模拟集成电路技术领域。本发明采用了在模拟域进行CDS差值量化操作,减少了一次量化过程,提升了读出链的工作速度;本发明采用SAR ADC和SS ADC混合结构的方式,减少了SAR ADC的面积消耗,面积上减少了约85%,同时采用了单调切换开关逻辑,相比传统SAR ADC功耗上减少了约97%;本发明采用了异步时钟模块为SS ADC转换部分的计数器提供时钟,避免了额外高频时钟信号的输入,简化了设计难度。本发明的实施解决了为CMOS图像传感器读出链设计一个面积小、结构简单、同时能完成CDS差值的量化操作的列级ADC的难题。



1. 一种在模拟域实现CDS差值量化操作的SAR/SS ADC,其特征在于,包括自举采样保持开关、斜坡产生模块、二进制MSB-Split CDAC电容阵列、四输入动态比较器、异步时钟产生模块和SAR/SS逻辑控制电路;

所述的自举采样保持开关电路包括8个NMOS管、4个PMOS管和1个电容 C_G ;8个NMOS管分别为NM1~NM8,4个PMOS管分别为PM1~PM4;其中,NM1管的源极接地,NM1管的漏极连接PM1管的漏极、NM2管的栅极和NM8管的栅极,NM1管的栅极连接PM1管的栅极和输入信号CLK;PM1管的源极连接电源电压;PM2管的源极连接电源电压,PM2管的栅极连接NM3管的栅极和输入信号CLK,PM2管的漏极连接NM3管的漏极、PM4管的栅极、NM4管的漏极;NM2管的源极接地,NM2管的漏极连接NM3管的源极、电容 C_G 的第二端子、NM4管的源极和NM5管的源极;PM3管的漏极连接电源电压,PM3管的衬底连接PM3管的源极、PM4管的源极、PM4管的衬底和电容 C_G 的第一端子,PM3管的栅极连接NM7管的源极、PM4管的源极、NM4管的栅极、NM5管的栅极和NM6管的栅极;NM5管的漏极接NM6管的源极和输入信号VIN;NM6管的漏极接输出信号VOUT;NM7管的栅极接电源电压,NM7管的漏极接NM8管的源极,NM8管的漏极接地;另外除PM3和PM4管外,所有N型晶体管的衬底都接地,所有P型晶体管的衬底都接电源电压;

所述的四输入动态比较器电路包括6个NMOS管、10个PMOS管和2个反向器;6个NMOS管分别为NM1~NM6,10个PMOS管分别为PM1~PM10,2个反向器分别为反相器INV1、反相器INV2;其中,PM1管的源极接电源电压,PM1管的栅极接PM2管的栅极和输入信号CLK,PM1管漏极接PM3管的源极和PM4管的源极;PM2管的源极接电源电压,PM2管的漏极接PM5管源极和PM6管的源极;PM3管的栅极接输入信号VP,PM3管的漏极接PM5管的漏极、NM1管的漏极、PM7管的栅极和NM3管的栅极;PM4管的栅极接输入信号VN,PM4管的漏极接PM6管的漏极、NM2管的漏极、PM10管的栅极和NM4管的栅极;PM5管的栅极接输入信号VRP;PM6管的栅极接输入信号VRN;NM1管的栅极接输入信号CLK和NM2管的栅极,NM1管的源极接地;NM2管的源极接地;PM7管的源极接电源电压,PM7管的漏极接PM8管的漏极、NM3管的漏极、PM9管的栅极、NM6管的栅极和反相器INV1的输入端;PM10管的源极接电源电压,PM10管的漏极接PM9管的漏极、NM4管的漏极、PM8管的栅极和NM5管的栅极、反相器INV2的输入端;NM3管的源极接NM5管的漏极;NM4管的源极接NM6管的漏极;PM8管和PM9管的源极接电源电压,NM5管和NM6管的源极接地;反相器INV1输出端接输出信号OUTN,反相器INV2的输出端接输出信号OUTP;

所述的斜坡产生模块电路包括1个运算放大器OP、2个POMS管、8个NMOS管和3个电容;2个POMS管分别为PM1和PM2,8个NMOS管分别为NM1~NM8,3个电容分别为 C_1 、 C_2 和 C_{RAMP} ;其中,PM1管的源极连接电源电压,PM1管的栅极连接PM1管的漏极、PM2管的栅极、NM1管的漏极和电容 C_2 的上极板;PM2管的源极连接电源电压,PM2管的漏极连接NM4管的漏极、NM4管的栅极和NM6管的栅极;NM1管的栅极连接运算放大器OP的输出端,NM1管的源极连接运算放大器OP的负向输入端和NM2管的漏极;运算放大器OP的正向输入端接固定电平 V_{CM} ;NM2管的栅极接输入时钟 ϕ_1 ,NM2管的源极接NM3管的漏极和电容 C_1 的上极板;NM3管的栅极接输入时钟 ϕ_2 ,NM3管的源极接地;电容 C_1 的下极板接地,电容 C_2 下极板接电源电压;NM4管的源极接NM5管的漏极、NM5管的栅极和NM7管的栅极;NM5管的源极接地,NM7管的源极接地,NM7管的漏极接NM6管的源极,NM6管的漏极接输出端 V_{RAMP} 、电容 C_{RAMP} 的上极板和NM8管的源极;电容 C_{RAMP} 的下极板接电源电压;NM8管的栅极接控制信号 SS_{ENB} ,NM8管的漏极接固定电平 V_{CM} ;

所述的二进制MSB-Split CDAC电容阵列包括由电容 C_a 、 C_{Ma} 、 C_{M0} 、 $C_{M1} \sim C_{M5}$ 、 $C_0 \sim C_5$ 组成的

DAC和电容 C_{RST} 、 C_{RN} 、 C_{RP} ，自举采样保持开关 S_S ，开关 S_{CDS} 、 S_{RN} 、 S_{RP} ；其中，自举采样保持开关 S_S 的第一端子连接输入信号VIN，自举采样保持开关 S_S 的第二端子连接电容 C_a 、 C_{Ma} 、 $C_{M0} \sim C_{M5}$ 和 $C_0 \sim C_5$ 的上极板、开关 S_{CDS} 的第一端子和四输入动态比较器的输入端VN；电容 C_a 的下极板始终接地；电容 C_{Ma} 、 $C_{M0} \sim C_{M5}$ 和 $C_0 \sim C_5$ 的下极板接双向开关，双向开关连接 V_{REF} 和地；开关 S_{CDS} 的第二端子接电容 C_{RST} 的上极板和四输入动态比较器的输入端VP；电容 C_{RST} 的下极板接地；电容 C_{RN} 的上极板接四输入动态比较器输入端VRN和开关 S_{RN} 的第一端子；电容 C_{RP} 的上极板接四输入动态比较器输入端VRP和开关 S_{RP} 的第一端子；电容 C_{RN} 和 C_{RP} 的下极板均连接斜坡产生模块的输出端 V_{RAMP} ；开关 S_{RN} 和 S_{RP} 的第二端子均接固定电平 V_{CM} ；

所述的SAR/SS逻辑控制电路产生开关控制信号，控制DAC电容阵列的连接开关和SARADC转换阶段到SSADC转换阶段模式的切换。

2. 根据权利要求1所述的一种在模拟域实现CDS差值量化操作的SAR/SS ADC，其特征在于，所述的SAR/SS逻辑控制电路实现如下开关方法：

在采样阶段，首先采样像素输出的复位信号：自举采样保持开关 S_S 保持闭合，开关 S_{CDS} 保持闭合，DAC所有电容 C_a 、 C_{Ma} 、 C_{M0} 、 $C_{M1} \sim C_{M5}$ 、 $C_0 \sim C_5$ 的下极板接地，电容 C_{RST} 上极板与DAC所有电容的上极板对复位信号进行采样；其次采样像素输出的积分信号：自举采样保持开关 S_S 继续保持闭合，开关 S_{CDS} 断开，DAC所有电容的下极板接地，DAC所有电容的上极板对积分信号进行采样；

在转换阶段，首先进入SAR ADC的转换阶段，开关 S_{RN} 和 S_{RP} 闭合，自举采样保持开关 S_S 断开；将电容 C_{Ma} 和 $C_{M0} \sim C_{M5}$ 的下极板接 V_{REF} ，四输入动态比较器对DAC电容上极板保持的电压VN和 C_{RST} 上保持的电压VN进行比较得到最高位数字码D9，MSB代表最高位数字码，MSB-1代表次高位数字码，用D8表示，以此类推D7~D0分别代表对应位的数字码；若 $VP > VN$ ，四输入动态比较器输出比较结果为高，代表最高位D9=1，则将 C_5 的下极板切换为 V_{REF} ，其他电容下极板保持不变；若 $VN > VP$ ，四输入动态比较器输出比较结果为低，代表最高位D9=0，则将 C_{M5} 的下极板切换为GND，其他电容下极板保持不变；四输入动态比较器再次进行比较得到次高位D8，若 $VP > VN$ ，四输入动态比较器输出比较结果为高，代表次高位D8=1，则将 C_4 的下极板切换为 V_{REF} ，其他电容下极板保持不变；若 $VN > VP$ ，四输入动态比较器输出比较结果为低，代表次高位D8=0，则将 C_{M4} 的下极板切换为GND，其他电容下极板保持不变；其余位可以类推产生，直到产生D3，若D3=1，则将开关 S_{RP} 断开；否则将开关 S_{RN} 断开；进入SS ADC转换阶段，斜坡产生模块产生的斜坡由 V_{RAMP} 输入，异步时钟模块为计数器提供时钟，直到四输入动态比较器比较结果翻转后停止计数，得到D2~D0的计数码，至此所有数字码转换完成。

一种在模拟域实现CDS差值量化操作的SAR/SS ADC

技术领域

[0001] 本发明属于模拟集成电路技术领域,具体涉及一种在模拟域实现CDS差值量化的SAR/SS ADC(successive approximation register/single slope ADC)的设计方法。

背景技术

[0002] 近些年来,CMOS图像传感器作为传递图像信息的主要工具,其广泛地应用于安防、医疗、摄影等领域。同时,人们对图像传感器的精度、速度、可靠性的要求也越来越严格。而模数转换器(Analog to Digital Converter,ADC)是图像传感器中的重要组成部分,能实现像素输出的模拟电压信号到数字信号的转换,它对CMOS图像传感器的性能有着至关重要的影响。

[0003] CMOS图像传感器中,依据ADC的应用可以分为像素级ADC、列级ADC以及芯片级ADC。其中,列级模数转换器由于其在图像传感器中速度、设计复杂度以及功耗等方面有良好的平衡,已成为目前CMOS图像传感器的主流ADC结构。而图像传感器中列级ADC常用的类型又分为斜坡型模数转换器(RAMP ADC)和逐次逼近寄存器型模数转换器(Successive Approximation Register ADC,SAR ADC)。其中,RAMP ADC结构简单,占用面积小,线性度好,但转换速度慢,不适用于较大的图像阵列。而SAR ADC转换速度快,精度高,但其面积大,不容易集成于图像传感器的读出链中。

[0004] 为了减少像素的复位噪声,CMOS图像传感器会引入相关双采样(Correlated Double Sampling,CDS)操作,即在像素复位时读出一个复位信号,当积分完成后,再读出一个积分信号,并且把握好两次采样时间间隔,这样两次采样的噪声电压相差无几,将两次采样值相减,就基本消除了复位噪声的干扰,得到信号电平的实际有效幅值。传统进行读出链CDS做差的方式有两种,一是利用双斜坡ADC进行加减计数的模式,在计数器内进行做差,但是缺点需要双斜坡的设计,并且需要额外提供高频时钟。另外一种是采用双端SAR ADC直接量化差值,缺点需要大面积的电容阵列,并且需要把输入模拟信号进行处理,保证共模电平匹配才能进行,需要额外的电路处理,增加了设计的复杂度,难以将ADC做成列级读出链中。因此,设计一个面积小,结构简单,同时能完成CDS差值的量化操作的列级ADC成为CMOS图像传感器读出链的一个重要的内容。

发明内容

[0005] 为了解决现有技术中存在的上述问题,本发明提供了一种在模拟域实现CDS差值量化操作的SAR/SS ADC的设计方法,并且可以应用于CMOS图像传感器读出电路中。

[0006] 本发明要解决的技术问题通过以下技术方案实现:

[0007] 一种在模拟域实现CDS差值量化操作的SAR/SSADC,包括一个自举采样保持开关、一个斜坡产生模块、一个二进制MSB-Split CDAC电容阵列、一个四输入动态比较器、异步时钟产生模块和SAR/SS逻辑控制电路。

[0008] 所述的自举采样保持开关电路包括8个NMOS管、4个PMOS管和1个电容 C_G ;8个NMOS

管分别为NM1~NM8,4个PMOS管分别为PM1~PM4。其中,NM1管的源极接地,NM1管的漏极连接PM1管的漏极、NM2管的栅极和NM8管的栅极,NM1管的栅极连接PM1管的栅极和输入信号CLK。PM1管的源极连接电源电压。PM2管的源极连接电源电压,PM2管的栅极连接NM3管的栅极和输入信号CLK,PM2管的漏极连接NM3管的漏极、PM4管的栅极、NM4管的漏极。NM2管的源极接地,NM2管的漏极连接NM3管的源极、电容 C_G 的第二端子、NM4管的源极和NM5管的源极。PM3管的漏极连接电源电压,PM3管的衬底连接PM3管的源极、PM4管的源极、PM4管的衬底和电容 C_G 的第一端子,PM3管的栅极连接NM7管的源极、PM4管的源极、NM4管的栅极、NM5管的栅极和NM6管的栅极。NM5管的漏极接NM6管的源极和输入信号VIN。NM6管的漏极接输出信号VOUT。NM7管的栅极接电源电压,NM7管的漏极接NM8管的源极,NM8管的漏极接地。另外除PM3和PM4管外,所有N型晶体管的衬底都接地,所有P型晶体管的衬底都接电源电压。

[0009] 所述的四输入动态比较器电路包括6个NMOS管、10个PMOS管和2个反向器;6个NMOS管分别为NM1~NM6,10个PMOS管分别为PM1~PM10,2个反向器分别为反相器INV1、反相器INV2。其中,PM1管的源极接电源电压,PM1管的栅极接PM2管的栅极和输入信号CLK,PM1管漏极接PM3管的源极和PM4管的源极。PM2管的源极接电源电压,PM2管的漏极接PM5管源极和PM6管的源极。PM3管的栅极接输入信号VP,PM3管的漏极接PM5管的漏极、NM1管的漏极、PM7管的栅极和NM3管的栅极。PM4管的栅极接输入信号VN,PM4管的漏极接PM6管的漏极、NM2管的漏极、PM10管的栅极和NM4管的栅极。PM5管的栅极接输入信号VRP。PM6管的栅极接输入信号VRN。NM1管的栅极接输入信号CLK和NM2管的栅极,NM1管的源极接地。NM2管的源极接地。PM7管的源极接电源电压,PM7管的漏极接PM8管的漏极、NM3管的漏极、PM9管的栅极、NM6管的栅极和反相器INV1的输入端。PM10管的源极接电源电压,PM10管的漏极接PM9管的漏极、NM4管的漏极、PM8管的栅极和NM5管的栅极、反相器INV2的输入端。NM3管的源极接NM5管的漏极。NM4管的源极接NM6管的漏极。PM8管和PM9管的源极接电源电压,NM5管和NM6管的源极接地。反相器INV1输出端接输出信号OUTN,反相器INV2的输出端接输出信号OUTP。

[0010] 所述的斜坡产生模块电路包括1个运算放大器OP、2个POMS管、8个NMOS管和3个电容;2个POMS管分别为PM1和PM2,8个NMOS管分别为NM1~NM8,3个电容分别为C1、C2和 C_{RAMP} 。其连接关系为:PM1管的源极连接电源电压,PM1管的栅极连接PM1管的漏极、PM2管的栅极、NM1管的漏极和电容C2的上极板。PM2管的源极连接电源电压,PM2管的漏极连接NM4管的漏极、NM4管的栅极和NM6管的栅极。NM1管的栅极连接运算放大器OP的输出端,NM1管的源极连接运算放大器OP的负向输入端和NM2管的漏极。运算放大器OP的正向输入端接固定电平 V_{CM} 。NM2管的栅极接输入时钟 ϕ_1 ,NM2管的源极接NM3管的漏极和电容C1的上极板。NM3管的栅极接输入时钟 ϕ_2 ,NM3管的源极接地。电容C1的下极板接地。电容C2下极板接电源电压。NM4管的源极接NM5管的漏极、NM5管的栅极和NM7管的栅极。NM5管的源极接地。NM7管的源极接地,NM7管的漏极接NM6管的源极。NM6管的漏极接输出端 V_{RAMP} 、电容 C_{RAMP} 的上极板和NM8管的源极。电容 C_{RAMP} 的下极板接电源电压。NM8管的栅极接控制信号 SS_{ENB} ,NM8管的漏极接固定电平 V_{CM} 。

[0011] 所述的二进制MSB-SplitCDAC电容阵列包括由电容 C_a 、 C_{Ma} 、 C_{M0} 、 $C_{M1} \sim C_{M5}$ 、 $C_0 \sim C_5$ 组成的DAC和电容 C_{RST} 、 C_{RN} 、 C_{RP} ,自举采样保持开关 S_S ,开关 S_{CDS} 、 S_{RN} 、 S_{RP} 。其中,自举采样保持开关 S_S 的第一端子连接输入信号VIN,自举采样保持开关 S_S 的第二端子连接电容 C_a 、 C_{Ma} 、 $C_{M0} \sim C_{M5}$ 和 $C_0 \sim C_5$ 的上极板、开关 S_{CDS} 的第一端子和四输入动态比较器的输入端VN。电容 C_a 的下极板

始终接地;电容 C_{Ma} 、 $C_{M0} \sim C_{M5}$ 和 $C_0 \sim C_5$ 的下极板接双向开关,双向开关连接 V_{REF} 和地。开关 S_{CDS} 的第二端子接电容 C_{RST} 的上极板和四输入动态比较器的输入端VP;电容 C_{RST} 的下极板接地。电容 C_{RN} 的上极板接四输入动态比较器输入端VRN和开关 S_{RN} 的第一端子;电容 C_{RP} 的上极板接四输入动态比较器输入端VRP和开关 S_{RP} 的第一端子;电容 C_{RN} 和 C_{RP} 的下极板均连接斜坡产生模块的输出端 V_{RAMP} 。开关 S_{RN} 和 S_{RP} 的第二端子均接固定电平 V_{CM} 。

[0012] 所述的SAR/SS逻辑控制电路可实现如下开关方法:

[0013] 在采样阶段,首先采样像素输出的复位信号:自举采样保持开关 S_S 保持闭合,开关 S_{CDS} 保持闭合,DAC所有电容(C_a 、 C_{Ma} 、 C_{M0} 、 $C_{M1} \sim C_{M5}$ 、 $C_0 \sim C_5$)的下极板接地,电容 C_{RST} 上极板与DAC所有电容的上极板对复位信号进行采样。其次采样像素输出的积分信号:自举采样保持开关 S_S 继续保持闭合,开关 S_{CDS} 断开,DAC所有电容的下极板接地,DAC所有电容的上极板对积分信号进行采样。

[0014] 在转换阶段,首先进入SAR ADC的转换阶段,开关 S_{RN} 和 S_{RP} 闭合,自举采样保持开关 S_S 断开。将电容 C_{Ma} 和 $C_{M0} \sim C_{M5}$ 的下极板接 V_{REF} ,四输入动态比较器对DAC电容上极板保持的电压VN和 C_{RST} 上保持的电压VP进行比较得到最高位数字码D9,MSB代表最高位数字码,MSB-1代表次高位数字码,用D8表示,以此类推D7~D0分别代表对应位的数字码。若 $VP > VN$,四输入动态比较器输出比较结果为高,代表最高位D9=1,则将 C_5 的下极板切换为 V_{REF} ,其他电容下极板保持不变;若 $VN > VP$,四输入动态比较器输出比较结果为低,代表最高位D9=0,则将 C_{M5} 的下极板切换为GND,其他电容下极板保持不变。四输入动态比较器再次进行比较得到次高位D8,若 $VP > VN$,四输入动态比较器输出比较结果为高,代表次高位D8=1,则将 C_4 的下极板切换为 V_{REF} ,其他电容下极板保持不变;若 $VN > VP$,四输入动态比较器输出比较结果为低,代表次高位D8=0,则将 C_{M4} 的下极板切换为GND,其他电容下极板保持不变。其余位可以类推产生,直到产生D3,若D3=1,则将开关 S_{RP} 断开;否则将开关 S_{RN} 断开。进入SS ADC转换阶段,斜坡产生模块产生的斜坡由 V_{RAMP} 输入,异步时钟模块为计数器提供时钟,直到四输入动态比较器比较结果翻转后停止计数,得到D2~D0的计数码,至此所有数字码转换完成。

[0015] 本发明与现有技术相比有如下优点:

[0016] 1) 本发明采用了在模拟域进行CDS差值量化操作,减少了一次量化过程,提升了读出链的工作速度。

[0017] 2) 本发明采用SAR ADC和SS ADC混合结构的方式,减少了SAR ADC的面积消耗,相比传统SAR ADC面积上减少了约85%,同时采用了单调切换开关逻辑,相比传统SAR ADC功耗上减少了约97%。

[0018] 3) 本发明采用了异步时钟模块为SS ADC转换部分的计数器提供时钟,避免了额外高频时钟信号的输入,简化了设计难度。

[0019] 本发明的实施解决了为CMOS图像传感器读出链设计一个面积小,结构简单,同时能完成CDS差值的量化操作的列级ADC的难题。

附图说明

[0020] 图1为本发明实施例提供的在模拟域实现CDS差值量化操作的SAR/SS ADC电路结构图;

[0021] 图2为本发明实施例提供的工作时序图;

- [0022] 图3为本发明实施例提供的自举采样开关的电路结构图；
 [0023] 图4为本发明实施例提供的四输入动态比较器的电路结构图；
 [0024] 图5为本发明实施例提供的斜坡产生模块的电路结构图。

具体实施方式

[0025] 为了使本发明的目的、技术方案及优点更加清楚明白，以下结合实施例，对本发明进行进一步详细说明。此处所描述的具体实施例仅仅用于解释本发明，并不用于限定本发明。

[0026] 本发明针对传统CMOS图像传感器读出链中模数转换器的缺点，在现有技术做出改进，即提供了一种应用于CMOS图像传感器读出链的基于混合结构的SAR/SS ADC，在保证速度和面积要求的情况下实现了模拟域CDS做差操作。

[0027] 如图1所示，本发明实例提供的一种在模拟域实现CDS差值量化操作的SAR/SS ADC，电路结构包括一个自举采样保持开关、一个斜坡产生模块、一个二进制MSB-Split CDAC电容阵列、一个四输入动态比较器、异步时钟产生模块和SAR/SS逻辑控制电路。所述的自举采样保持开关将输入的相关双采样信号分别保持到电容 C_{RST} 和由电容 C_a 、 C_{Ma} 、 C_{M0} 、 $C_{M1} \sim C_{M5}$ 、 $C_0 \sim C_5$ 组成的DAC电容阵列的上极板；所述的DAC电容阵列由单位电容并联构成，通过SAR/SS逻辑控制电路实现模拟信号到数字信号的转换过程；所述的四输入动态比较器比较输入端(VP+VRP)和(VN+VRN)的电压大小，其输出控制异步时钟产生电路；所述的异步时钟产生电路产生SAR转换阶段的寄存器控制信号和SS转换阶段的计数器计数时钟；所述的SAR/SS逻辑控制电路产生开关控制信号，控制DAC电容阵列的连接开关和SAR转换阶段到SS转换阶段模式的切换。

[0028] 如图2所示，本发明实例提供的一种在模拟域实现CDS差值量化操作的SAR/SS ADC的工作时序：在采样阶段($S_s=1$)，四输入动态比较器将被复位，自举采样保持开关将输入的模拟信号进行采样。当开关 $S_{CDS}=1$ 时，电容阵列将复位电压信号采样到电容 C_{RST} 的上极板；当开关 $S_{CDS}=0$ 时，电容阵列将积分信号采样到由电容 C_a 、 C_{Ma} 、 C_{M0} 、 $C_{M1} \sim C_{M5}$ 、 $C_0 \sim C_5$ 组成的DAC的上极板。在转换阶段($S_s=0$)，四输入动态比较器在 CLK_{COMP} 下降沿时进行比较，并将比较结果输出给异步时钟控制电路，异步时钟控制电路产生SAR转换阶段的寄存器控制信号和SS转换阶段的计数器计数时钟；SAR/SS逻辑控制电路根据寄存器控制信号切换电容开关。最后，电容DAC网络根据电荷重分配原则，实现一个二进制搜索算法。

[0029] 如图3所示，本发明实施例所述的自举采样保持开关包括8个NMOS管、4个PMOS管和1个电容；8个NMOS管分别为NM1~NM8，4个PMOS管分别为PM1~PM4。其中的连接关系为：NM1管的源极接地，NM1管的漏极连接PM1管的漏极、NM2管的栅极和NM8管的栅极，NM1管的栅极连接PM1管的栅极和输入信号CLK。PM1管的源极连接电源电压。PM2管的源极连接电源电压，PM2管的栅极连接NM3管的栅极和输入信号CLK，PM2管的漏极连接NM3管的漏极、PM4管的栅极、NM4管的漏极。NM2管的源极接地，NM2管的漏极连接NM3管的源极、电容 C_G 的第二端子、NM4管的源极和NM5管的源极。PM3管的漏极连接电源电压，PM3管的衬底连接PM3管的源极、PM4管的源极、PM4管的衬底和电容 C_G 的第一端子，PM3管的栅极连接NM7管的源极、PM4管的源极、NM4管的栅极、NM5管的栅极和NM6管的栅极。NM5管的漏极接NM6管的源极和输入信号VIN。NM6管的漏极接输出信号VOUT。NM7管的栅极接电源电压，NM7管的漏极接NM8管的源极，

NM8管的漏极接地。另外除PM3和PM4管外,所有N型晶体管的衬底都接地,所有P型晶体管的衬底都接电源电压。当CLK为低电平时,PM1、PM2管导通。PM1将NM8、NM2管的栅极电压拉高,NM8和NM2管导通。NM2管将电容 C_G 下极板的电压拉低到地。NM7管的栅极连接到电压电压,NM7管常导通,NM8管导通拉低了NM4、NM6、PM3管的栅极电压,NM6管截止,PM3管导通。PM3管将电容 C_G 上极板拉高到电源电压。当CLK为高电平时,NM1、NM3管导通。NM1管拉低NM2和NM8管的栅极电压,NM3、NM8管截止。NM3管拉低PM4管的栅极电压,PM4管导通。PM4管将PM3管的栅源电压降低到0,PM3管截止。同时PM4管将NM4、NM5和NM6管的栅极电压拉高,NM4、NM5和NM6管导通。NM5管会将电容 C_G 下极板电压抬升至输入信号电平 V_{IN} ,由于电容两端电压差值不能突变,电容 C_G 上极板电压也将抬升一个输入信号的电平。NM4管导通保证PM4管的源栅电压始终保持一个电源电压,即PM4管导通。由于电容 C_G 的作用,NM6管的栅源电压也始终保持一个电源电压。NM6管的导通电阻不会受到输入信号电平的影响,保证了采样保持过程的线性度。

[0030] 如图4所示,本发明实施例所述的四输入动态比较器电路包括6个NMOS管、10个PMOS管和2个反向器;6个NMOS管分别为NM1~NM6,10个PMOS管分别为PM1~PM10,2个反向器分别为反相器INV1、反相器INV2。其中连接关系为:PM1管的源极接电源电压,PM1管的栅极接PM2管的栅极和输入信号CLK,PM1管漏极接PM3管的源极和PM4管的源极。PM2管的源极接电源电压,PM2管的漏极接PM5管源极和PM6管的源极。PM3管的栅极接输入信号VP,PM3管的漏极接PM5管的漏极、NM1管的漏极、PM7管的栅极和NM3管的栅极。PM4管的栅极接输入信号VN,PM4管的漏极接PM6管的漏极、NM2管的漏极、PM10管的栅极和NM4管的栅极。PM5管的栅极接输入信号VRP。PM6管的栅极接输入信号VRN。NM1管的栅极接输入信号CLK和NM2管的栅极,NM1管的源极接地。NM2管的源极接地。PM7管的源极接电源电压,PM7管的漏极接PM8管的漏极、NM3管的漏极、PM9管的栅极、NM6管的栅极和反相器INV1的输入端。PM10管的源极接电源电压,PM10管的漏极接PM9管的漏极、NM4管的漏极、PM8管的栅极和NM5管的栅极、反相器INV2的输入端。NM3管的源极接NM5管的漏极。NM4管的源极接NM6管的漏极。PM8管和PM9管的源极接电源电压,NM5管和NM6管的源极接地。反相器INV1输出端接输出信号OUTN,反相器INV2的输出端接输出信号OUTP。当CLK为高电平时,PM1、PM2管截止,NM1、NM2管导通。NM1管导通将NM3和PM7管栅极电压拉低到地,NM3管截止,PM7管导通。PM7管将反相器INV1的输入端拉高到电源电压,经过反相器INV1作用后输出端OUTN将为低。NM2管导通将NM4和PM10管栅极电压拉低到地,NM4管截止,PM10管导通。PM10管将反相器INV2的输入端拉高到电源电压,经过反相器INV2作用后输出端OUTP将为低。四输入动态比较器完成复位操作。当CLK为低电平时,PM1、PM2管导通,NM1、NM2管截止。PM1和PM2管分别为当前支路提供电流。PM3管和PM5管的栅极接输入信号VP和VRP,PM4管和PM6管的栅极接输入信号VN和VRN。PM3管和PM4管组成差分对管,对PM1管流出的电流进行分流。PM5管和PM6管组成差分对管,对PM2管流出的电流进行分流,根据 $(VP+VRP) > (VN+VRN)$ 的大小关系,对NM3管和NM4管的栅极的充电速度不一致。为了便于分析,假设 $(VP+VRP) > (VN+VRN)$,PM6管和PM4管对NM4管的栅极的充电电流将大于PM3管和PM5管对NM3管的栅极的充电电流。NM4管的栅极电压将比NM3管更快高于阈值电压,NM4管将比NM3管先导通。由于PM9管和NM6管在复位阶段的栅极被PM7管拉高到电源电压,因此NM6管将拉低反相器INV2的输入端,输出信号OUTP经反相器INV2后变为高电平。当NM3在NM4之后导通后,PM8管和NM5管的栅极被NM6管拉低到地,PM8管导通。PM8管将反相

器INV1的输入端电位拉高到电源电压。输出信号OUTN经反相器INV1后变为低电平。

[0031] 如图5所示,本发明实施例所述的斜坡产生模块电路包括:1个运算放大器OP、2个POMS管、8个NMOS管和3个电容。其连接关系为:PM1管的源极连接电源电压,PM1管的栅极连接PM1管的漏极、PM2管的栅极、NM1管的漏极和电容C2的上极板。PM2管的源极连接电源电压,PM2管的漏极连接NM4管的漏极、NM4管的栅极和NM6管的栅极。NM1管的栅极连接运算放大器OP的输出端,NM1管的源极连接运算放大器OP的负向输入端和NM2管的漏极。运算放大器OP的正向输入端接固定电平 V_{CM} 。NM2管的栅极接输入时钟 $\phi 1$,NM2管的源极接NM3管的漏极和电容C1的上极板。NM3管的栅极接输入时钟 $\phi 2$,NM3管的源极接地。电容C1的下极板接地。电容C2下极板接电源电压。NM4管的源极接NM5管的漏极、NM5管的栅极和NM7管的栅极。NM5管的源极接地。NM7管的源极接地,NM7管的漏极接NM6管的源极。NM6管的漏极接输出端 V_{RAMP} 、电容 C_{RAMP} 的上极板和NM8管的源极。电容 C_{RAMP} 的下极板接电源电压。NM8管的栅极接控制信号 SS_{ENB} ,NM8管的漏极接固定电平 V_{CM} 。当 SS_{ENB} 为1时,电容 C_{RAMP} 的上极板被复位为 V_{CM} ,斜坡产生电路的输出端 V_{RAMP} 也为 V_{CM} 。当 SS_{ENB} 为0时,运算放大器OP和NM1管组成负反馈环路,将NM2管的漏端电平钳位到 V_{CM} 。时钟 $\phi 1$ 和 $\phi 2$ 为非交叠时钟,在电容C1上进行不断地充放电过程,其可以等效为一个恒定向下的电流,大小为 $C_1 \times V_{CM} / T_{\phi 1}$ 。PM1管和PM2管组成电流镜,将PM1管所在支路的电流复制到PM2管所在支路。电容C2将开关电路引入的高频噪声去除。NM4、NM5、NM7和NM6管组成共源共栅电流镜,将NM5所在支路电流复制到NM7管所在支路。流过NM7和NM6的电流对电容 C_{RAMP} 进行放电,在输出端 V_{RAMP} 产生向下的斜坡信号。

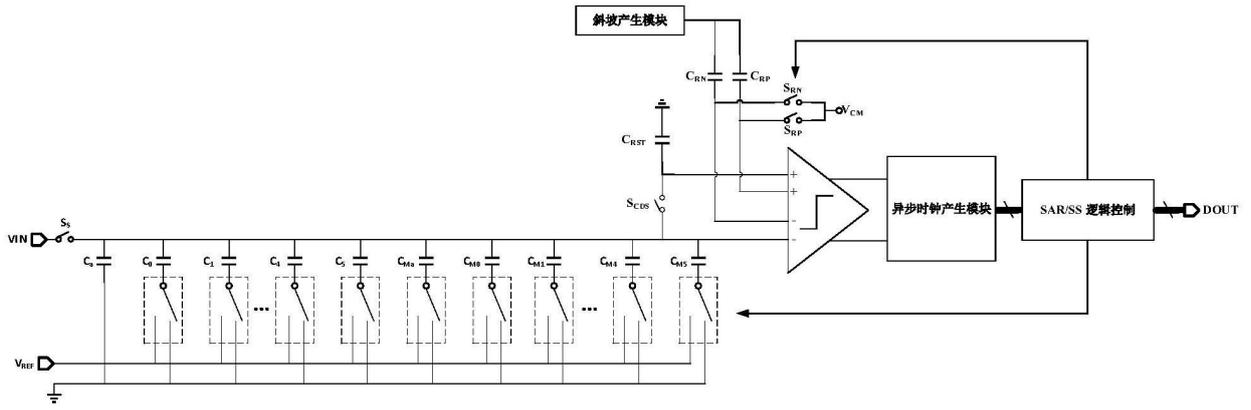


图1

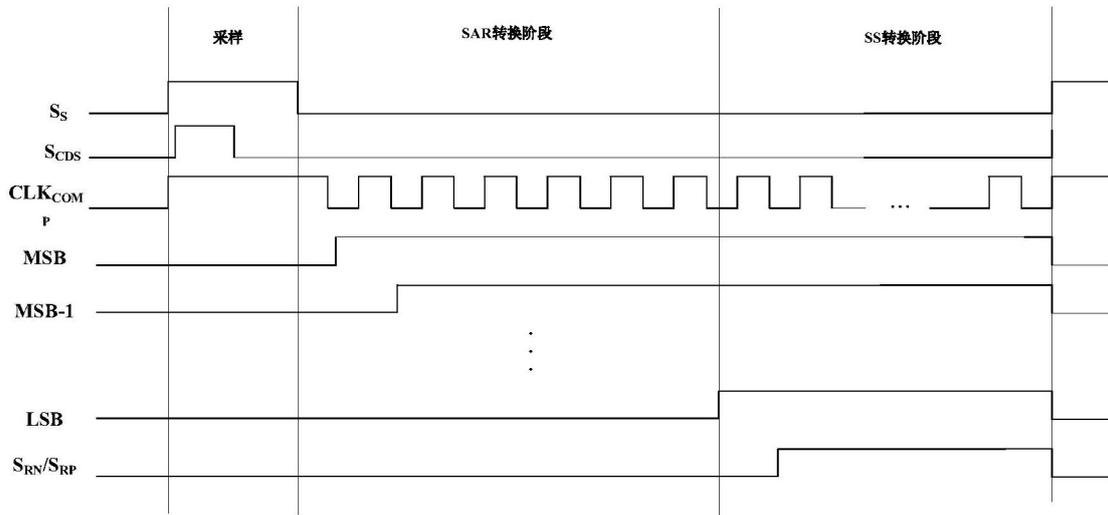


图2

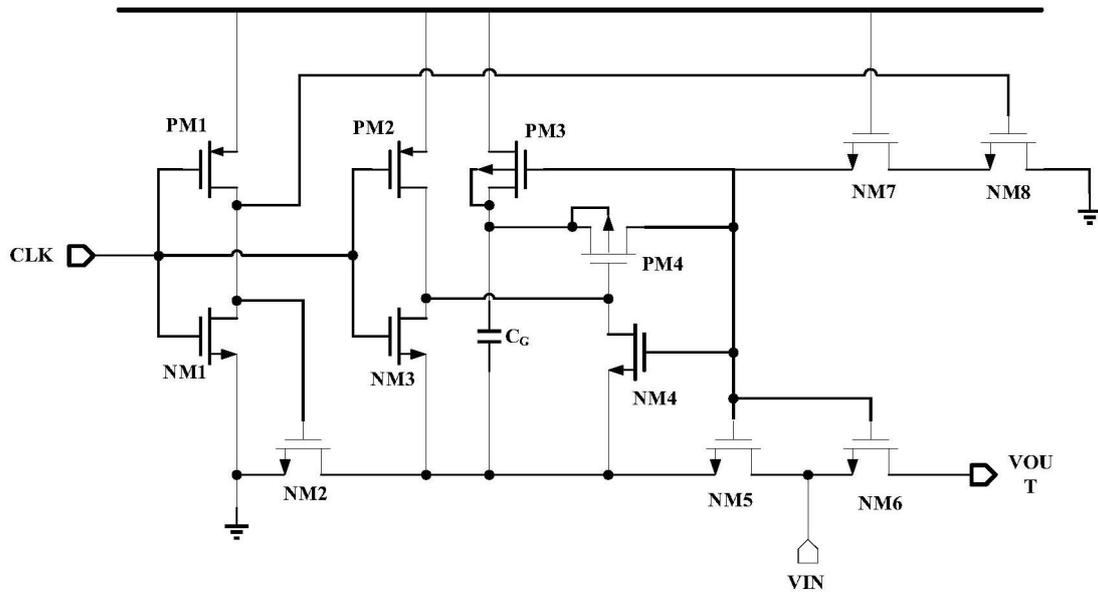


图3

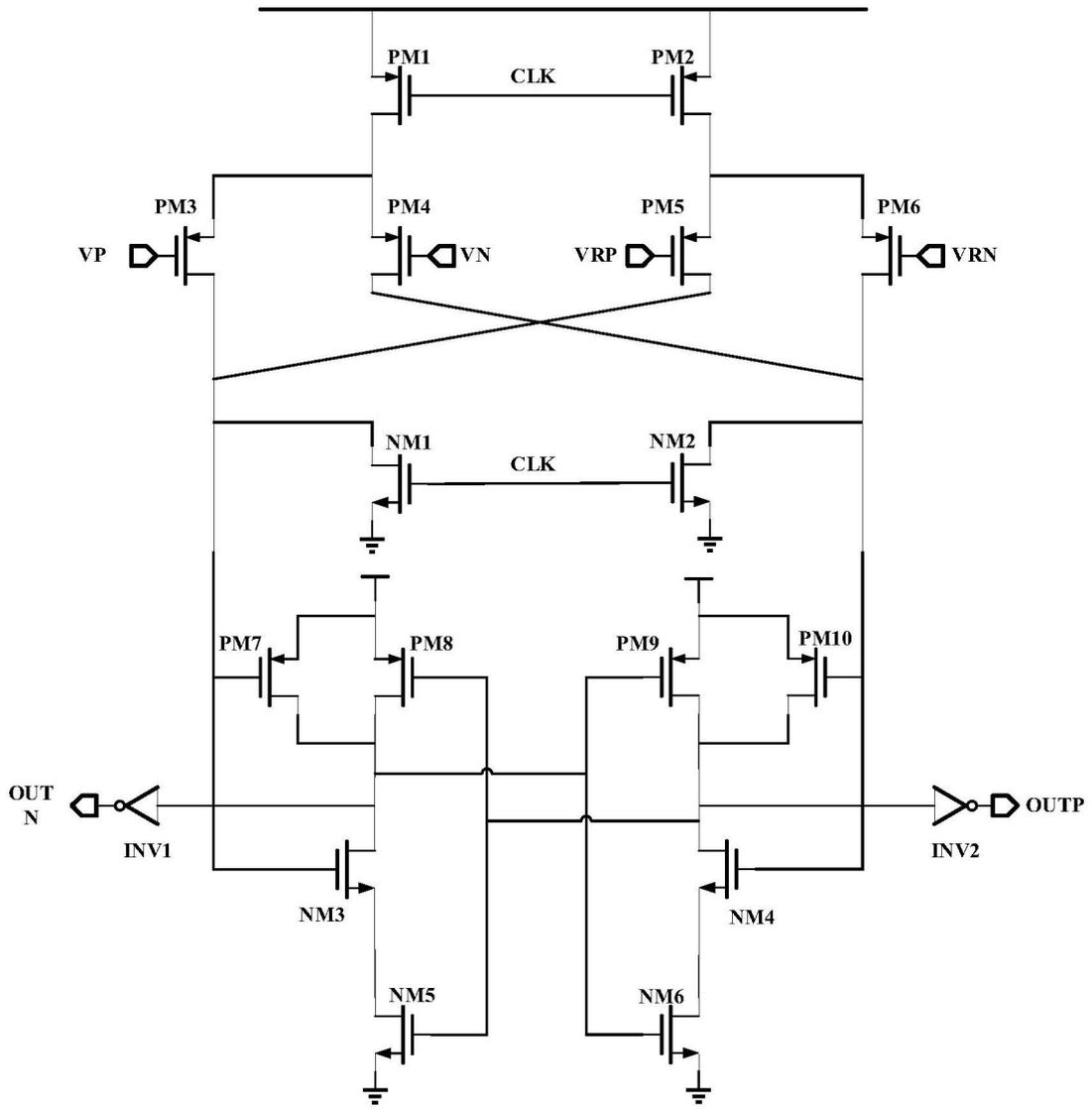


图4

