

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G11B 20/02

(45) 공고일자 1994년04월21일  
(11) 공고번호 특1994-0003390

(21) 출원번호	특1991-0024826	(65) 공개번호	특1993-0014509
(22) 출원일자	1991년12월28일	(43) 공개일자	1993년07월23일
(71) 출원인	현대전자산업 주식회사 정몽헌 경기도 이천군 부발읍 아미리 산 136-1		

(72) 발명자 현운혁  
서울특별시 성동구 광장동 484 광장현대아파트 306-803호  
(74) 대리인 박해천

심사관 : 이재화 (책자공보 제3605호)

**(54) 저주파수 발진기를 이용한 고해상도 비디오신호 처리장치**

**요약**

내용 없음.

**대표도**

**도1**

**명세서**

[발명의 명칭]

저주파수 발진기를 이용한 고해상도 비디오신호 처리장치

[도면의 간단한 설명]

제1도는 종래의 고해상도 비디오 신호 처리장치의 구성도.

제2도는 본 발명에 의한 고해상도 비디오 신호 처리장치의 구성도.

제3도는 제2도의 동작을 나타내는 신호파형도.

\* 도면의 주요부분에 대한 부호의 설명

- |                      |                 |
|----------------------|-----------------|
| 1, 11 : CRTC         | 2 : 비디오 메모리     |
| 3, 13, 15 : 쉬프트 레지스터 | 4, 17 : OSC     |
| 5, 16 : 카운터          | 6, 20 : 모니터     |
| 12 : 이븐 비디오 RAM      | 14 : 오드 비디오 RAM |
| 18 : 인버터             | 19 : OR 게이트     |

[발명의 상세한 설명]

본 발명은 저주파수 발진기를 이용하여 고해상도의 비디오 신호를 처리하는 고해상도 비디오 신호 처리장치에 관한 것이다.

제1도는 종래의 고해상도 비디오 신호 처리장치의 구성도로, 1은 CRTC(Cathode Ray Tube Controller), 2는 비디오 메모리, 3은 쉬프트 레지스터, 4는 OSC(Oscillator), 5는 카운터, 6은 모니터를 각각 나타낸다.

종래의 고해상도 비디오 신호 처리장치는 제1도에 도시한 바와 같이 CRTC(1), 다수(3)의 비디오 메모리(2), 쉬프트 레지스터(3), OSC(4), 및 카운터(5)로 구성된다.

상기 CRTC(1)는 모니터(6)로 부터 입력되는 수직동기신호(Vsync)와 수평동기신호(Hsync)를 입력으로 스캔로오 어드레스(RA0 내지 RAn)와 메모리 어드레스(MA0 내지 MAn)를 상기 비디오 메모리(2)로 출력한다. 로오 어드레스(RA0 내지 RAn)는 상기 카운터(5)로 부터 입력되는 클럭(CCLK)에 따라 하나의 로오당 화소를 구성하는 스캔라인의 수가 카운트되며 상기 메모리 어드레스(MA0 내지 MAn)도 상기

클럭(CCLK)에 따라 카운트된다. 즉, 하나의 화소는 40도트×32스캔 라인으로 구성되므로 한 화면에 표시할 수 있는 최대 글자수는 32×32, 즉 1024자이다. 따라서, 1024자를 표시할 수 있는 메모리 어드레스(MA0 내지 MAn)는 매 수평 동기신호(Hsync) 주기마다 1024글자를 표시할 수 있도록 카운트 되어야 한다.

따라서 상기 CRTC(1)의 메모리 어드레스(MA0 내지 MAn)와 로오 어드레스(RA0 내지 RAn)에 따라 상기 비디오 메모리(2)에 쓰여진 데이터는 비디오 메모리 데이터 출력단자(D0 내지 Dn)를 통해 병렬로 상기 쉬프트 레지스터(3)로 매 클럭마다 로드되며 매 도트 클럭 주기마다 병렬 스트림(Parallel Stream) 메모리 데이터가 직렬 스트림(Serial Stream) 비디오 데이터로 변환되어 모니터(6)로 출력된다. 따라서, 1280×1024의 고해상도를 얻기 위해서는 쉬프트 레지스터(3)의 클럭 입력단에 그에 상응하는 고주파 클럭을 공급해야 한다.

따라서, 고해상도 비디오 신호를 얻기 위해서는 해상도에 따라 높은 주파수의 발진회로가 필요하다. 즉 1280도트×1024스캔 해상도의 경우 100 내지 120MHz 정도의 고주파 발진회로가 요구되며 해상도가 높아질수록 요구되는 주파수가 커진다.

또한 상기 발진 주파수가 높아짐에 따라 빠른 속도로 처리될 수 있는 주변장치가 필요할 뿐아니라 불요전자의 발생으로 문제가 발생된다.

상기 문제점을 개선하기 위해 안출된 본 발명은 저주파 발진기를 이용하여 액세스 시간이 트린 장치를 사용할 수 있고 고해상도로 디스플레이할 수 있도록 하는 고해상도 비디오 신호 처리장치를 제공함에 그 목적이 있다.

상기 목적을 달성하기 위해 본 발명은 CRTC를 포함하여 구성되며 저주파수를 이용하여 고해상도의 비디오 신호를 처리하는 고해상도 비디오 신호처리장치에 있어서, 상기 CRTC에 연결되어 상기 CRTC에 클럭을 공급하고 로드 클럭을 발생하는 디바이드 카운터 수단, 상기 디바이드 카운터 수단에 연결되어 상기 디바이드 카운터 수단으로 클럭을 공급하고 도트클럭을 발생하는 OSC, 상기 CRTC에 연결되어 2개의 부분으로 나누어진 비디오 신호중 이븐 비디오 신호를 저장하는 이븐 비디오 메모리 수단, 상기 CRTC에 연결되고 2개의 부분으로 나누어진 비디오 신호중 오드 비디오 신호를 저장하는 오드 비디오 메모리 수단, 상기 이븐 비디오 메모리 수단과 디바이드 카운터 수단과 OSC에 연결되어 상기 이븐 비디오 메모리 수단으로 부터 입력되는 이븐 비디오 신호를 상기 OSC로 부터 입력되는 도트에 따라 직렬로 변환하는 제1쉬프트 레지스터 수단, 상기 OSC에 연결되어 상기 OSC로 부터 출력되는 도트 클럭을 반전시켜 반전된 도트클럭을 발생하는 반전 수단, 상기 오드 비디오 메모리 수단과 디바이드 카운터 수단과 반전 수단에 연결되어 상기 오드 비디오 메모리 수단으로 부터 입력되는 오드 비디오 신호를 상기 반전 수단으로 부터 출력되는 반전된 도트클럭에 따라 직렬로 변환하는 제2쉬프트 레지스터 수단, 및 상기 제1 및 제2쉬프트 레지스터 수단에 연결되어 상기 제1 및 제2쉬프트 레지스터 수단으로 부터 출력되는 직렬 비디오 신호를 논리합하는 논리합 수단으로 구성되는 것을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명의 일실시예를 상세히 설명한다.

제2도는 본 발명에 의한 고해상도 비디오 신호 처리장치의 구성도로 11은 CRTC, 12는 이븐 비디오 RAM, 13, 15는 쉬프트 레지스터, 14는 오드 비디오 RAM, 16은 디바이드 카운터, 17은 OSC, 18은 인버터, 19는 OR 게이트, 20은 모니터를 각각 나타낸다.

본 발명에 의한 고해상도 비디오 신호 처리장치는 제2도에 도시한 바와 같이 CRTC(11), 이븐 비디오 RAM(12), 쉬프트 레지스터(13, 15), 오드 비디오 RAM(14), 디바이드 카운터(16), OSC(17), 인버터(18), 및 OR게이트(19)로 구성된다.

상기 OSC(17)는 도트클럭(Td) 및 로드클럭(LD)을 발생시키기 위한 클럭을 발생하며, 상기 디바이드 카운터(16)는 상기 OSC(17)로 부터 발생된 클럭을 이용하여 문자클럭(CCLK\*)과 로드클럭(LD\*)을 발생한다.

상기 CRTC(11)는 상기 디바이드 카운터(16)로 부터 문자클럭(CCLK\*)을 받고 모니터(20)로 부터 수평 동기신호(Hsync)와 수직 동기신호(Vsync)를 받아 메모리 어드레스 신호(MA0 내지 MAn)와 로오 어드레스 신호(RA0 내지 RAn)를 발생하여 상기 이븐 비디오 RAM(12)과 오드 비디오 RAM(14)으로 출력된다.

상기 이븐 비디오 RAM(12)은 이븐(Even) 및 오드(Odd)로 나누어 저장된 비디오 신호중 이븐 비디오 신호를 저장하고 있으며 상기 CRTC(11)로 부터 출력되는 메모리 어드레스 신호(MA0 내지 MAn)와 로오 어드레스 신호(RA0 내지 RAn)에 따라 해당 이븐 비디오 신호를 상기 쉬프트 레지스터(13)로 출력한다.

상기 오드 비디오 RAM(14)은 상기 비디오 신호중 오드 비디오 신호를 저장하고 있으며 상기 CRTC(11)로 부터 출력되는 메모리 어드레스 신호(MA0 내지 MAn)와 로오 어드레스 신호(RA0 내지 RAn)에 따라 해당 오드 비디오 신호를 상기 쉬프트 레지스터(15)로 출력한다.

상기 쉬프트 레지스터(13)는 상기 디바이드 카운터(16)로 부터 로드 클럭(LD\*)을 받고 상기 OSC(17)로 부터 도트클럭(Td)을 받아 상기 클럭신호(LD\*, Td)에 따라 직렬로 변환하여 상기 OR게이트(19)로 출력한다.

상기 쉬프트 레지스터(15)는 상기 디바이드 카운터(16)로 부터 로드클럭(LD\*)을 받고 상기 OSC(17)로 부터 출력되는 도트클럭(Td)을 상기 인버터(18)를 통해 반전시켜 반전된 도트클럭(Td\*)이 상기 클럭신호(LD\*, Td\*)에 따라 직렬로 변환하여 상기 OR게이트(19)로 출력한다.

상기 OR게이트(19)는 상기 쉬프트 레지스터(13, 14)로 부터 출력되는 직렬 비디오 신호를 논리합하여 상기 모니터(20)로 출력한다.

제3도는 제2도의 동작을 나타내는 신호파형도이다.

상기와 같이 구성된 고해상도 비디오 신호 처리장치의 동작을 제3도를 참조하여 세부적으로 살펴보면 다음과 같다.

상기 비디오 메모리(12, 14)가 이븐 및 오드로 비디오 신호 데이터를 저장하며 상기 이븐 비디오 메모리(12)에 저장된 비디오 신호 데이터는 이븐 도트클럭(Td)의 1/2주기에 상기 쉬프트 레지스터(13)에서 직렬 데이터로 변환되고 상기 오드 비디오 메모리(14)에 저장된 비디오 신호 데이터는 반전된 오드 도트클럭(Td<sup>\*</sup>)의 1/2주기에 상기 쉬프트 레지스터(15)에서 직렬 데이터로 변환된다.

즉, 이븐 비디오 메모리(12)에 저장된 비디오 신호의 경우 상기 쉬프트 레지스터(13)에서 상기 이븐 도트클럭(Td)의 상승에지(A, B, C)에서 직렬 비디오 신호로 변환되어 상기 OR게이트(19)로 출력되고, 오드 비디오 메모리(14)에 저장된 신호의 경우 상기 쉬프트 레지스터(15)에서 상기 반전된 오드 도트클럭(Td<sup>\*</sup>)의 상승에지(D, E, F)에서 직렬 비디오 신호로 변환되어 상기 OR게이트(19)로 출력된다. 따라서, 상기 이븐 비디오 메모리(12)에 저장된 비디오 신호는(A), (B), (C)시점에서 출력되고 상기 오드 비디오 메모리(14)에 저장된 비디오 신호는 (D), (E), (F)시점에서 출력되어 최종적으로 상기 OR게이트(19)에서 합쳐져 원하는 비디오 신호의 출력을 얻게 된다.

따라서 상기 비디오 신호를 직렬로 변환하여 상기 모니터(20)로 전송하기 위한 도트클럭(Td)은 동일한 해상도를 갖도록 하기 위한 종래의 클럭의 주파수의 1/2이 된다.

상기와 같이 구성되어 동작하는 본 발명은 낮은 주파수로 고해상도의 그래픽 회로 구현이 가능하며, 낮은 주파수의 클럭이 필요하므로 고주파 발생회로를 사용함으로써 발생하는 메모리 간섭이나 불요 전자파의 발생을 감소시킬 수 있는 적용효과 뿐만아니라 비디오 메모리, 주변 쉬프트 레지스터, 기타 게이트 회로에서 비교적 저속 응답 특성을 가지는 소자를 사용할 수 있으므로 시스템을 경제적으로 설계할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

CRTC(11)를 포함하여 구성되며 저주파수를 이용하여 고해상도의 비디오 신호를 처리하는 고해상도 비디오 신호처리장치에 있어서 ; 상기 CRTC에 연결되어 상기 CRTC(11)에 클럭(CCLK)을 공급하고 로드 클럭(LD<sup>\*</sup>)을 발생하는 디바이드 카운터 수단(16), 상기 디바이드 카운터 수단(6)에 연결되어 상기 디바이드 카운터 수단(6)으로 클럭을 공급하고 도트클럭(Td)을 발생하는 OSC(Oscillator)(17), 상기 CRTC(11)에 연결되어 2개의 부분으로 나뉘어진 비디오 신호중 이븐 비디오 신호를 저장하는 이븐 비디오 메모리 수단(12), 상기 CRTC(11)에 연결되고 2개의 부분으로 나뉘어진 비디오 신호중 오드 비디오 신호를 저장하는 오드 비디오 메모리 수단(14), 상기 이븐 비디오 메모리 수단(12)과 디바이드 카운터 수단(6)과 OSC(17)에 연결되어 상기 이븐 비디오 메모리 수단(12)으로 부터 입력되는 이븐 비디오 신호를 상기 OSC(17)로 부터 입력되는 도트클럭(Td)에 따라 직렬로 변환하는 제1쉬프트 레지스터 수단(13), 상기 OSC(17)에 연결되어 상기 OSC(17)로 부터 출력되는 도트 클럭(Td)을 반전시켜 반전된 도트클럭(Td<sup>\*</sup>)을 발생하는 반전수단(18), 상기 오드 비디오 메모리 수단(14)과 디바이드 카운터 수단(16)과 반전수단(18)에 연결되어 상기 오드 비디오 메모리 수단(14)으로 부터 입력되는 오드 비디오 신호를 상기 반전수단(18)으로 부터 출력되는 반전된 도트클럭(Td<sup>\*</sup>)에 따라 직렬로 변환하는 제2쉬프트 레지스터 수단(15), 및 상기 제1 및 제2쉬프트 레지스터 수단(13, 15)에 연결되어 상기 제1 및 제2쉬프트 레지스터 수단(13, 15)으로 부터 출력되는 직렬 비디오 신호를 논리합하는 논리합 수단(19)으로 구성되는 것을 특징으로 하는 고해상도 비디오 신호 처리 장치.

도면

도면1



