(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G11C 5/14

(11) 공개번호 특2001-0103677
(43) 공개일자 2001년11월23일

(21) 출원번호 10-2001-0025108
(22) 출원일자 2001년05월09일

(30) 우선권주장 2000-137482 2000년05월10일 일본(JP)

(71) 출원인 산요 덴키 가부시키가이샤
다카노 야스아키
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 묘노다까오
일본사이따마껭오사또궁메누마마찌메누마히가시2-51

(74) 대리인 구영창
장수길
이중희

심사청구 : 있음

(54) 차지 펌프 회로 및 그 제어 방법

요약

전원 전압 V_{dd} 이하의 작은 단계에서 승압을 행하는 차지 펌프 회로에 있어서, 기생 다이오드가 순방향 바이어스되어 회로가 오동작하는 문제가 있었다.

이 차지 펌프 회로는 직렬로 접속된 적어도 제1 및 제2 전하 전송용 MOS 트랜지스터(M1, M2)와, 제1 및 제2 콘덴서(1, 2)와, 제2 콘덴서(2)의 일단에 클럭을 공급하는 클럭 드라이버(3), 제1 및 제2 콘덴서(1, 2)를 펌핑 노드에 직렬로 접속하기 위한 제1 스위치 수단(S2)과, 제1 및 제2 콘덴서(1, 2)를 펌핑 노드에 병렬로 접속하기 위한 제2 스위치 수단(S1, S3)을 구비한다. 그리고 클럭 드라이버(3)는 제1 및 제2 스위치 수단 모두 오프되었을 때, 클럭의 상태를 변화시킨다.

대표도
도 1

색인어

차지 펌프, 컨덴서, 클럭, MOS 트랜지스터

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 차지 펌프 회로 및 그 제어 방법을 나타내는 회로도.

도 2는 본 발명의 실시예에 따른 차지 펌프 회로 및 그 제어 방법을 나타내는 회로도.

도 3은 본 발명의 실시예에 따른 차지 펌프 회로 및 그 제어 방법을 나타내는 회로도.

도 4는 본 발명의 실시예에 따른 차지 펌프 회로 및 그 제어 방법을 나타내는 회로도.

도 5는 본 발명의 실시예에 따른 차지 펌프 회로 및 그 제어 방법을 나타내는 회로도.

도 6은 본 발명의 실시예에 따른 차지 펌프 회로 및 그 제어 방법을 나타내는 회로도.

도 7은 본 발명의 실시예에 따른 차지 펌프 회로 및 그 제어 방법을 나타내는 타이밍도.

도 8은 전하 전송 소자를 P 채널형 MOS 트랜지스터로 제작한 경우를 나타내는 도면.

도 9는 전하 전송 소자를 N 채널형 MOS 트랜지스터로 제작한 경우를 나타내는 도면.

도 10은 종래예의 차지 펌프 회로의 구성 및 동작을 나타내는 회로도.

도 11은 종래예의 차지 펌프 회로의 구성 및 동작을 나타내는 회로도.

도 12는 종래예의 차지 펌프 회로의 구성 및 동작을 나타내는 회로도.

도 13은 전하 전송 소자를 P 채널형 MOS 트랜지스터로 제작한 경우의 문제점을 나타내는 도면.

도 14는 전하 전송 소자를 N 채널형 MOS 트랜지스터로 제작한 경우의 문제점을 나타내는 도면.

〈도면의 주요 부분에 대한 부호의 설명〉

1, 2 : 콘덴서

3 : 클럭 드라이버

M1 : 전하 전송용 MOS 트랜지스터

M2 : 전하 전송용 MOS 트랜지스터

S1 : 제1 스위치

S2 : 제2 스위치

S3 : 제3 스위치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전원 전압 V_{dd} 이하의 단계에서 승압 전압을 출력하는 차지 펌프 회로 및 그 제어 방법에 관한 것으로, 특히 전하 전송 소자에 따르는 기생 다이오드의 영향을 없애어 정상적인 차지 펌프 동작을 가능하게 한 차지 펌프 회로의 제어 방법에 관한 것이다.

딕슨(Dicson)에 의해 개발된 차지 펌프 회로(charge-pump circuit)는 펌핑·패킷(pumping packet)을 복수단으로 직렬 접속하고, 각 펌핑·패킷의 승압(voltage fluctuation)에 의해 LSI 칩의 전원 전압 V_{dd} 보다도 높은 전압을 발생시키는 것이다. 예를 들면, 플래시 메모리(Flash memories)의 프로그램/소거(program/erase)를 위한 전압을 발생시키기 위해 사용되고 있다.

그러나, 종래의 차지 펌프 회로는 전원 전압 V_{dd} 단계에서 승압을 행함으로써, 그보다 작은 전압 단계의 승압을 가능하게 하는 것은 제안되지 않았다. 그래서, 본 발명자는 V_{dd} 보다 작은 전압 단계의 승압을 가능하게 함과 함께, 회로의 효율 η을 개선한 차지 펌프 회로를 이미 제안하였다(특허 출원 평11-348475호 공보).

그 개요를 설명하면 다음과 같다. 도 10 내지 도 12는 $-0.5V_{dd}$ 승압 차지 펌프 회로의 구성 및 동작을 나타내는 회로도이다. 이 차지 펌프 회로는 접지 전압(0V)에 대하여 $-0.5V_{dd}$ 의 승압 전압을 작성하는 것이다.

도 10에 있어서, 전하 전송 소자로서 다이오드(D1, D2)가 직렬로 접속되어 있다. 다이오드(D1)의 캐소드에는 접지 전압(0V)이 공급되어 있다. 다이오드(D1, D2)는, LSI에 집적화되기 때문에, 일반적으로는 전하 전송용 MOS 트랜지스터에 의해 구성된다.

스위치(S1, S2, S3)는 다이오드(D1, D2)의 접속점에 두 개의 컨덴서(1, 2)를 병렬 또는 직렬로 전환하여 접속한다. 이들 스위치(S1, S2, S3)는 MOS 트랜지스터에 의해 구성할 수 있다. 이에 따라, 스위치(S1, S2, S3)의 온·오프는 MOS 트랜지스터의 온·오프에 대응한다. 클럭 드라이버(3)는 컨덴서(2)에 클럭 CLK를 공급한다. 그리고, 다이오드(D2)로부터 출력되는 출력 전압이 부하(4)에 인가되어 있다.

이하에서 이 차지 펌프 회로의 제어 방법의 개요를 설명한다. 현재, 클럭 드라이버(3)의 전원 전압 V_{dd} 는 5V로 한다. 또한, 다이오드(D1, D2)와 스위치(S1, S2, S3)를 설치함으로써, 실제로는 그 부분에 전압 강하(Voltage Drop)가 생기지만, 여기서는 그것을 무시하고 전압 강하는 0V로 한다.

클럭 드라이버(3)의 입력 클럭이 하이 레벨일 때(CLK=High), S1=오프, S2= 온, S3=오프로 하면, 두 개의 컨덴서(1, 2)는 직렬 접속이 되고, 각 노드 전압은 V_{L1} 0V, $V_A=V_B=2.5V$, $V_C=5V$가 된다. V_{L1} 은 다이오드(D1)와 컨덴서(1)의 접속 노드(펌핑 노드)의 전압, V_A는 컨덴서(C1)와 스위치(S2)의 접속 노드의 전압, V_B는 스위치(2)와 컨덴서(2)의 접속 노드의 전압, V_C는 클럭 드라이버(3)의 출력과 컨덴서(2)의 접속 노드의 전압이다.

즉, 컨덴서(1, 2)가 갖는 용량치가 동등하다고 한다면, 컨덴서(1, 2)에 전하가 동등하게 분배됨으로써, 컨덴서(1, 2)는 각각 $V_{dd}/2$의 전압으로 충전된다(도 10 참조).

다음으로 CLK=High인 상태 그대로로부터 S2=오프, S1=S3=온으로 하면, 두 개의 컨덴서(1, 2)는 병렬 접속으로 전환된다. 이에 따라, 각 노드 전압은 V_{L1} 2.5V, $V_A=5V$, $V_B=2.5V$, $V_C=5V$가 된다(도 11 참조).

다음으로 이 병렬 접속 상태로부터 입력 클럭 CLK를 로우 레벨(CLK=Low)로 천이시키면, 컨덴서(1, 2)는 펌핑 노드에 결합되어 있기 때문에, 이 컨덴서 커플링 효과에 의해, 각 노드 전압은 V_{L1} $-2.5V$, $V_A=0V$, $V_B=-2.5V$, $V_C=5V$가 된다(도 12 참조).

이와 같이 입력 클럭 CLK에 따라 컨덴서(1, 2)를 교대로 직렬로 배열하여 전환하는 것을 반복함으로써, 다이오드(D2)로부터 -2.5V(=-1/2V_{dd})의 출력 전압이 부하(4)로 공급된다.

발명이 이루고자 하는 기술적 과제

다이오드(D1, D2)를 소스와 게이트가 접속된 의사적인 전하 전송용 MOS 트랜지스터에 의해 구성하면, 펌핑 노드(V_{L1})의 전압이 2.5V가 되었을 때, 다이오드(D1)가 순방향 바이어스되어 불필요한 전류가 과도하게 흐른다는 문제가 있다. 그래서 이 문제를 해결하기 위해서는 전하 전송용 MOS 트랜지스터의 게이트 전압을 소스 전압으로부터 분리하여 제어하면 좋다.

그리고, 컨덴서(1, 2)가 직렬로 접속되는 타이밍에서는, 다이오드(D1)에 상당하는 전하 전송용 MOS 트랜지스터의 게이트 전압을 로우 레벨로 설정함으로써, 온시키고(도 10 참조), 컨덴서(1, 2)가 병렬로 접속되는 타이밍에서는, 이 전하 전송용 MOS 트랜지스터의 게이트 전압을 하이 레벨로 설정함으로써, 오프되도록 제어한다(도 11 참조).

그러나, 상기한 차지 펌프 회로의 제어 방법에서는, 펌핑 노드의 전압(V_{L1})은 0V→2.5V→-2.5V로 변화를 반복한다. 이 때문에, 전하 전송용 MOS 트랜지스터가 P 채널형, N 채널형 중 어느 하나이여도, MOS 트랜지스터에 부수하여 형성되는 기생 다이오드가 순방향으로 바이어스되어, 승압 동작이 정상적으로 행해지지 않는다는 문제점이 발생했다.

도 13은 전하 전송 소자로서 다이오드(D1)를 P 채널형 MOS 트랜지스터로 제작한 경우의 문제점을 나타내는 도면이다. 이 경우, MOS 트랜지스터의 백 게이트 바이어스 효과(Back Gate Bias Effect)를 억제하여, 차지 펌프 회로의 효율을 향상시키기 위해, 소스 S 및 기판 B가 접지된 구성이 된다.

도 13의 (a)에 도시한 바와 같이, 펌핑 노드의 전압(V_{L1})이 -2.5V인 경우에는 문제가 없다. 그러나, 도 13의 (b)에 도시한 바와 같이, 이 전압(V_{L1})이 2.5V인 경우에는 드레인·기판 사이에 형성되는 기생 다이오드가 순방향으로 바이어스되면, 드레인·기판 사이에 다이오드의 순방향 전류가 흘러, 전력 효율이 악화됨과 함께, 차지 펌프 동작이 정상적으로 행해지지 않게 된다.

또한, 도 14는 전하 전송 소자로서 다이오드(D1)를 N 채널형 MOS 트랜지스터로 제작한 경우의 문제점을 나타내는 도면이다. 이 경우에는, MOS 트랜지스터의 백 게이트 바이어스 효과를 억제하기 위해서, 드레인 D(펌핑 노드)와 기판 B가 접속된 구성으로 된다.

도 14의 (a)에 도시한 바와 같이, 펌핑 노드의 전압(V_{L1})이 -2.5V인 경우에는 문제가 없다. 그러나, 도 14의 (b)에 도시한 바와 같이, 이 전압(V_{L1})이 2.5V인 경우에는 기판·소스 사이에 형성되는 기생 다이오드가 순방향으로 바이어스된다. 그러면, 기판·소스 사이에 다이오드의 순방향 전류가 흘러, 전력 효율이 악화됨과 함께, 차지 펌프 동작이 정상적으로 행해지지 않게 된다.

본 발명의 목적은 V_{dd} 보다 작은 전압 단계의 승압을 행하는 차지 펌프 회로에 있어서, 기생 다이오드가 순방향 바이어스되어 불필요한 전류가 흐르는 것을 방지하여, 차지 펌프 회로를 정상적으로 동작 가능하게 하는 것이다.

발명의 구성 및 작용

본 발명의 차지 펌프 회로는, 직렬로 접속된 적어도 제1 및 제2 전하 전송용 MOS 트랜지스터와, 제1 및 제2 컨덴서와, 제2 컨덴서의 일단에 클럭을 공급하는 클럭 공급 수단과, 상기 제1 및 제2 컨덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 직렬로 접속하기 위한 제1 스위치 수단과, 상기 제1 및 제2 컨덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 병렬로 접속하기 위한 제2 스위치 수단을 포함한 차지 펌프 회로에 있어서, 상기 클럭 공급 수단은 상기 제1 및 제2 스위치 수단이 오프되었을 때, 상기 클럭의 상태를 변화시키는 것을 특징으로 한다.

이러한 구성에 따르면, 컨덴서에 공급되는 클럭이 로우 레벨로부터 하이 레벨로(또는 하이 레벨로부터 로우 레벨로) 변화하는 타이밍을 제1 및 제2 스위치 수단 모두 오프로 한 상태로 조정하고 있다. 이 상태에서는 제1 및 제2 컨덴서는 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점(펌핑 노드)으로부터 분리되어 있다.

이에 따라, 펌핑 노드의 전위 변화가 억제되기 때문에, 제1 및 제2 전하 전송용 MOS 트랜지스터에 부수한 기생 다이오드가 순방향으로 바이어스되는 것이 방지된다.

〈실시예〉

이하, 본 발명의 실시예에 대하여 도면을 참조하면서 설명한다. 도 1 내지 도 6은 $-0.5V_{dd}$의 승압 전압을 출력하는 차지 펌프 회로의 구성 및 동작을 나타내는 회로도이다. 이 차지 펌프 회로는 접지 전압(OV)에 대하여, $-0.5V_{dd}$의 승압 전압을 작성하는 것이다.

전하 전송 소자로서 P 채널형 MOS 트랜지스터(M1, M2)가 직렬로 접속되어 있다. MOS 트랜지스터(M1, M2)는 백 게이트 바이어스 효과를 방지하기 위해서 기판과 소스가 접속된 구성으로 하고 있다. MOS 트랜지스터(M1, M2)에 있어서 특별히 한정되지 않지만, 예를 들면 게이트와 소스가 접속되어, 한 종류의 다이오드를 구성하고 있다.

스위치(S1, S2, S3)는 MOS 트랜지스터(M1, M2)의 접속점(펌핑 노드)에 두 개의 컨덴서(1, 2)를 병렬 또는 직렬로 전환하여 접속한다. 즉, 스위치(S2 : 제1 스위치 수단)가 온하면, MOS 트랜지스터(M1, M2)는 직렬로 접속되고, 스위치(S1, S3: 제2 스위치 수단)가 온하면, MOS 트랜지스터(M1, M2)는 병렬로 접속된다.

후술하는 바와 같이 스위치(S2)와 스위치(S1, S3)는, 일반적으로 말하면 교대로 온·오프를 반복하도록 제어되어 있다. 이들 스위치(S1, S2, S3)도 MOS 트랜지스터에 의해 구성할 수 있다. 이에 따라, 스위치(S1, S2, S3)의 온·오프는 MOS 트랜지스터의 온·오프에 대응한다.

클럭 드라이버(3)는 컨덴서(2)에 클럭 CLK를 공급한다. 클럭 드라이버(3)는 특별히 한정되지 않지만, 전원 전압 V_{dd}가 공급된 CMOS형 인버터로 구성된다. 그리고, 다이오드(D2)로부터 출력되는 출력 전압이 부하(4)에 인가되어 있다.

이하에서는 도 1 내지 도 7을 참조하여, 상술한 구성의 차지 펌프 회로의 제어 방법을 설명한다. 도 7은 차지 펌프 회로의 제어 방법을 설명하기 위한 타이밍도이다.

또, 특별히 한정되지 않지만, 클럭 드라이버(3)의 전원 전압 V_{dd}=5V로 하고, 컨덴서(1, 2)의 용량치는 동등한 것으로 한다. 또한, MOS 트랜지스터(M1, M2)와 스위치(S1, S2, S3)에 기인하는 전압 강하도 0V로 하여 설명한다.

(1) 제1 제어 단계

시각 t1에서 스위치(S1, S3)는 오프되고, 스위치(S1, S2, S3)도 모두 오프 상태가 된다. 클럭 드라이버(3)의 입력 클럭 CLK는 로우 레벨(CLK= Low)이다. 이 상태에서, 각 노드 전압은 V_{L1} -2.5V, V_A=0V, V_B=-2.5V, V_C=0V이다. V_{L1}은 MOS 트랜지스터(M1)과 컨덴서(1)의 접속 노드(펌핑 노드)의 전압, V_A는 컨덴서(1)와 스위치 (S2)의 접속 노드의 전압, V_B는 스위치(2)와 컨덴서(2)의 접속 노드의 전압, V_C는 클럭 드라이버(3)의 출력과 컨덴서(2)의 접속 노드의 전압이다(도 1, 도 7 참조).

(2) 제2 제어 단계

다음으로 스위치(S1, S2, S3)는 모두 오프 상태의 시각 t2에서 클럭 CLK를 로우 레벨로부터 하이 레벨로 변화시킨다. 그러면, V_C는 5V로 변화하고, V_B는 컨덴서 커플링 효과에 의해 2.5V로 변화한다. 펌핑 노드의 전압(V_{L1})은 스위치(S1, S2, S3) 모두 오프 상태이기 때문에 변화하지 않는다(도 2, 도 7 참조).

(3) 제3 제어 단계

그 후, 클럭 드라이버(3)의 입력 클럭이 하이 레벨(CLK=High) 상태를 유지한 시각 t3에서 S2를 온으로 전환한다. 이에 따라, 두 개의 컨덴서(1, 2)는 펌핑 노드에 대하여 직렬로 접속된다.

이에 따라, 컨덴서(1, 2)는 $V_{dd}/2$의 전압으로 충전되고, 각 노드 전압은 V_{L1} 0V, $V_A=V_B=2.5V$, $V_C=5V$가 된다. 즉, 평균 출력 전류 Iout이 MOS 트랜지스터(M1)로 흐르고, 클럭 드라이버(3)의 출력으로부터도 Iout이 흐른다(도 3, 도 7 참조).

(4) 제4 제어 단계

다음으로 클럭 CLK=High 상태의 시각 t4에서 스위치(S2)가 오프된다. 이에 따라, 다시 스위치(S1, S2, S3)도 모두 오프 상태가 된다. 각 노드 전압은 그대로 유지된다(도 4, 도 7 참조).

(5) 제5 제어 단계

다음으로 스위치(S1, S2, S3)는 모두 오프 상태의 시각 t5에서 입력 클럭 CLK가 로우 레벨로 변화시킨다(CLK=Low). 그러면, 컨덴서 커플링 효과에 의해, 각 노드 전압은 V_{L1} 0V, $V_A=2.5V$, $V_B=-2.5V$, $V_C=0V$가 된다(도 5, 도 7 참조).

(6) 제6 제어 단계

다음으로 입력 클럭 CLK가 로우 레벨을 유지한 상태의 시각 t6에서 S1, S3을 온한다. 이에 따라, 컨덴서(1, 2)는 펌핑 노드에 대하여 병렬로 접속된다. 따라서, 각 노드 전압은 $V_{L1}=-2.5V$, $V_A=0V$, $V_B=-2.5V$, $V_C=0V$가 된다(도 6, 도 7 참조).

그 후, 상기한 제1 제어 단계로 되돌아가, 제1 제어 단계 내지 제6 제어 단계를 반복한다.

상술한 제어 방법에 따르면, 종래예와 달리, 펌핑 노드의 전압(V_{L1})은 최대로 0V로 억제되기 때문에, 기생 다이오드가 순방향 바이어스되어 불필요한 전류가 흐름으로써, 차지 펌프 동작이 정상적으로 행해지지 않는다는 문제점이 방지된다.

도 8은 전하 전송 소자를 P 채널형 MOS 트랜지스터로 제작한 경우를 나타내는 도면이다. 이 경우, 백 게이트 바이어스 효과를 억제하기 위해, 소스 및 기판이 접지된 구성으로 되지만, 펌핑 노드가 0V, -2.5V 중 어느 경우에서도 기생 다이오드는 순방향으로 바이어스되지 않기 때문에 문제가 없다.

또한, 도 9는 전하 전송 소자를 N 채널형 MOS 트랜지스터로 제작한 경우의 문제점을 나타내는 도면이다. 이 경우, 백 게이트 바이어스 효과를 억제하기 위해서 드레인(펌핑 노드)과 기판이 접속된 구성이 된다. 펌핑 노드가 0V, -2.5V 중 어느 경우에서도 기생 다이오드는 순방향으로 바이어스되지 않기 때문에 문제가 없다.

본 발명의 차지 펌프 회로는, 요약하면 첫째, 스위치(S1, S2, S3)를 전부 오프로 한 상태(컨덴서(1, 2)가 펌핑 노드로부터 분리된 상태)에서 클럭 드라이버 (3)로부터의 클럭 CLK를 변화시키는 것이다. 또한 둘째, 클럭 CLK를 하이 레벨로 변화시킨 후, 스위치(S2)를 온시켜, 컨덴서(1, 2)를 펌핑 노드에 직렬로 접속하는 것이다. 또한 셋째, 클럭 CLK를 로우 레벨로 변화시킨 후, 스위치(S1, S3)를 온시켜, 컨덴서(1, 2)를 펌핑 노드에 병렬로 접속하는 것이다. 이 룰에 따르면, 차지 펌프 회로의 전하 전송 소자를 MOS 트랜지스터로 실현한 경우에, MOS 트랜지스터에 부수하는 기생 다이오드가 순방향 바이어스되는 것을 회피할 수 있다.

또, 본 실시예에서는 전하 전송용 MOS 트랜지스터(M1, M2)를 다이오드 접속한 구성이지만, MOS 트랜지스터(M1, M2)의 임계치 전압(Threshold Voltage)분의 전압 손실이 생긴다. 본 발명은, 이에 한정되지 않고, 전하 전송용 MOS 트랜지스터 (M1, M2)를 클럭 CLK에 따라, 교대로 온·오프시키도록 하고, 전하 전송용 MOS 트랜지스터(M1, M2)가 온될 때에는 승압된 전압(예를 들면, 절대치로 $2V_{dd}$)을 이들 게이트에 공급하는 구성으로 한 차지 펌프 회로에도 적용할 수 있다.

이 경우, 컨덴서(1, 2)가 직렬로 접속되어 있는 기간 내에 M1을 온, M2를 오프로 하고, 컨덴서(1, 2)가 병렬로 접속되어 있는 기간 내에 M1을 오프, M2를 온이 되도록, 이들 게이트 전압을 제어한다.

이에 따라, MOS 트랜지스터(M1, M2)의 임계치 전압의 전압 손실을 없앨 수 있음과 함께, MOS 트랜지스터(M1, M2)의 온 저항이 저하되기 때문에, 고효율로 대출력 전류의 차지 펌프 회로를 실현할 수 있다.

또한, 본 실시예에서는 전하 전송용 MOS 트랜지스터(M1, M2)를 P 채널형 MOS 트랜지스터로 구성하고 있지만, 이에 한정되지 않고, N 채널형 MOS 트랜지스터로 구성해도 좋다.

또한, 본 실시예에서는 $-0.5V_{dd}$ 의 승압 전압을 출력하는 1단의 차지 펌프 회로로의 적용예를 나타내었지만, 본 발명은 차지 펌프의 단수를 증가시킴으로써, $-1.5V_{dd}$ 의 승압 전압을 출력하는 2단의 차지 펌프 회로에도 적용할 수 있다. 일반적으로는 본 실시예의 차지 펌프 회로를 코어로서 조립한 다단의 차지 펌프 회로에 적용할 수 있다. 이러한 다단의 차지 펌프 회로에서는 예를 들면, 1단째에서 $-0.5V_{dd}$ 전압을 출력하고, 2단째 이상에서는 딕슨형의 일반적인 차지 펌프 회로의 구성이 된다.

또한, 본 실시예의 차지 펌프 회로는 두 개의 컨덴서(1, 2)를 직렬과 병렬로 전환하여 $-0.5V_{dd}$ 의 전압 단계의 승압을 행하는 타입이지만, 2 이상의 컨덴서를 직렬, 병렬로 전환함으로써, 더욱 작은 전압 단계의 승압을 행할 수 있다. 본 발명은 이와 같은 차지 펌프 회로에도 적용할 수 있는 것이다.

또한, 본 실시예에서는 마이너스의 승압 전압을 출력하는 차지 펌프 회로에 대하여 설명하였지만, $+0.5V_{dd}$ 의 단계를 갖는 차지 펌프 회로에도 마찬가지로 적용할 수 있다.

발명의 효과

본 발명의 차지 펌프 회로 및 그 제어 방법에 따르면, 펌핑 노드에 컨덴서를 직렬과 병렬로 결합시키는 것을 반복함으로써, 전원 전압 이하의 단계에서 승압을 행하는 차지 펌프 회로에 있어서, 기생 다이오드가 순방향 바이어스되는 것이 방지되기 때문에, 이러한 차지 펌프 동작을 정상적으로 행할 수 있음과 함께, 전력 효율도 향상시키는 효과를 갖는다.

(57) 청구의 범위

청구항 1.

직렬로 접속된 적어도 제1 및 제2 전하 전송용 MOS 트랜지스터와, 제1 및 제2 콘덴서와, 제2 콘덴서의 일단에 클럭을 공급하는 클럭 공급 수단과, 상기 제1 및 제2 콘덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 직렬로 접속하기 위한 제1 스위치 수단과, 상기 제1 및 제2 콘덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 병렬로 접속하기 위한 제2 스위치 수단을 포함한 차지 펌프 회로에 있어서,

상기 클럭 공급 수단은 상기 제1 및 제2 스위치 수단이 오프되었을 때, 상기 클럭의 상태를 변화시키는 것을 특징으로 하는 차지 펌프 회로.

청구항 2.

제1항에 있어서,

상기 제1 스위치 수단은, 상기 클럭이 제1 상태로부터 제2 상태로 변화된 후에 온함으로써, 상기 제1 및 제2 콘덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 직렬로 접속하는 것을 특징으로 하는 차지 펌프 회로.

청구항 3.

제2항에 있어서,

상기 제2 스위치 수단은, 상기 클럭이 제2 상태로부터 제1 상태로 변화된 후에 온함으로써, 상기 제1 및 제2 콘덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 병렬로 접속하는 것을 특징으로 하는 차지 펌프 회로.

청구항 4.

제3항에 있어서, 상기 제1 및 제2 전하 전송용 MOS 트랜지스터가 P 채널형 MOS 트랜지스터인 것을 특징으로 하는 차지 펌프 회로.

청구항 5.

제3항에 있어서, 상기 제1 및 제2 전하 전송용 MOS 트랜지스터가 N 채널형 MOS 트랜지스터인 것을 특징으로 하는 차지 펌프 회로.

청구항 6.

직렬로 접속된 적어도 제1 및 제2 전하 전송용 MOS 트랜지스터와, 복수의 콘덴서와, 이들 복수의 콘덴서에 클럭을 공급하는 클럭 공급 수단과, 상기 복수의 콘덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 직렬로 접속하기 위한 제1 스위치 수단과, 상기 복수의 콘덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 병렬로 접속하기 위한 제2 스위치 수단을 포함한 차지 펌프 회로에 있어서,

상기 클럭 공급 수단은 상기 제1 및 제2 스위치 수단이 오프되었을 때, 상기 클럭의 상태를 변화시키는 것을 특징으로 하는 차지 펌프 회로.

청구항 7.

제6항에 있어서,

상기 제1 스위치 수단은, 상기 클럭이 제1 상태로부터 제2 상태로 변화된 후에 온함으로써, 상기 복수의 콘덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 직렬로 접속하는 것을 특징으로 하는 차지 펌프 회로.

청구항 8.

제7항에 있어서,

상기 제2 스위치 수단은, 상기 클럭이 제2 상태로부터 제1 상태로 변화된 후에 온함으로써, 상기 복수의 콘덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 병렬로 접속하는 것을 특징으로 하는 차지 펌프 회로.

청구항 9.

직렬로 접속된 복수의 전하 전송용 MOS 트랜지스터와, 상기 복수의 전하 전송용 MOS 트랜지스터의 접속점에 결합되는 복수의 콘덴서와, 상기 복수의 콘덴서에 클럭을 공급하는 클럭 공급 수단을 포함한 차지 펌프 회로에 있어서,

상기 복수의 콘덴서는 적어도 제1 및 제2 콘덴서를 포함하며, 이 제1 및 제2 콘덴서를 상기 전하 전송용 MOS 트랜지스터의 접속점에 직렬로 접속하기 위한 제1 스위치 수단, 및

상기 제1 및 제2 콘덴서를 상기 전하 전송용 MOS 트랜지스터의 접속점에 병렬로 접속하기 위한 제2 스위치 수단

을 포함하고,

상기 클럭 공급 수단은 상기 제1 및 제2 스위치 수단이 오프되었을 때, 상기 클럭의 상태를 변화시키는 것을 특징으로 하는 차지 펌프 회로.

청구항 10.

제9항에 있어서,

상기 제1 스위치 수단은, 상기 클럭이 제1 상태로부터 제2 상태로 변화된 후에 온함으로써, 상기 제1 및 제2 컨덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 직렬로 접속하는 것을 특징으로 하는 차지 펌프 회로.

청구항 11.

제10항에 있어서,

상기 제2 스위치 수단은, 상기 클럭이 제2 상태로부터 제1 상태로 변화된 후에 온함으로써, 상기 제1 및 제2 컨덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 병렬로 접속하는 것을 특징으로 하는 차지 펌프 회로.

청구항 12.

직렬로 접속된 적어도 제1 및 제2 전하 전송용 MOS 트랜지스터와, 제1 및 제2 컨덴서와, 제2 컨덴서의 일단에 클럭을 공급하는 클럭 공급 수단과, 상기 제1 및 제2 컨덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 직렬로 접속하기 위한 제1 스위치 수단과, 상기 제1 및 제2 컨덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 병렬로 접속하기 위한 제2 스위치 수단을 포함한 차지 펌프 회로의 제어 방법에 있어서,

상기 제1 및 제2 스위치 수단이 오프된 후, 상기 클럭 공급 수단에 의해 상기 클럭의 상태를 변화시키도록 한 것을 특징으로 하는 차지 펌프 회로의 제어 방법.

청구항 13.

제12항에 있어서,

상기 제1 및 제2 스위치 수단을 오프하는 제1 단계,

상기 클럭 공급 수단에 의해 상기 클럭을 제1 상태로부터 제2 상태로 변화시키는 제2 단계,

상기 제1 스위치 수단을 온함으로써 상기 제1 및 제2 컨덴서를 직렬로 접속하는 제3 단계,

상기 제1 스위치 수단을 오프하는 제4 단계,

상기 클럭 공급 수단에 의해 상기 클럭을 제2 상태로부터 제1 상태로 변화시키는 제5 단계, 및

상기 제2 스위치 수단을 온함으로써 상기 제1 및 제2 컨덴서를 병렬로 접속하는 제6 단계

를 포함하고,

상기 제1 내지 제6 단계를 반복하는 것을 특징으로 하는 차지 펌프 회로의 제어 방법.

청구항 14.

직렬로 접속된 적어도 제1 및 제2 전하 전송용 MOS 트랜지스터와, 복수의 컨덴서와, 이들 복수의 컨덴서에 클럭을 공급하는 클럭 공급 수단과, 상기 복수의 컨덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 직렬로 접속하기 위한 제1 스위치 수단과, 상기 복수의 컨덴서를 제1 및 제2 전하 전송용 MOS 트랜지스터의 접속점에 병렬로 접속하기 위한 제2 스위치 수단을 포함한 차지 펌프 회로의 제어 방법에 있어서,

상기 제1 및 제2 스위치 수단이 오프된 후, 상기 클럭 공급 수단에 의해 상기 클럭의 상태를 변화시키도록 한 것을 특징으로 하는 차지 펌프 회로의 제어 방법.

청구항 15.

제14항에 있어서,

상기 제1 및 제2 스위치 수단을 오프하는 제1 단계,

상기 클럭 공급 수단에 의해 상기 클럭을 제1 상태로부터 제2 상태로 변화시키는 제2 단계,

상기 제1 스위치 수단을 온함으로써 상기 복수의 컨덴서를 직렬로 접속하는 제3 단계,

상기 제1 스위치 수단을 오프하는 제4 단계,

상기 클럭 공급 수단에 의해 상기 클럭을 제2 상태로부터 제1 상태로 변화시키는 제5 단계, 및

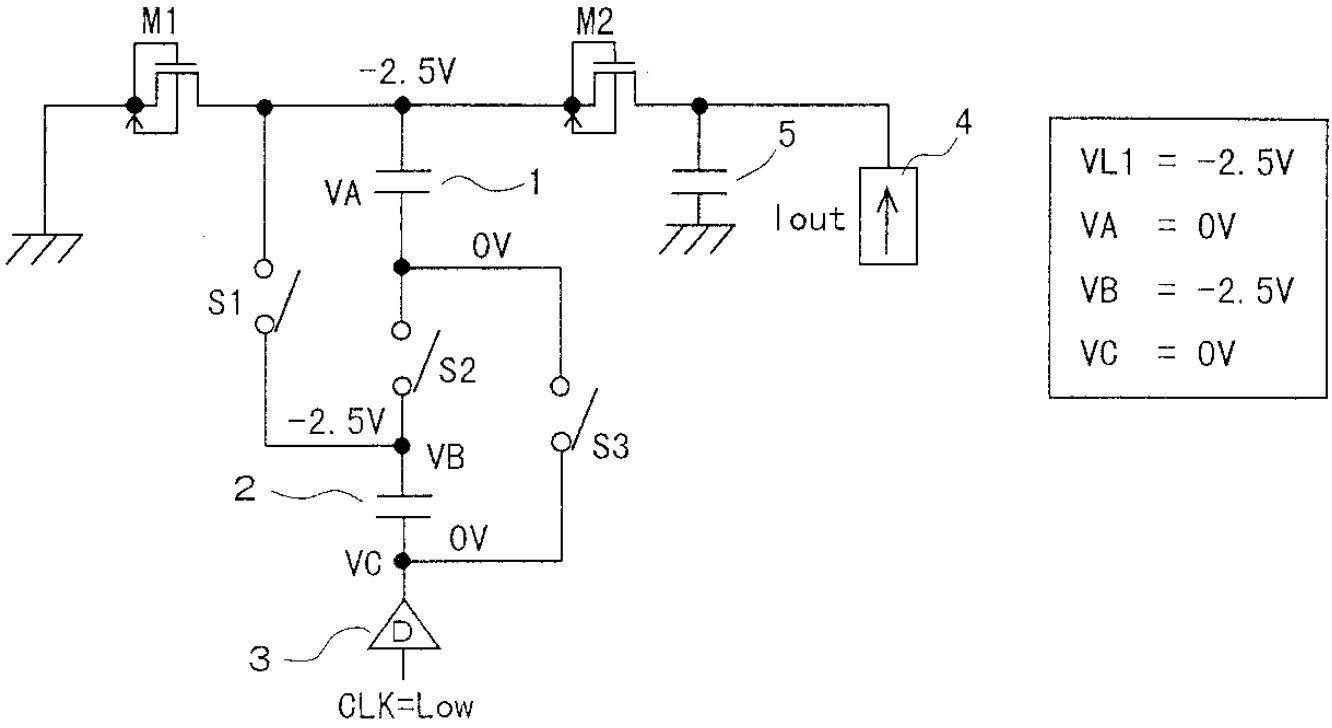
상기 제2 스위치 수단을 온함으로써 상기 복수의 컨덴서를 병렬로 접속하는 제6 단계

를 포함하고,

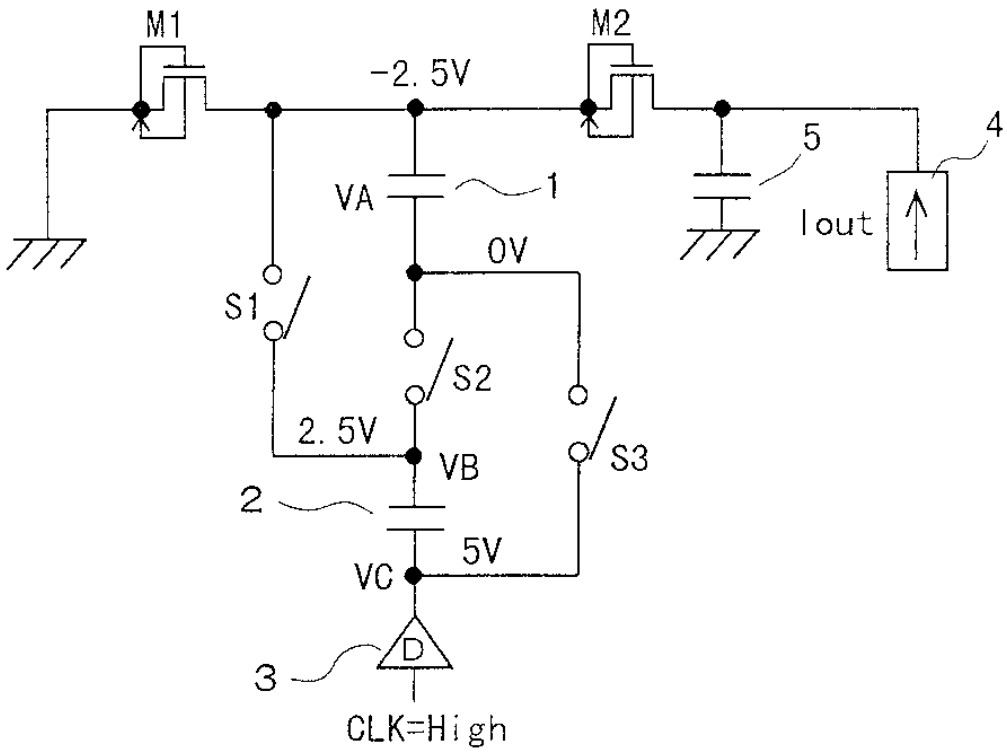
상기 제1 내지 제6 단계를 반복하는 것을 특징으로 하는 차지 펌프 회로의 제어 방법.

도면

도면 1

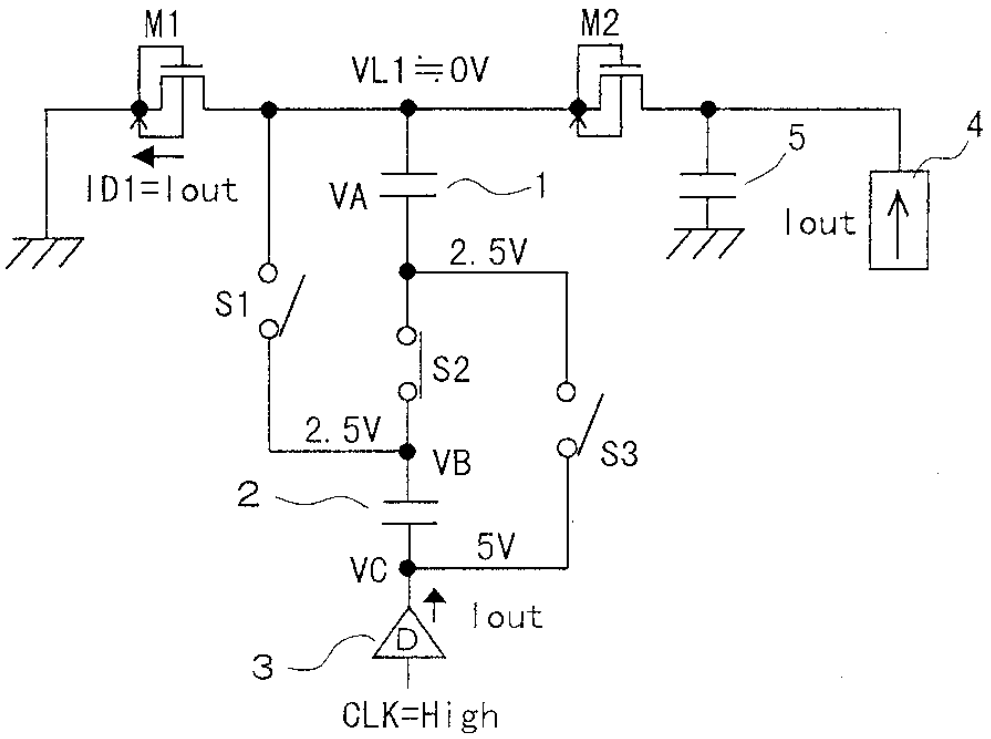


도면 2



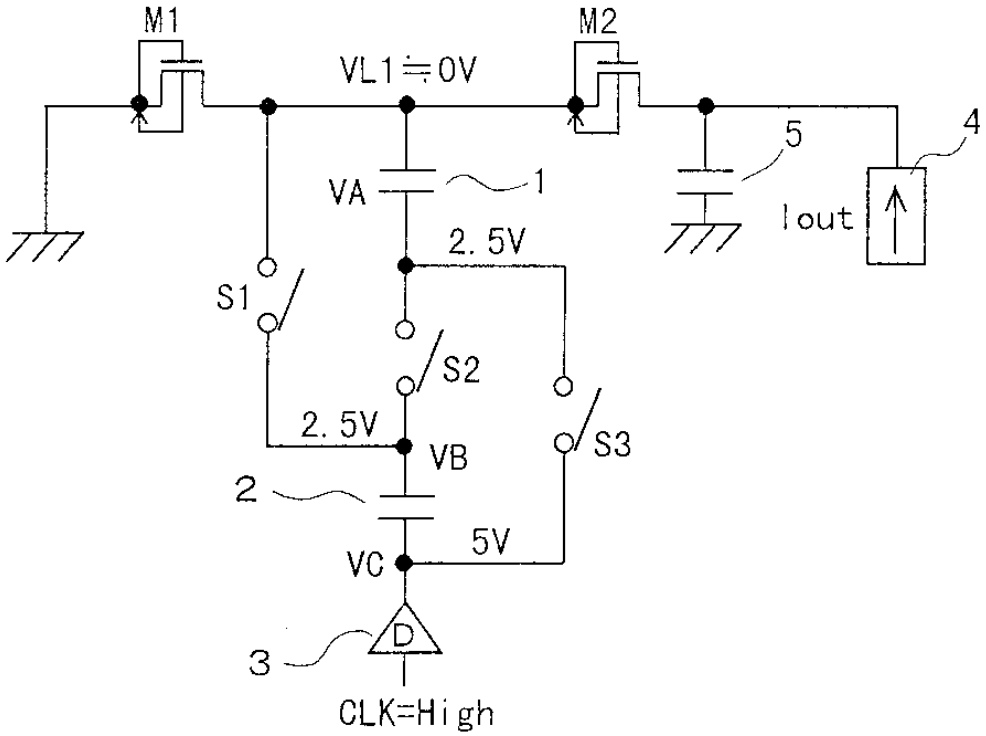
VL1	=	-2.5V
VA	=	0V
VB	=	2.5V
VC	=	5V

도면 3



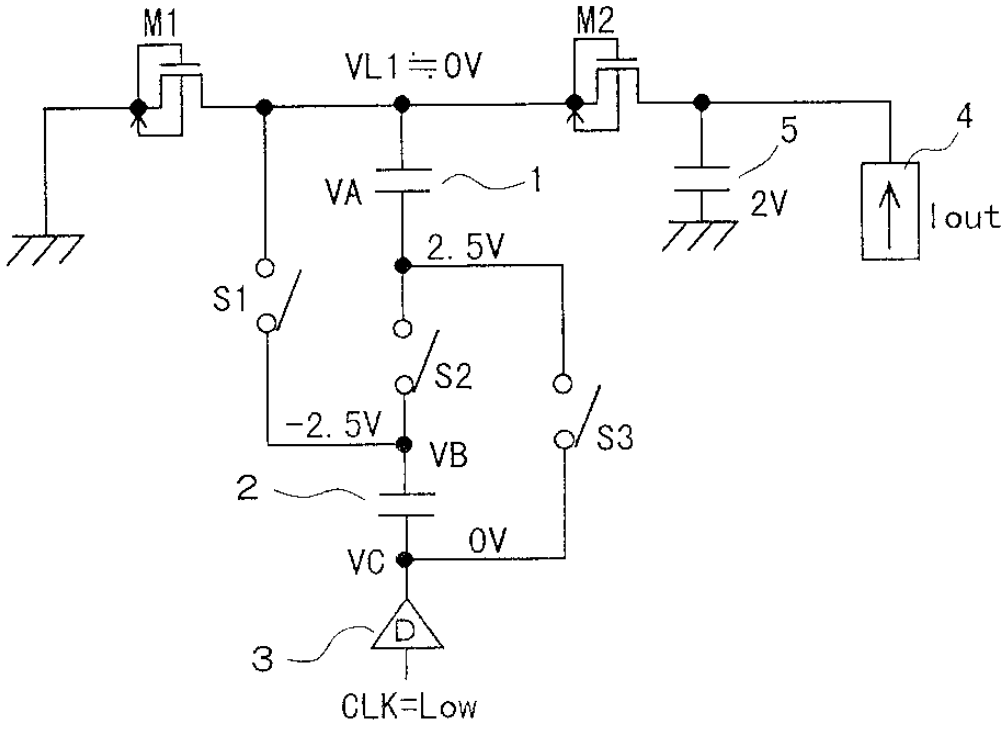
VL1	=	0V
VA	=	2.5V
VB	=	2.5V
VC	=	5V

도면 4



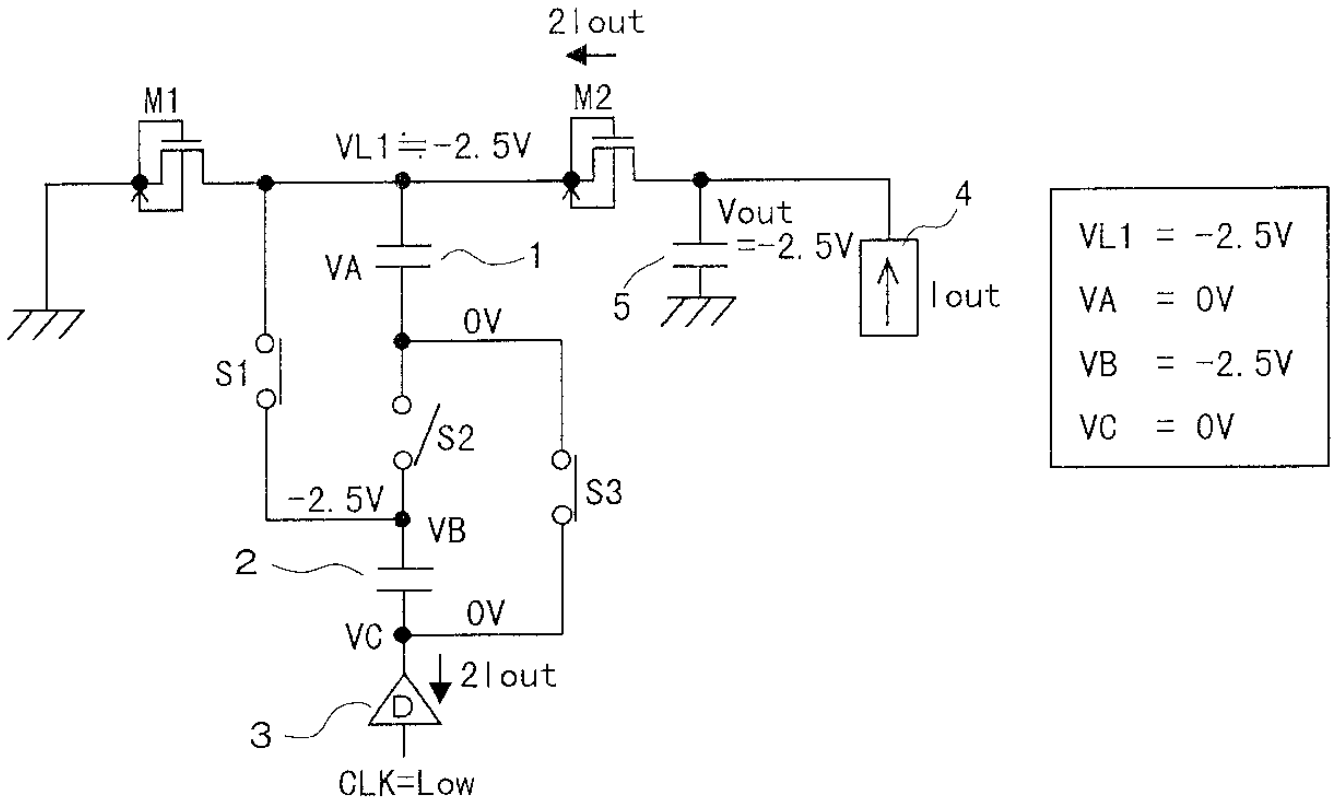
VL1 = 0V
VA = 2.5V
VB = 2.5V
VC = 5V

도면 5

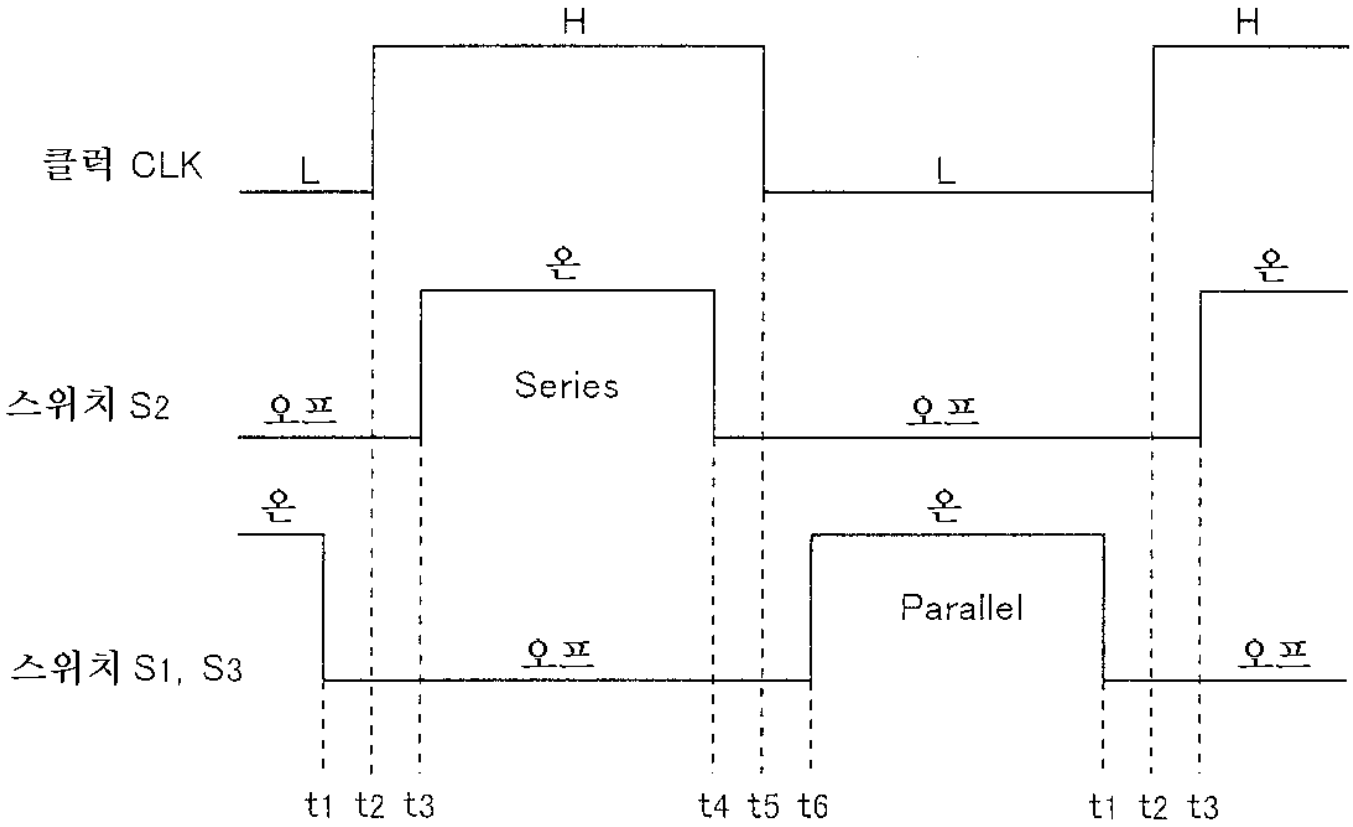


VL1 = 0V
VA = 2.5V
VB = -2.5V
VC = 0V

도면 6

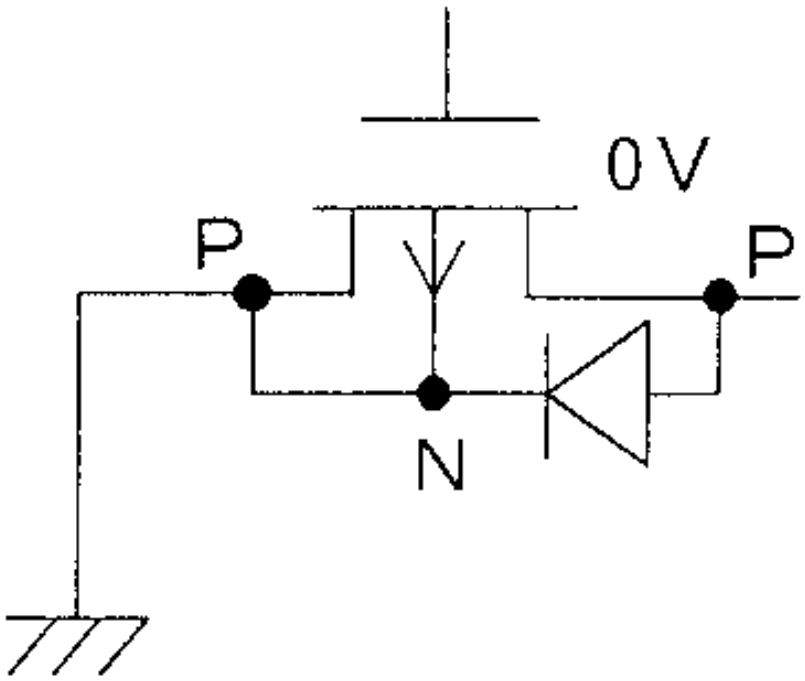

2Iout
M1
M2
VL1≒-2.5V
VA
1
0V
S1
S2
S3
-2.5V
VB
2
0V
VC
2Iout
D
3
CLK=Low
Vout
=-2.5V
5
4
Iout
VL1 = -2.5V
VA = 0V
VB = -2.5V
VC = 0V

도면 7

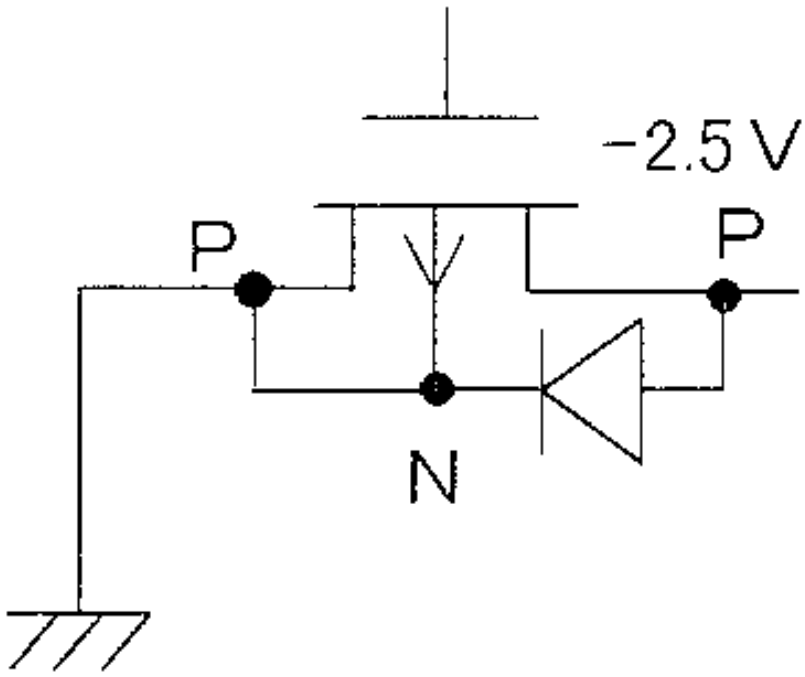

클럭 CLK
H
L
H
L
스위치 S2
온
오프
Series
온
오프
스위치 S1, S3
온
오프
온
Parallel
오프
t1 t2 t3
t4 t5 t6
t1 t2 t3

도면 8

(a)

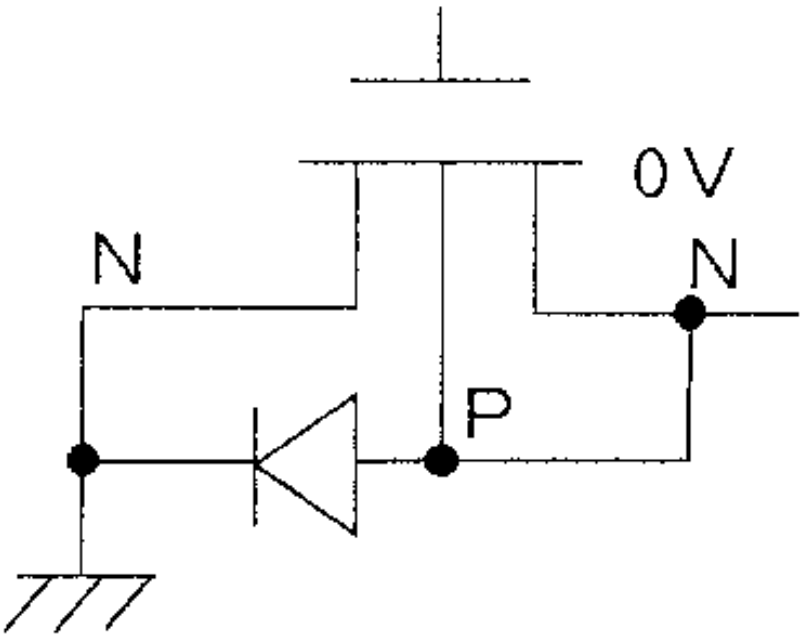


(b)

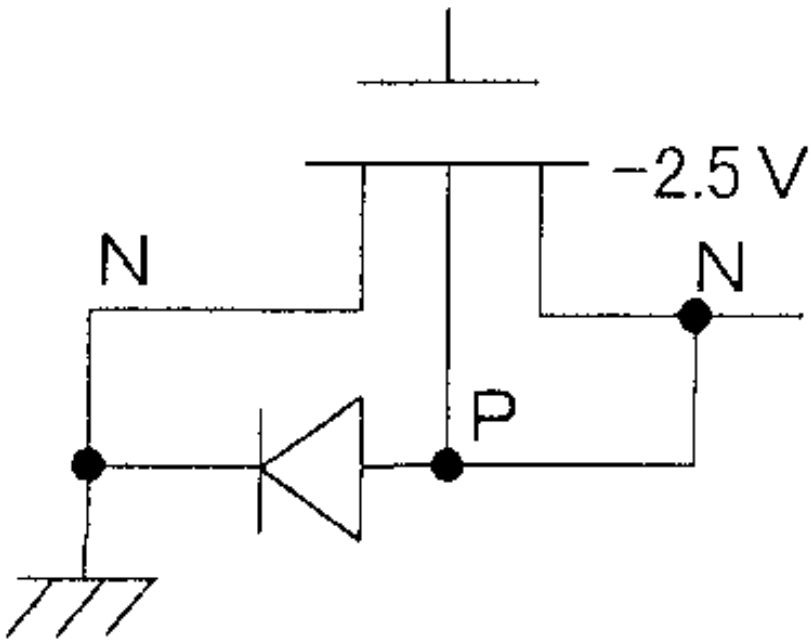


도면 9

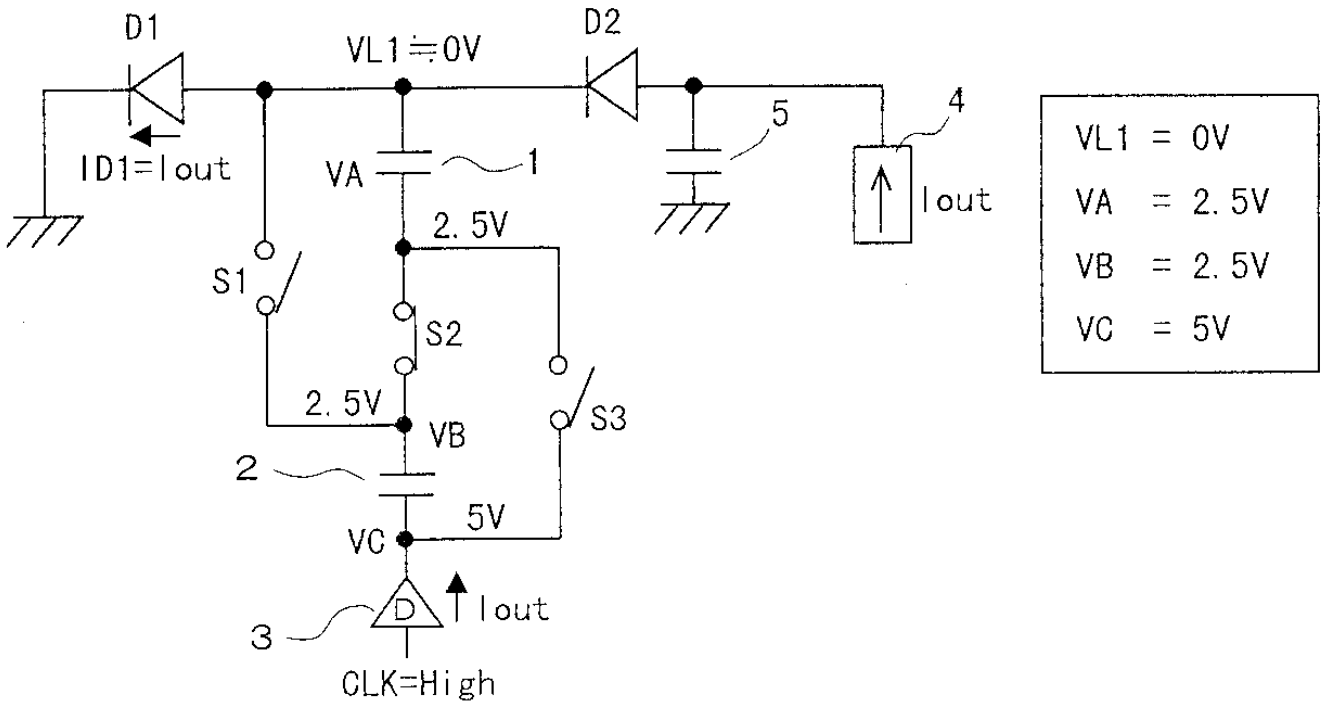
(a)



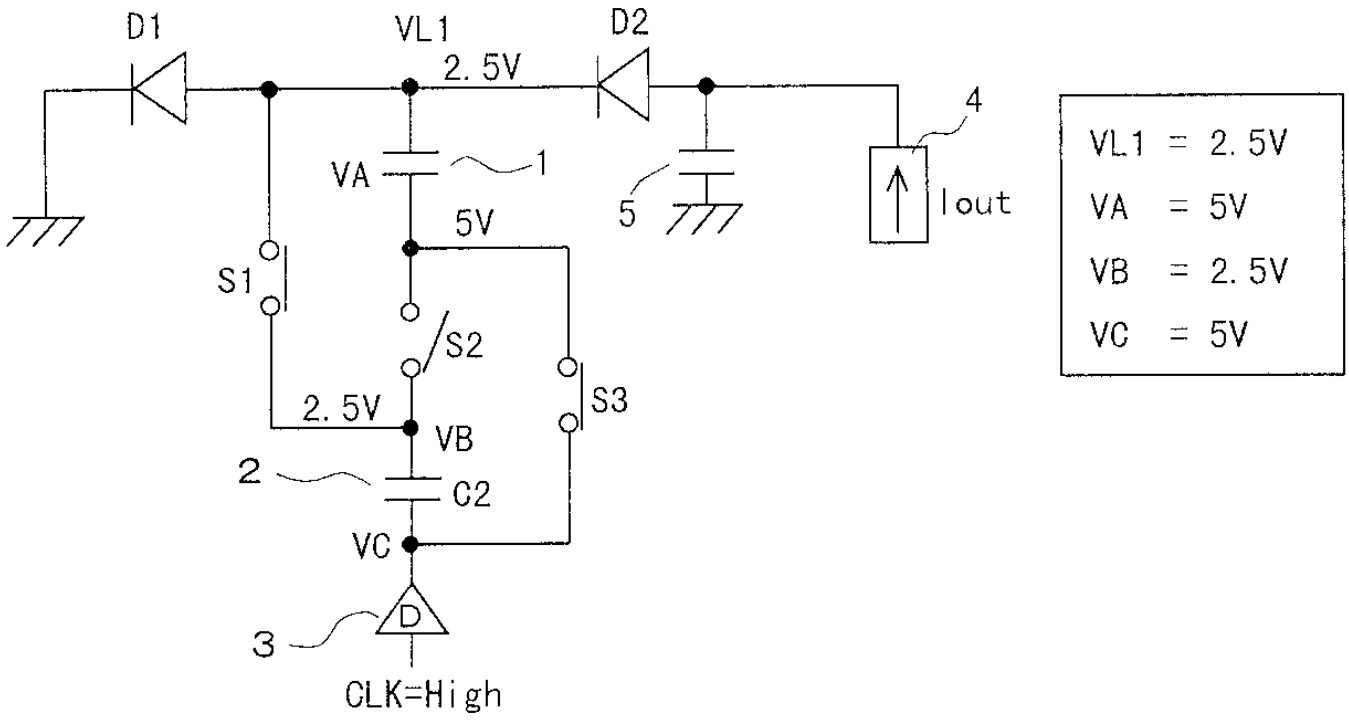
(b)



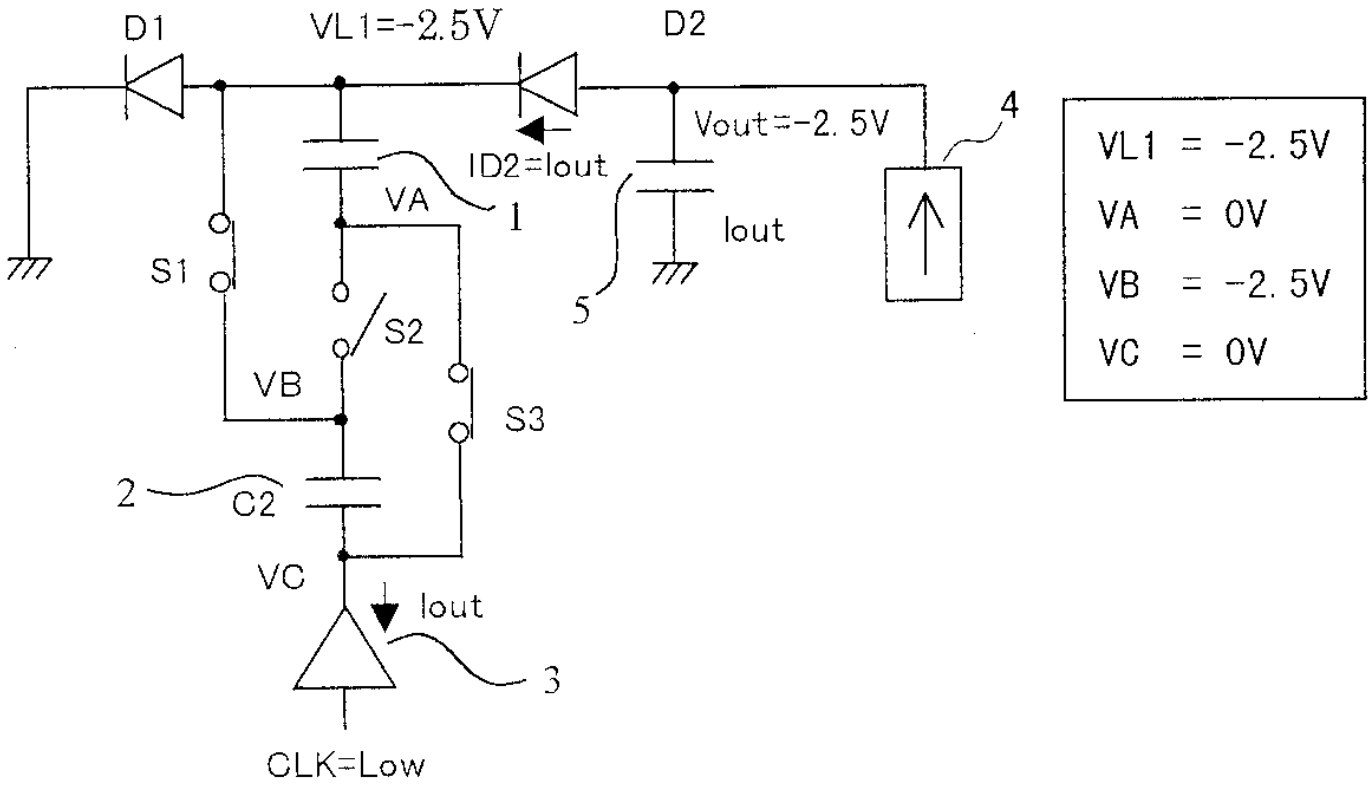
도면 10


D1
VL1≒0V
D2
ID1=Iout
VA
1
2.5V
5
4
Iout
S1
S2
2.5V
VB
S3
2
5V
VC
D
Iout
3
CLK=High
VL1 = 0V
VA = 2.5V
VB = 2.5V
VC = 5V

도면 11

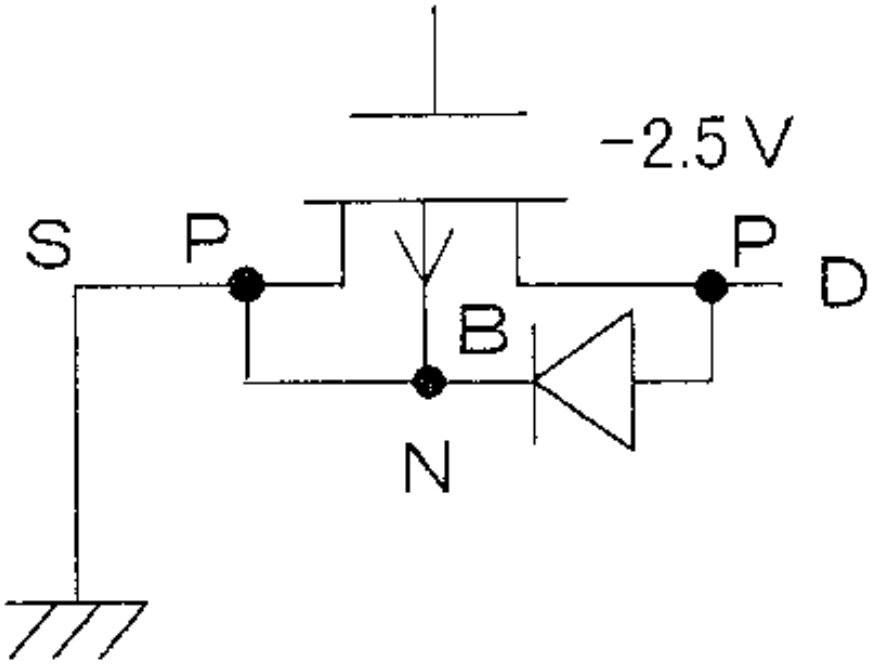

D1
VL1
2.5V
D2
VA
1
5V
5
4
Iout
S1
S2
S3
2.5V
VB
2
C2
VC
D
3
CLK=High
VL1 = 2.5V
VA = 5V
VB = 2.5V
VC = 5V

도면 12

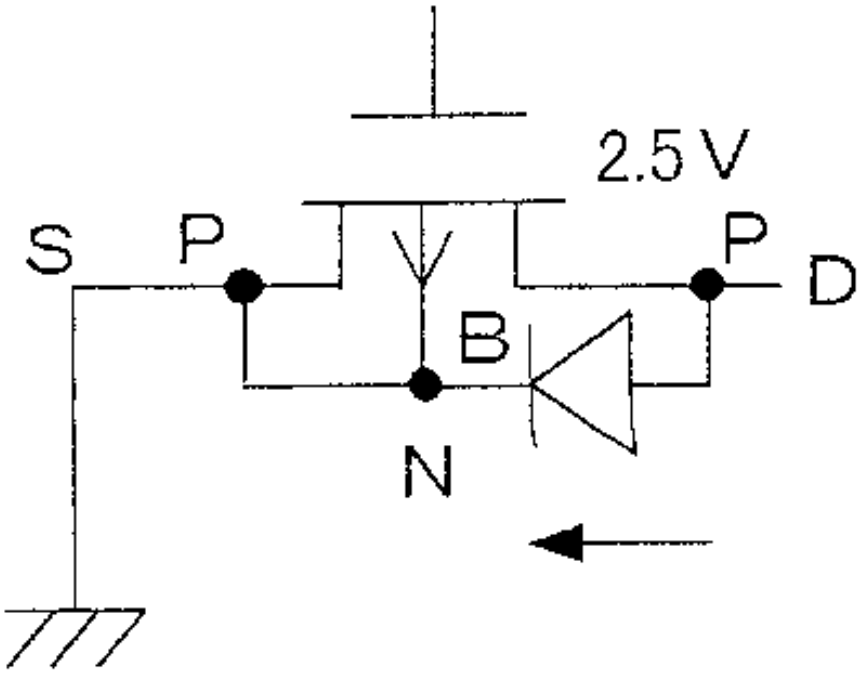

D1
VL1=-2.5V
D2
Vout=-2.5V
4
ID2=Iout
VA
1
Iout
S1
S2
5
VB
S3
2
C2
VC
Iout
3
CLK=Low
VL1 = -2.5V
VA = 0V
VB = -2.5V
VC = 0V

도면 13

(a)

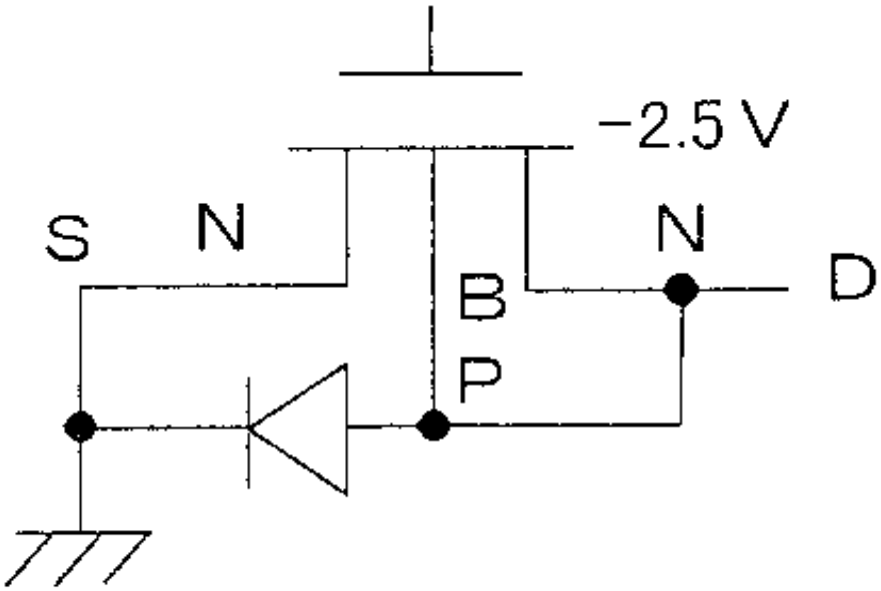


(b)



도면 14

(a)



(b)