



(12) 发明专利

(10) 授权公告号 CN 101626015 B

(45) 授权公告日 2011. 11. 30

(21) 申请号 200910003189. 9

(22) 申请日 2009. 01. 14

(30) 优先权数据

61/079, 900 2008. 07. 11 US

(73) 专利权人 南茂科技股份有限公司

地址 中国台湾新竹科学工业园区新竹县研  
发一路一号

(72) 发明人 王伟 刘安鸿 蔡豪殷 黄祥铭

李宜璋 何淑静

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 任永武

(51) Int. Cl.

H01L 25/04 (2006. 01)

H01L 23/538 (2006. 01)

H01L 21/60 (2006. 01)

(56) 对比文件

US 2002/0036338 A1, 2002. 03. 28, 全文.

CN 101038908 A, 2007. 09. 19, 说明书第 3 页  
到数第 3 段至第 5 页第 2 段、附图 2A-3.

US 5128831 A, 1992. 07. 07, 全文.

审查员 陆然

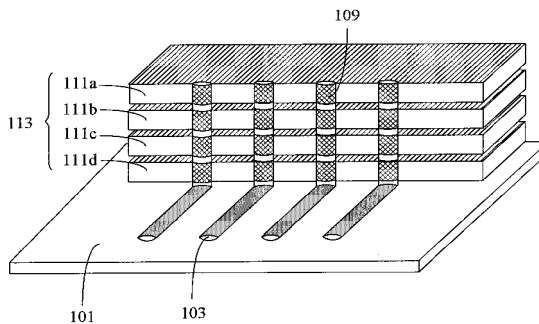
权利要求书 2 页 说明书 8 页 附图 8 页

(54) 发明名称

封装结构及其形成、量产方法与芯片堆叠结  
构

(57) 摘要

本发明是一种封装结构及其形成、量产方法与芯片堆叠结构。该封装结构包含一第一芯片堆叠结构, 通过于芯片中设置多个硅通道构件 (Through Silicon Via ; TSV), 作为电连结的路径, 以使第一芯片堆叠结构的多个毗连芯片之间可形成电连结, 并使第一芯片堆叠结构电连结至一基板。该方法包含电连结一第一芯片的至少部分该多个 TSV 至一基板, 同时电连结一第二芯片的至少部分该多个 TSV 至该第一芯片的至少部分该多个 TSV, 藉此于该基板上, 堆叠该第一芯片以及该第二芯片, 完成具有芯片堆叠结构的封装结构。



1. 一种制造一封装结构的方法,该封装结构包含一基板、一第一芯片以及一第二芯片,该基板具有一上表面,该第一芯片以及该第二芯片分别具有一上表面、一下表面、及多个硅通道构件 (TSV),该方法包含下列步骤:

维持该基板的温度于一第一温度;

限定一第一涂布区于该基板的该上表面,并限定一第二涂布区于该第一芯片的该上表面;

涂布一第一填充胶体于该第一涂布区;

贴合该第一芯片的该下表面于该第一涂布区上;

电连结该第一芯片的至少部分该多个硅通道构件 (TSV) 至该基板,并使该第一填充胶体填充部分该基板与该第一芯片的该下表面之间所形成的空间;

涂布一第二填充胶体于该第二涂布区;以及

贴合一第二芯片的该下表面于该第二涂布区上;

电连结该第二芯片的至少部分该多个硅通道构件 (TSV) 至该第一芯片的至少部分该多个硅通道构件 (TSV),并使该第二填充胶体填充部分该第一芯片的该上表面与该第二芯片的该下表面之间所形成的空间。

2. 如权利要求 1 所述的方法,其特征在于,该电连结该第一芯片的至少部分该多个硅通道构件 (TSV) 至该基板,并使该第一填充胶体实质充满该基板与该第一芯片的该下表面之间所形成的空间的步骤,还包含下列步骤:

维持该第一芯片的温度为一第二温度;以及

通过以一超声波频率震动该第一芯片,压合该第一芯片的至少部分该多个硅通道构件 (TSV) 至该基板;

其中,该第二温度大于该第一温度。

3. 一种量产一封装结构的方法,各该封装结构包含一基板及多个芯片,各该芯片分别具有多个硅通道构件 (TSV),该基板是包含于一长条状薄膜,该长条状薄膜包含多个基板,且架设于二滚动条之间,该方法包含下列步骤:

制造该封装结构,包含:

(a) 转动该滚动条,使该多个基板之一基板移动至一适当位置;

(b) 通过该多个芯片之一的多个硅通道构件 (TSV),黏合该多个芯片的一于该基板上;

(c) 保持该基板于该适当位置;

(d) 通过该多个芯片的另一个的多个硅通道构件 (TSV),黏合该多个芯片的另一个于该多个芯片之一的多个硅通道构件 (TSV) 上;以及

(e) 重复步骤 (c) 及 (d),使该多个芯片依序黏合至该基板,以完成该封装结构;

转动该滚动条,使次一基板移动至该适当位置;以及

重复该制造该封装结构的步骤,以完成一次一封装结构。

4. 一种量产一封装结构的方法,各该封装结构包含一基板、一第一芯片及一第二芯片,该第一芯片及该第二芯片分别具有多个硅通道构件 (TSV),该基板是包含于一长条状薄膜,该长条状薄膜包含多个基板,且是架设于二滚动条之间,该方法包含下列步骤:

(a) 转动该滚动条,使该多个基板的首个基板移动至一适当位置;

(b) 通过一第一芯片的多个硅通道构件 (TSV),黏合该第一芯片于该首个基板上;

- (c) 转动该滚动条,使该多个基板的次一基板移动至该适当位置;
- (d) 通过另一第一芯片的多个硅通道构件 (TSV),黏合该另一第一芯片于该次一基板上;
- (e) 转动该滚动条,使该多个基板的一最终基板移动至该适当位置;
- (f) 通过一最终第一芯片的多个硅通道构件 (TSV),黏合该最终第一芯片于该最终基板上;
- (g) 转动该滚动条,使该首个基板移动至该适当位置;
- (h) 通过一第二芯片的多个硅通道构件 (TSV),黏合该第二芯片于该首个基板上的该第一芯片的硅通道构件 (TSV);
- (i) 转动该滚动条,使该多个基板的次一基板移动至该适当位置;
- (j) 通过另一第二芯片的多个硅通道构件 (TSV),黏合该另一第二芯片于该次一基板上的该另一第一芯片的硅通道构件 (TSV);
- (k) 转动该滚动条,使该多个基板的一最终基板移动至该适当位置;以及
- (l) 通过一最终第二芯片的多个硅通道构件 (TSV),黏合该最终第二芯片于该最终基板上的该最终第一芯片的硅通道构件 (TSV)。

## 封装结构及其形成、量产方法与芯片堆叠结构

### 技术领域

[0001] 本发明是关于一种封装结构及其形成、量产方法与芯片堆叠结构,更详细地说,本发明是关于一种封装结构通过硅通道构件(Through Silicon Via;TSV)可进行大量制造芯片连结芯片(die-to-die)或者芯片连结基板(die-to-substrate)的技术。

### 背景技术

[0002] 在现今半导体芯片的制作技术上,为充分利用基板的面积,半导体芯片经制成后,有时会将多个芯片作成一堆叠结构后,再与基板共同形成一封装结构,方能发挥电路功能。此种封装结构由于利用了基板上下方的立体空间,亦称为3D封装结构或多芯片堆叠封装结构。现有的芯片封装技术,有以打线方式,以打线作为导电途径,使堆叠结构的主动面通过打线,电性连接至基板的技术。

[0003] 现有技术亦有以硅通道构件(Through Silicon Via, TSV)作为导电途径的设计,惟此类技术未臻成熟至量产阶段,现阶段的发展多属实验测试性质。且TSV技术需要解决半导体芯片间的有效接合问题,分述如下。

[0004] 堆叠结构主要分为芯片对芯片、晶片对晶片以及芯片对晶片三种,而于接合时应用的技术主要包含直接氧化融合接合、铜对铜接合、金对金接合、锡接合、黏接接合以及表面活化接合等等。

[0005] 以直接融合接合为例,其工序需要高温以及高压环境,这使得在接合过程中,对材料的处理以及对准困难。且接合的品质较不易掌控。另外,以黏接接合为例,其容易发生剥离状况,导致接合失败。再者,以锡接合为例,由于其需要底胶(underfill)来充满接合区附近的空间,在小间距(pitch)的实施例中,例如小于100微米,底胶分布的速度非常缓慢,且可能无法填满接合区附近的空间。

[0006] 因此,现有的TSV封装相关技术,多具有量产速度过于缓慢,以及不易控制工序良率的问题,而使得多芯片堆叠封装结构的良率降低,同时生产成本过高。

[0007] 因此,如何在考量生产成本及品质状况下,亦能提供一种具高生产良率的封装结构及制造方法,即成为半导体封装产业亟需努力的目标。

### 发明内容

[0008] 本发明的一目的在于提供一种封装结构,包含一第一芯片堆叠结构,通过于芯片中设置多个TSV,作为电连结的路径,以使第一芯片堆叠结构的多个毗连芯片之间可形成电连结,并使第一芯片堆叠结构电连结至一基板。

[0009] 本发明的另一目的在于提供一种封装结构,以TSV作为该封装结构的电连结路径,可适用于量产工艺。

[0010] 为达成上述目的,本发明揭露一种封装结构,包含一电路结构,形成于一基板上、一第一芯片堆叠结构。其中该第一芯片堆叠结构包含多个堆叠的芯片,各该芯片中设有多个TSV,构成该芯片中的电电路径。各该芯片通过其中所设的TSV,分别电连结至相邻的另

一芯片中所设的 TSV, 且该第一芯片堆叠结构, 通过至少部分该多个 TSV, 电连结至该电路结构。

[0011] 本发明的又一目的在于提供一种制造一封装结构的方法, 该封装结构包含一基板、一第一芯片以及一第二芯片, 该第一芯片及该第二芯片分别具有多个 TSV。该方法电连结该第一芯片的至少部分该多个 TSV 至该基板, 同时电连结该第二芯片的至少部分该多个 TSV 至该第一芯片的至少部分该多个 TSV, 藉此于该基板上, 堆叠该第一芯片以及该第二芯片, 完成具有芯片堆叠结构的封装结构。

[0012] 本发明的又一目的在于提供一种用于一芯片堆叠结构的方法, 该芯片堆叠结构包含一基板、一第一芯片、一第二芯片、一第三芯片及一第四芯片, 其中该基板安装于一滚动条上, 各该芯片分别具有多个 TSV, 该方法包含下列步骤: 首先, 通过转动该滚动条, 使该基板移动至一第一位置, 并通过以一超声波频率震动该第一芯片, 压合该第一芯片的所述 TSV 至该基板, 同时, 通过以一超声波频率震动该第二芯片, 压合该第二芯片的所述 TSV 至该第一芯片的所述 TSV, 并通过以一超声波频率震动该第三芯片, 压合该第三芯片的所述 TSV 至该第二芯片的所述 TSV, 最后, 通过以一超声波频率震动该第四芯片, 压合该第四芯片的所述 TSV 至该第三芯片的所述 TSV。

[0013] 本发明的另一目的在于提供一种芯片堆叠结构, 该芯片堆叠结构包含一芯片及一晶片 (wafer), 其中该包含多个芯片。该芯片与该晶片的各该多个芯片, 具有一上表面及相对于该上表面的一下表面, 且其中设有多个 TSV, 构成该上表面及该下表面间的电性导通, 该芯片通过其中所设的 TSV, 电连结至该晶片的该多个芯片其中之一中所设的 TSV。

[0014] 本发明的又一目的在于提供一种芯片堆叠结构, 该芯片堆叠结构包含一第一晶片及一第二晶片, 各该第一晶片及第二晶片各自包含多个芯片。其中, 各该第一晶片与该第二晶片的多个芯片, 具有一上表面及相对于该上表面的一下表面, 且其中设有多个 TSV, 构成该上表面及该下表面间的电性导通, 该第一晶片的该多个芯片通过其中所设的 TSV, 分别电连结至该第二晶片的该多个芯片中所设的 TSV。

[0015] 本发明的又一目的在于提供一种量产一封装结构的方法, 该封装结构包含一基板及多个芯片, 各该芯片分别具有多个 TSV, 该基板是包含于一长条状薄膜, 该长条状薄膜包含多个基板, 且是架设于二滚动条之间, 该方法包含下列步骤: 制造该封装结构; 转动该滚动条, 使次一基板移动至该适当位置; 以及重复该制造该封装结构的步骤, 以完成一次一封装结构。制造该封装结构包含下列步骤: (a) 转动该滚动条, 使该多个基板的一基板移动至一适当位置; (b) 通过该多个芯片之一的多个 TSV, 黏合该多个芯片的一于该基板上; (c) 保持该基板于该适当位置; (d) 通过该多个芯片的另一个的多个 TSV, 黏合该多个芯片的另一个于该多个芯片之一的多个 TSV 上; 以及 (e) 重复步骤 (c) 及 (d), 使该多个芯片依序黏合至该基板, 以完成该封装结构;

[0016] 本发明的又一目的在于提供一种量产一封装结构的方法, 各该封装结构包含一基板、一第一芯片及一第二芯片, 该第一芯片及该第二芯片分别具有多个 TSV, 该基板是包含于一长条状薄膜, 该长条状薄膜包含多个基板, 且是架设于二滚动条之间, 该方法包含下列步骤: (a) 转动该滚动条, 使该多个基板的首个基板移动至一适当位置; (b) 通过一第一芯片的多个 TSV, 黏合该第一芯片于该首个基板上; (c) 转动该滚动条, 使该多个基板的次一基板移动至该适当位置; (d) 通过另一第一芯片的多个 TSV, 黏合该另一第一芯片于该次一

基板上；(e) 转动该滚动条，使该多个基板的一最终基板移动至该适当位置；(f) 通过一最终第一芯片的多个 TSV，黏合该最终第一芯片于该最终基板上；(g) 转动该滚动条，使该首个基板移动至该适当位置；(h) 通过一第二芯片的多个 TSV，黏合该第二芯片于该首个基板上的该第一芯片的 TSV；(i) 转动该滚动条，使该多个基板的次一基板移动至该适当位置；(j) 通过另一第二芯片的多个 TSV，黏合该另一第二芯片于该次一基板上的该另一第一芯片的 TSV；(k) 转动该滚动条，使该多个基板的一最终基板移动至该适当位置；以及 (l) 通过一最终第二芯片的多个 TSV，黏合该最终第二芯片于该最终基板上的该最终第一芯片的 TSV。

### 附图说明

[0017] 为让本发明的上述目的、技术特征、和优点能更明显易懂，下面将配合附图对本发明的较佳实施例进行详细说明，其中：

[0018] 图 1 是本发明的第一实施例的一封装结构的示意图；

[0019] 图 2 是本发明的第二实施例的一芯片示意图；

[0020] 图 3 是本发明的第三实施例的一封装结构的示意图；

[0021] 图 4 是本发明的第四实施例的一封装结构的示意图；

[0022] 图 5 是本发明的第五实施例的一封装结构的示意图；

[0023] 图 6 是本发明的第六实施例的一封装结构的示意图；

[0024] 图 7 是本发明的第七实施例的封装结构的第一芯片堆叠结构的示意图；

[0025] 图 8a- 图 8e 是制造本发明的一封装结构的流程示意图；

[0026] 图 9 是本发明的第九实施例的示意图；以及

[0027] 第 10 是本发明的第十实施例的示意图。

### 具体实施方式

[0028] 以下将通过实施例来解释本发明内容，其是关于一种封装结构以及一种制造及量产一封装结构的方法与芯片堆叠结构，该芯片堆叠结构具有硅通道构件 (ThroughSilicon Via, TSV)，且可适用于大量制造工艺。然而，本发明的实施例并非用以限制本发明需在如实施例所述的任何特定的环境、应用或特殊方式方能实施。因此，关于实施例的说明仅为阐释本发明的目的，而非用以限制本发明。需说明者，以下实施例及附图中，与本发明非直接相关的元件已省略而未绘示；且为求容易了解起见，各元件间的尺寸关系是以稍夸大的比例绘示出。

[0029] 图 1 是本发明的第一实施例的一封装结构的示意图。封装结构 1 包含一基板 101、一电路结构 103 及一第一芯片堆叠结构 113，其中电路结构 103 形成于该基板 101 上。第一芯片堆叠结构 113 形成于电路结构 103 上，且该第一芯片堆叠结构 113 包含多个堆叠的芯片 111a、111b、111c 及 111d。各该芯片具有一上表面及相对于该上表面的一下表面，且其中设有多个 TSV 109，构成该上表面及该下表面间的电性导通。

[0030] 由图 1 可知，该多个堆叠的芯片 111a、111b、111c 及 111d 通过其中所设的 TSV 109，分别电连结至相邻另一芯片中所设的 TSV 109，且该第一芯片堆叠结构 113，通过至少部分该多个 TSV 109，即芯片 111d 的 TSV 109，电连结至该电路结构 103。

[0031] 在本实施例中,电路结构 103 还包含一测试电路,图未示出该测试电路,因其是以电路连接方式发挥测试电路的功能,详如下述。测试电路通过电性连结至第一芯片堆叠结构 113,当需要对该封装结构进行测试时,即利用该测试电路将一测试信号传输至该封装结构。一般而言,对该封装结构的测试包含:(1) 测试该第一芯片堆叠结构 113 与该电路结构 103 的电连结是否正确;以及(2) 测试该第一芯片堆叠结构 113 所包含的该多个堆叠芯片 111a、111b、111c 及 111d 彼此间的电连结及功能。通过探针接触 (probing) 方式,测试电路接收来自探针的测试信号,并传递该测试信号至该第一芯片堆叠结构 113,并产生一测试结果信号。

[0032] 承上所述,该测试信号结果适以代表该第一芯片堆叠结构 113 与电路结构 103 的电连结的状态,以及代表第一芯片堆叠结构 113 所包含的该多个堆叠芯片 111 的电连结及功能的状态。举例而言,若该第一芯片接合不良,或者有断点产生,该测试结果信号即会呈现非正常的信号,藉此,即可判断第一芯片堆叠结构态。又例如该第一芯片堆叠结构 113 与电路结构 103 的电连结状态正常,但第一芯片堆叠结构 113 所包含的该多个堆叠芯片 111 的电连结或功能不正常,则该测试结果亦会呈现非正常的信号,通过解读该非正常的信号,即可判断究竟是该多个堆叠芯片 111 的电连结或功能不正常。因此,可通过该测试电路,检测出不良的封装结构,并判断是否得以进行重工修复,或者直接淘汰该不良的封装结构,而后再进行后续封装,进而提升整体工艺良率,达成成本的控管。

[0033] 图 2 是本发明的第二实施例的一芯片示意图,该芯片可适用于本发明的封装结构。在本实施例中,芯片 201 包含多个 TSV 207,每一 TSV 207 包含一上凸块 203 以及一下凸块 205。其中各该上凸块 203 形成于各该 TSV207 之上,各该下凸块 205 形成于各该 TSV207 之下。通过此结构,于芯片 201 与其它毗连的另一芯片进行堆叠时,适以使各芯片中的各该 TSV,通过该各该上凸块,电连结至毗连的另一芯片中的各该 TSV 的下凸块。通过凸块,可使多个 TSV 彼此间的连结更稳固,以更改善接合的良率。

[0034] 由前述说明可知,上凸块 203 及下凸块 205 是用以增进不同芯片接合时,TSV 彼此间的接合稳固性。因此,在其它实施例中,可使芯片中的每一 TSV 仅包含多个上凸块,或仅包含多个下凸块。以图 2 举例而言,若 TSV 207 仅包含上凸块 203,则芯片 201 之上再堆叠另一具有 TSV 的芯片时,即便另一芯片的 TSV 并未具有相对于上凸块 203 的下凸块,另一芯片的 TSV 亦可接合至 TSV 207 的上凸块 203,藉此达成与芯片 201 的 TSV 207 稳固接合。同理,在其它实施例中,可使芯片中的每一 TSV 仅包含多个下凸块。仍旧以图 2 举例而言,若 TSV 207 仅包含下凸块 205,则芯片 201 之下再堆叠另一具有 TSV 的芯片时,即便另一芯片的 TSV 并未具有相对于下凸块 205 的上凸块,另一芯片的 TSV 亦可接合至 TSV 207 的下凸块 205,藉此达成与芯片 201 的 TSV 207 稳固接合。

[0035] 图 3 是本发明的第三实施例的一封装结构的示意图。封装结构包含一基板 301、一电路结构 303 及一第一芯片堆叠结构 313。与第一实施例最主要不同处,在于第一芯片堆叠结构 313 包含一第一芯片 313a、一第二芯片 313b、及一第三芯片 313c。其中该第二芯片 313b 以及该第三芯片 313c 通过多个 TSV 309,分别地电连结至毗连的该第一芯片 313a。类似于第一实施例,第一芯片堆叠结构 313 与基板 301 呈电性连结。第三实施例的封装结构可应用于一存储器装置,主要功效是可增加存储器容量密度,即通过堆叠式芯片提高存储器容量,并可增强芯片与存储器装置的电性连结效能。当应用于前述存储器装置时,第二

芯片 313b 以及第三芯片 313c 可为相同尺寸及 / 或相同功能的芯片, 或者不同尺寸及 / 或不同功能的芯片。

[0036] 图 4 是本发明的第四实施例的一封装结构的示意图。封装结构包含一基板 401、一电路结构 403 及一第一芯片堆叠结构 413。与第一实施例最主要不同处, 在第一芯片堆叠结构 413 包含一第一芯片 413a、一第二芯片 413b、一第三芯片 413c、及一第四芯片 413d, 各芯片具有不同尺寸以及不同功能。各芯片通过 TSV 409 电连结至毗连的另一芯片中的 TSV 409, 在本实施例中, 各芯片的 TSV, 相较于其它芯片的 TSV, 具有不同尺寸。

[0037] 图 5 是本发明的第五实施例的一封装结构的示意图。封装结构包含一基板 501、一电路结构 503、一绝缘层 505、一第一芯片堆叠结构 513、及一第二芯片堆叠结构 515。与第一实施例最主要不同处, 在于本实施例的绝缘层 505, 是形成于第一芯片堆叠结构 513 之上, 而后第二芯片堆叠结构 515 形成于该绝缘层 505 之上, 第二芯片堆叠结构 515 包含多个堆叠的芯片 515a 及 515b, 芯片 515a 及 515b 各具有一上表面及相对于该上表面的一下表面, 且其中设有多个 TSV 509, 构成该上表面及该下表面间的电性导通, 且芯片 515a 及 515b 通过其中所设的 TSV 509, 分别电连结至相邻另一芯片中所设的 TSV 509。第一芯片堆叠结构 513 包含芯片 513a 及 513b, 通过绝缘层 501 的隔离, 第一芯片堆叠结构 513 及第二芯片堆叠结构 515 可分别执行不同功能。

[0038] 图 6 是本发明的第六实施例的一封装结构的示意图。封装结构包含一基板 601、一电路结构 603、多个无源元件 604、一间隔物 605、多个打线 607、一第一芯片堆叠结构 613。与第一实施例最主要不同处, 在于本实施例包含多个无源元件 604, 形成于第一芯片 613a 之上, 并电连结至第一芯片 613a, 以与第一芯片 613a 共同发挥电路功能。且间隔物 605 是形成于部分第一芯片 613a 之上, 而第二芯片 613b 形成于该间隔物之上, 并具有多个 TSV 609b, 以于该间隔物以外的部分, 电连结至该第一芯片 613a 的 TSV 609a。在本实施例中, 第一芯片 613a 以及第二芯片 613b 还可通过打线 607 而呈现电连结。

[0039] 图 7 是本发明的第七实施例的封装结构的第一芯片堆叠结构的示意图。第一芯片堆叠结构 713 包含至少一隔离层 703, 形成于毗连的二芯片 713a 及 713b 之间, 适以填充芯片 713a 及 713b 与 TSV 709 所形成的空间。在本实施例中, 毗连的 TSV 709 之间, 还具有一上凸块 707, 而隔离层 703 即可用以环绕上凸块 707, 填充芯片 713a 及 713b 与 TSV 709 所形成的空间。

[0040] 隔离层 703, 是选自下列材料的群组: 非导电胶、B 阶段胶、模塑材料、异方性导电胶及其组合。

[0041] 以下将详细说明前述所有实施例中, 该基板材料特性。前述所有实施例中, 该基板材料可选自下列族群之一: 一有机涂布层 (coating layer)、一非有机涂布层及其组合。前述所有实施例中, 该基板可以是一单层基板及一多层基板其中之一。前述所有实施例中, 该基板为一可移除基板, 以于第一芯片堆叠结构完成后, 移除该基板, 仅保留该第一芯片堆叠结构。前述所有实施例中, 该基板是一陶瓷基板。前述所有实施例中, 该基板是一软性基板, 且为一薄膜 (film) 或一箔片 (foil) 其中之一。

[0042] 前述所有实施例中, 该基板可选自下列族群之一: 一聚酰亚胺薄膜 (polyimide film)、一 FR-4 型环氧树脂薄膜 (FR-4 film)、一 FR-5 型环氧树脂薄膜 (FR-5 film)、一双顺丁烯二酸亚氨薄膜 (BT film) 及一聚对苯二甲酸乙二酯树脂薄膜



(PETfilm)。前述所有实施例中,该基板亦可选自下列族群之一:铜、钢、及其合金。前述所有实施例中,该基板亦可选自下列族群之一:一具导电纤维的薄片层压材料及一片状纤维。前述所有实施例中,该基板可是一类可重工材料。

[0043] 以下将详细说明前述所有实施例中,该 TSV 的材料特性。前述所有实施例中,该 TSV 的材料选自下列族群之一:铜 (Cu)、金 (Au)、银 (Ag)、锡 (Sn)、锡银合金 (Sn/Ag)、无铅焊锡 (lead-free solder)、镍金合金 (Ni/Au)、镍钯合金 (Ni/Pd)、镍钯金合金 (Ni/Pd/Au)、钨 (W)、及其组合。前述所有实施例中,该 TSV 的材料是选自下列族群之一:一多晶硅 (poly Si)、一掺杂硅 (dopedSi) 及其组合。前述所有实施例中,该 TSV 的材料亦可是一导电聚合物 (conductivepolymer)。

[0044] 以下将详细说明前述所有实施例中,该芯片的种类特性。前述所有实施例中,该多个堆叠的芯片是不同的,且选自下列族群之一:一闪存控制器 (Flash memorycontroller)、一动态随机存取存储器 (DRAM controller) 及其组合。

[0045] 图 8a- 图 8e,是本发明的第八实施例,是制造一封装结构的流程示意图。请先参照图 8a,于平台 802 设置一基板 803,该基板 803 包含电路结构 804。并维持基板 803 的温度于一第一温度,并限定一第一涂布区 817 于基板 803 的该上表面 803a。而后以涂胶机构 809,涂布一第一填充胶体 807a 于该第一涂布区,其中,第一填充胶体 807a 部份覆盖于该电路结构 804。在本实施例中,第一温度可为约摄氏 80 度。

[0046] 接着请参照图 8b,贴合一第一芯片 805 的下表面 805b 于该第一涂布区 817,并电连结该第一芯片 805 的至少部分多个 TSV 809 至基板 803。在本实施例中,是使第一芯片 805 的一下凸块 806b 贴合至电路结构 804。此时第一填充胶体 807a 可填充部分基板 803 与第一芯片 805 的下表面 805b 之间所形成的一空间。

[0047] 承上所述,为使下凸块 806b 稳固贴合至电路结构 804,维持良好的电连结,可利用超声波工艺以完成前述结构,详述如下。首先维持第一芯片 805 的温度为一第二温度,且大于该第一温度。在本实施例中,可维持第二温度约为摄氏 200 度。此时再通过一超声波频率震动该第一芯片 805,以压合该第一芯片 805 的至少部分该多个 TSV 809 至基板 803。在本实施例中,可以一超声波压机 820,贴设于第一芯片 805 之上,其可稳定地维持第一芯片 805 的温度为摄氏 200 度,并且同时以一超声波频率震动该第一芯片 805,以使 TSV 809 的下凸块 806b 可压合至基板 803 的电路结构 804。

[0048] 接着请参照图 8c,在第一芯片 805 之上表面 805a 限定一第二涂布区 818,以涂胶机构 809 涂布一第二填充胶体 807b 于该第二涂布区 818 上。

[0049] 接着请参照图 8d,贴合一第二芯片 815 的下表面 815b 于该第二涂布区 818,并电连结该第二芯片 815 的至少部分多个 TSV 819 至第一芯片 805 的上凸块 806a。在本实施例中,是使第二芯片 815 的一下凸块 816b 贴合至第一芯片 805 的上凸块 806a。此时第二填充胶体 807b 可填充部分第一芯片 805 的上表面 805a 与第二芯片 815 的下表面 815b 之间所形成的一空间。

[0050] 承上所述,为使下凸块 816b 稳固贴合至第一芯片 805 的上凸块 806a,维持良好的电连结,可利用超声波工艺以完成前述结构,详述如下。首先维持第二芯片 816 的温度为一第二温度,且大于该第一温度。在本实施例中,可维持第二温度约为摄氏 200 度。此时再通过一超声波频率震动该第二芯片 816,以压合该第二芯片 816 的至少部分该多个 TSV 819 至

第一芯片 805 的上凸块 806a。如同前述,此结构亦可以超声波压合机 820 完成,不再赘述。

[0051] 最后,请参照图 8e,经静置一段时间后,图 8d 的封装结构,其第一填充胶体 807a 以及第二填充胶体 807b 将呈现稍许内缩的状态,以完成封装结构。

[0052] 第八实施例的步骤,可适用于前述第一至第七实施例中,用以贴合二芯片间的 TSV 的结构。

[0053] 本发明的封装结构,可适用于量产工艺,简单叙述如下。以第一实施例为例,请一并参考图 1,封装结构可通过对基板 101 的控管进行连续性的大量生产。以软性基板为例,各基板是一卷长条状薄膜的一部份,该薄膜以一类似收卷的状态,架设于二滚动条之间。通过控制滚动条转动,可使薄膜不停的转动,以使芯片堆叠结构 113 的各该堆叠的芯片依序黏合该基板 101。

[0054] 以本实施例而言,芯片堆叠结构 113 可通过下列步骤形成。首先,控制薄膜转动,将基板 101 置放于一合适的位置,同时将芯片 111d 通过 TSV 109 黏合于基板 101 上,此时不移动该基板 101,再将芯片 111c 通过 TSV 109 黏合于芯片 111d 上。依此类推,可依序将芯片 111b 及芯片 111a 通过 TSV109 黏合于前一芯片上。待所有芯片皆黏合完毕后,再转动薄膜,于另一基板上进行类似的步骤,以完成另一封装结构。

[0055] 除此之外,芯片堆叠结构 113,也可通过不同的步骤而形成。首先,控制薄膜转动,将基板 101 置放于一合适的位置,同时将芯片 111d 通过 TSV 109 黏合于基板 101 上。此时转动该薄膜,使另一基板位于前述合适的位置,而后再将另一芯片黏合于该另一基板上。依此类推,待薄膜上所有基板皆完成首个芯片黏合后,再转动薄膜,依序进行次一个芯片黏合,此时可将芯片 111c 通过 TSV 109 黏合于芯片 111d 上。依此类推,可依序将芯片 111b 及芯片 111a 通过 TSV109 黏合于前一芯片上。

[0056] 图 9 是本发明的第九实施例示意图。芯片堆叠结构包含一芯片 901 及一晶片 (wafer)903,其中晶片 903 包含多个芯片。芯片 901 与晶片 903 的各该多个芯片,具有一上表面及相对于该上表面的一下表面。芯片 901 中设有多个 TSV 905,同时晶片 903 中设有多个 TSV 907,构成该上表面及该下表面间的电性导通。芯片 901 通过其中所设的 TSV 905,电连结至晶片 903 的该多个芯片其中之一芯片 902 中所设的 TSV 907。在参照图 9 后,即可更清楚的理解芯片 901 与晶片 903 的堆叠关系。

[0057] 此种芯片堆叠结构亦可使用前述实施例的芯片封装结构及其制造方法完成。第九实施例的优点在于,可先量测晶片所包含的芯片,而后再将芯片 901 接合于晶片上已测定为功能正常的芯片,藉此,可提升后续工艺产品的良率。第九实施例可适用于芯片堆叠于晶片 (Chip on Wafer ;CoW) 的堆叠方式。

[0058] 图 10 是本发明的第十实施例示意图。芯片堆叠结构包含一第一晶片 1001 及一第二晶片 1003,该第一晶片 1001 包含多个芯片,同时该第二晶片 1003 包含多个芯片。该第一晶片 1001 与该第二晶片 1003 的多个芯片,具有一上表面及相对于该上表面的一下表面。第一晶片 1001 中设有多个 TSV 1005,同时第一晶片 1001 中设有多个 TSV 1007,构成该上表面及该下表面间的电性导通。该第一晶片 1001 的该多个芯片通过其中所设的 TSV 1005,分别电连结至第二晶片 1003 的该多个芯片中所设的 TSV 1007。图中例示第一晶片 1001 的芯片 1002 通过其中所设的 TSV1005,电连结至第二晶片 1003 的芯片 1004 中所设的 TSV 1007。在参照图 10 后,即可清楚的知道第一晶片 1001 与第二晶片 1003 的堆叠关系

[0059] 此种芯片堆叠结构亦可使用前述实施例的芯片封装结构及其制造方法完成。第十实施例的优点在于,可在晶片上的芯片制造完成后,即先进行芯片堆叠,而后再进行切割及/或封装的工序。藉此,可在考量生产成本及品质的状况下,提供一种具高生产率的封装结构。

[0060] 上述的实施例仅用来例举本发明的实施态样,以及阐释本发明的技术特征,并非用来限制本发明的保护范畴。任何熟悉此技术者可轻易完成的改变或均等性的安排均属于本发明所主张的范围,本发明的权利保护范围应以申请专利范围为准。

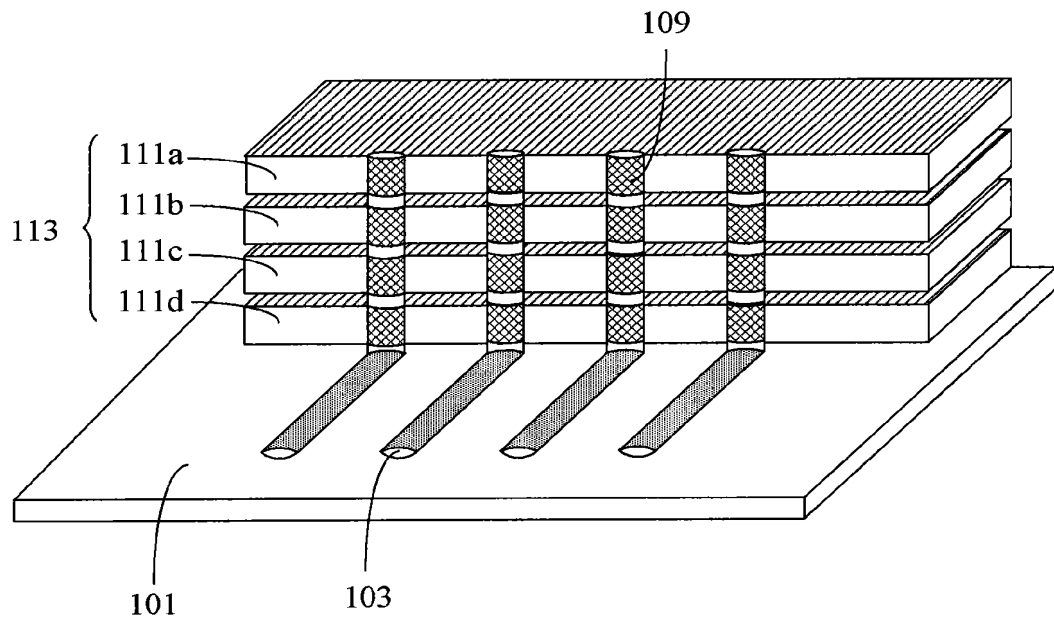


图 1

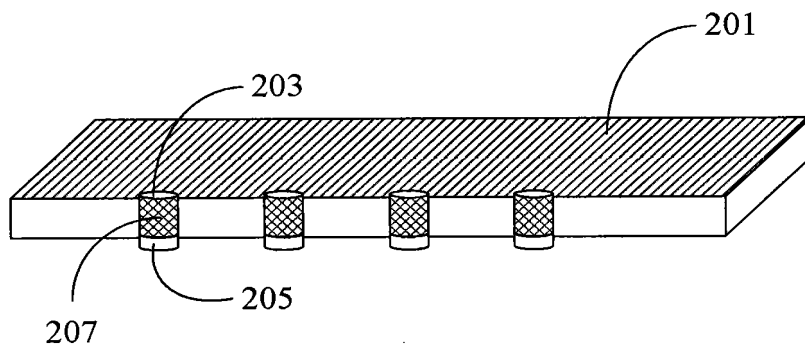


图 2

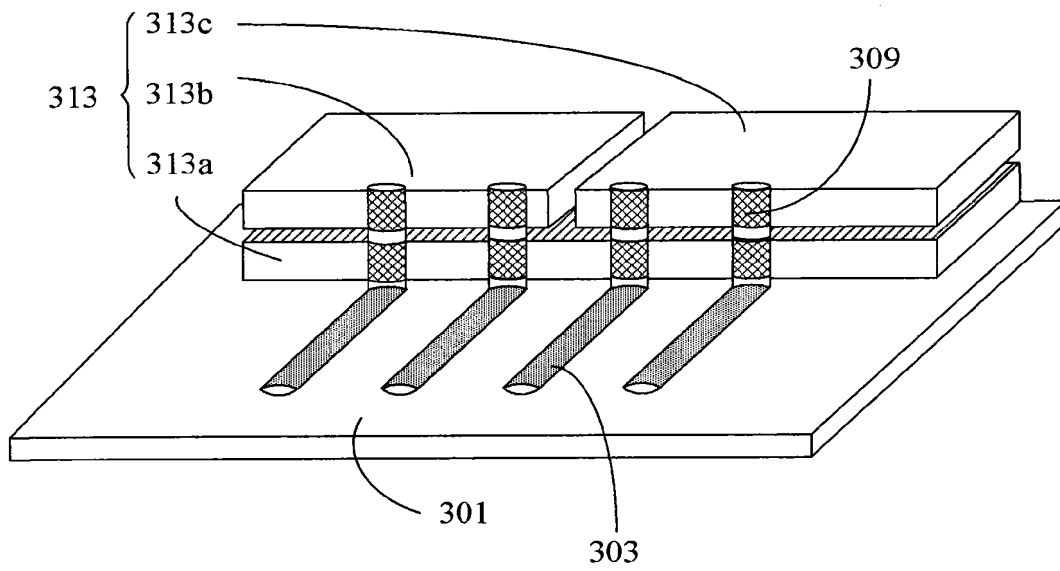


图 3

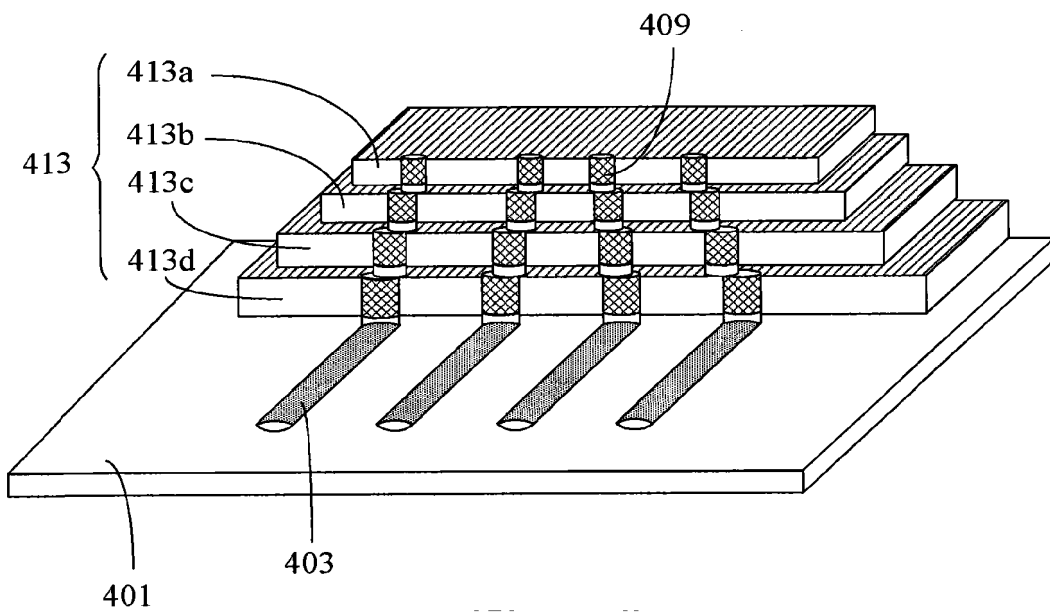


图 4

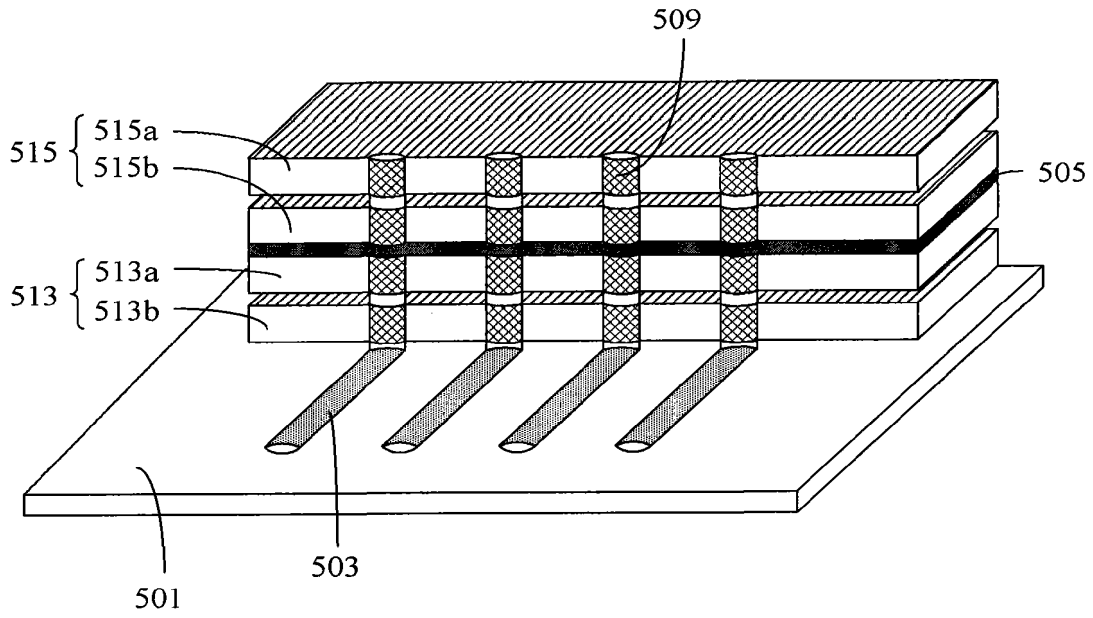


图 5

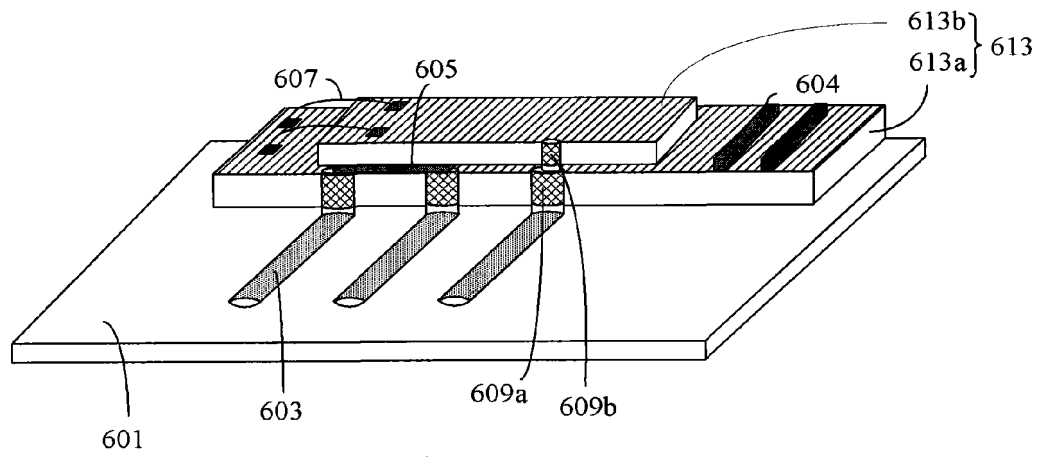


图 6

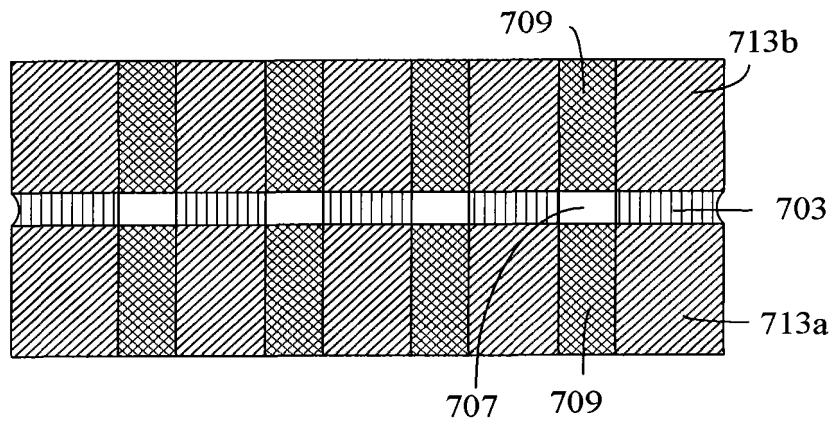


图 7

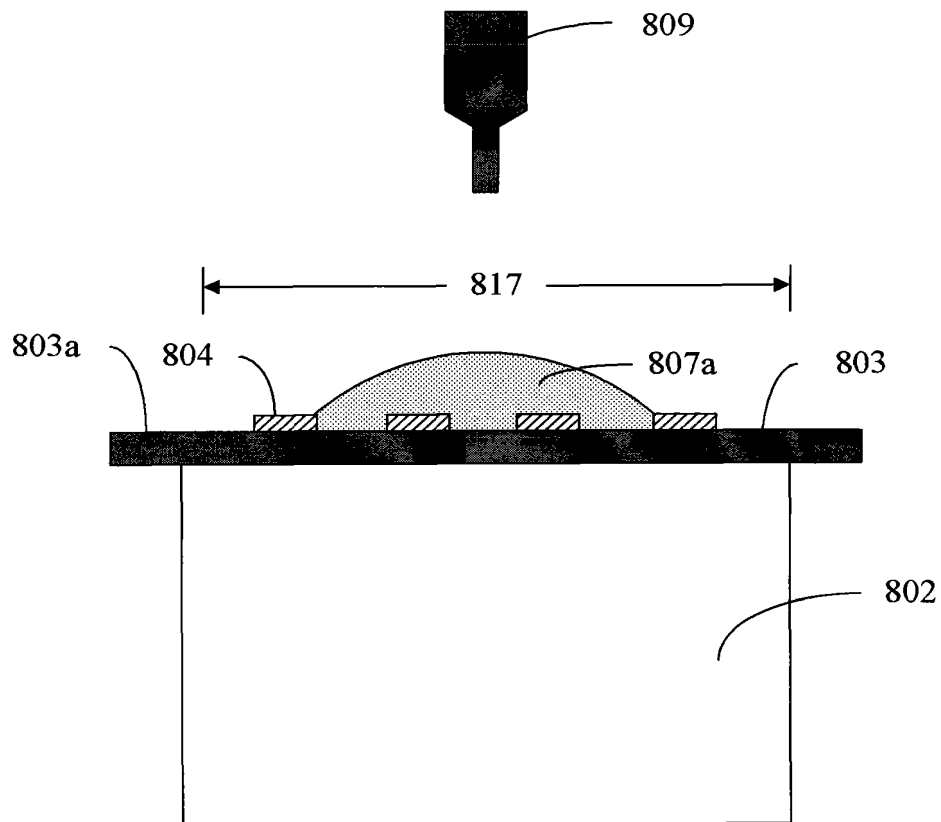


图 8a

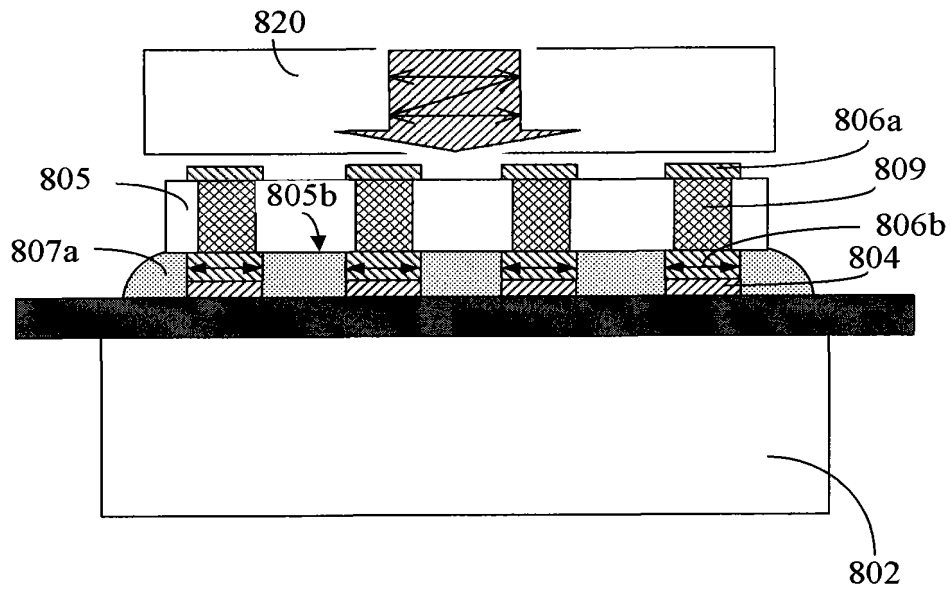


图 8b



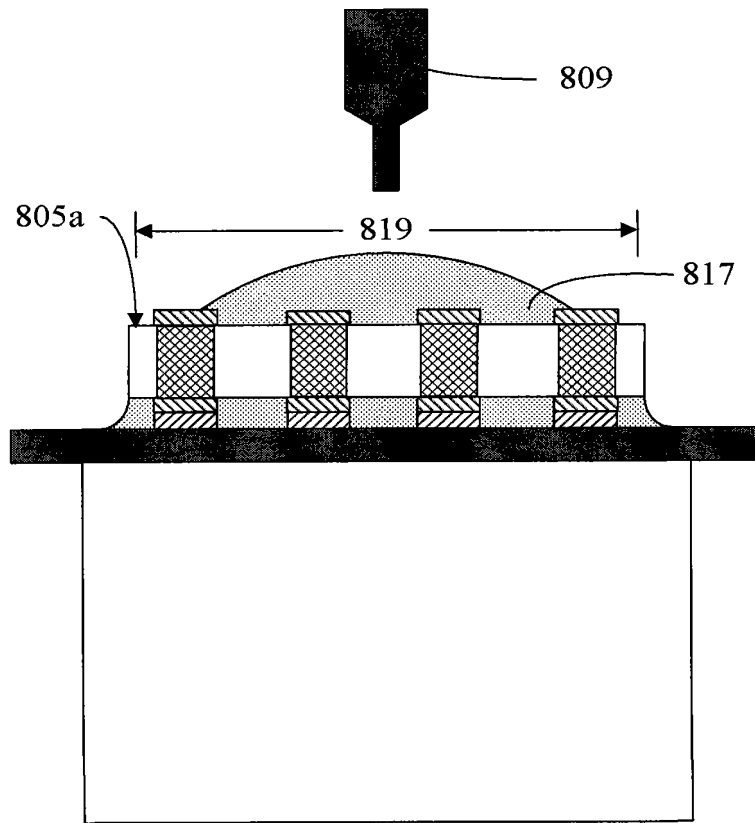


图 8c

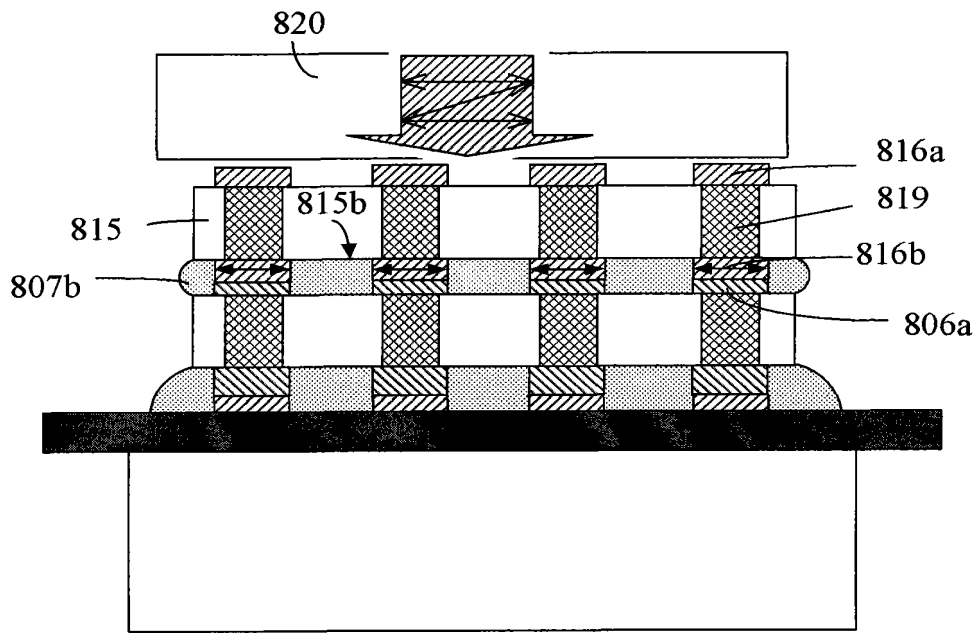


图 8d

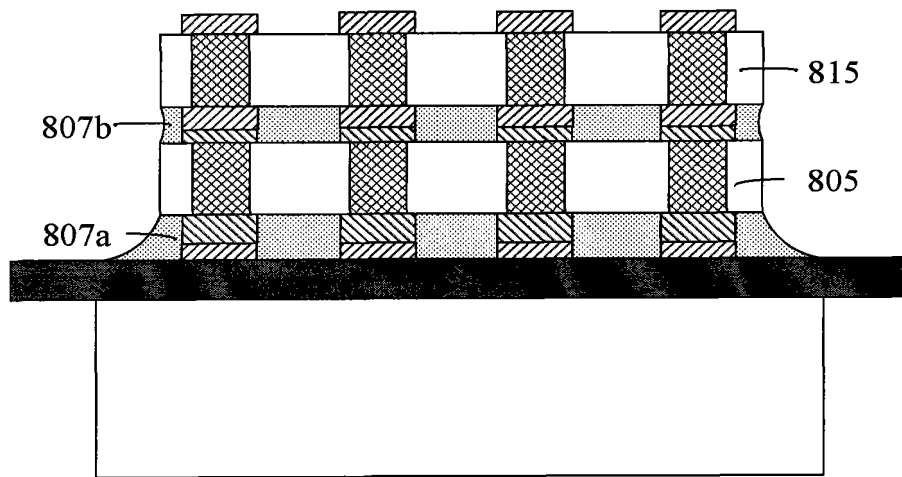


图 8e

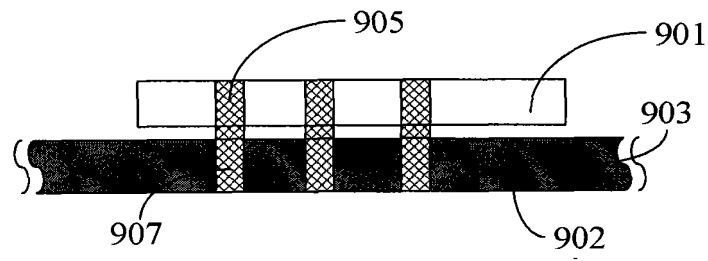


图 9

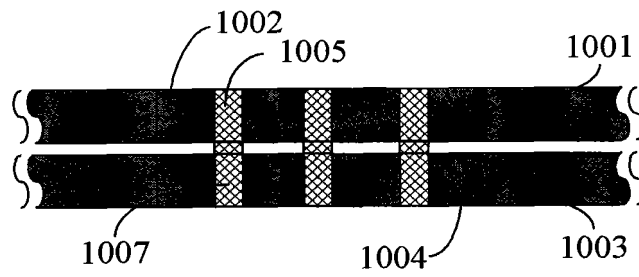


图 10