



**ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ**

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ(21)(22) Заявка: **2011105017/08, 10.02.2011**(24) Дата начала отсчета срока действия патента:
10.02.2011

Приоритет(ы):

(22) Дата подачи заявки: **10.02.2011**(45) Опубликовано: **10.05.2012** Бюл. № 13(56) Список документов, цитированных в отчете о
поиске: **RU 2380739 C1, 27.01.2010. RU 2262736**
C1, 20.10.2005. US 7185042 B1, 27.02.2007.
EP 0224656 A2, 25.08.1986.

Адрес для переписки:

**630049, г.Новосибирск, Красный пр-кт,
171/Б, кв.39, В.В. Шубину**

(72) Автор(ы):

Шубин Владимир Владимирович (RU)

(73) Патентообладатель(и):

**Общество с ограниченной
ответственностью "СибИС" (RU)****(54) ОДНОРАЗРЯДНЫЙ ДВОИЧНЫЙ СУММАТОР**

(57) Реферат:

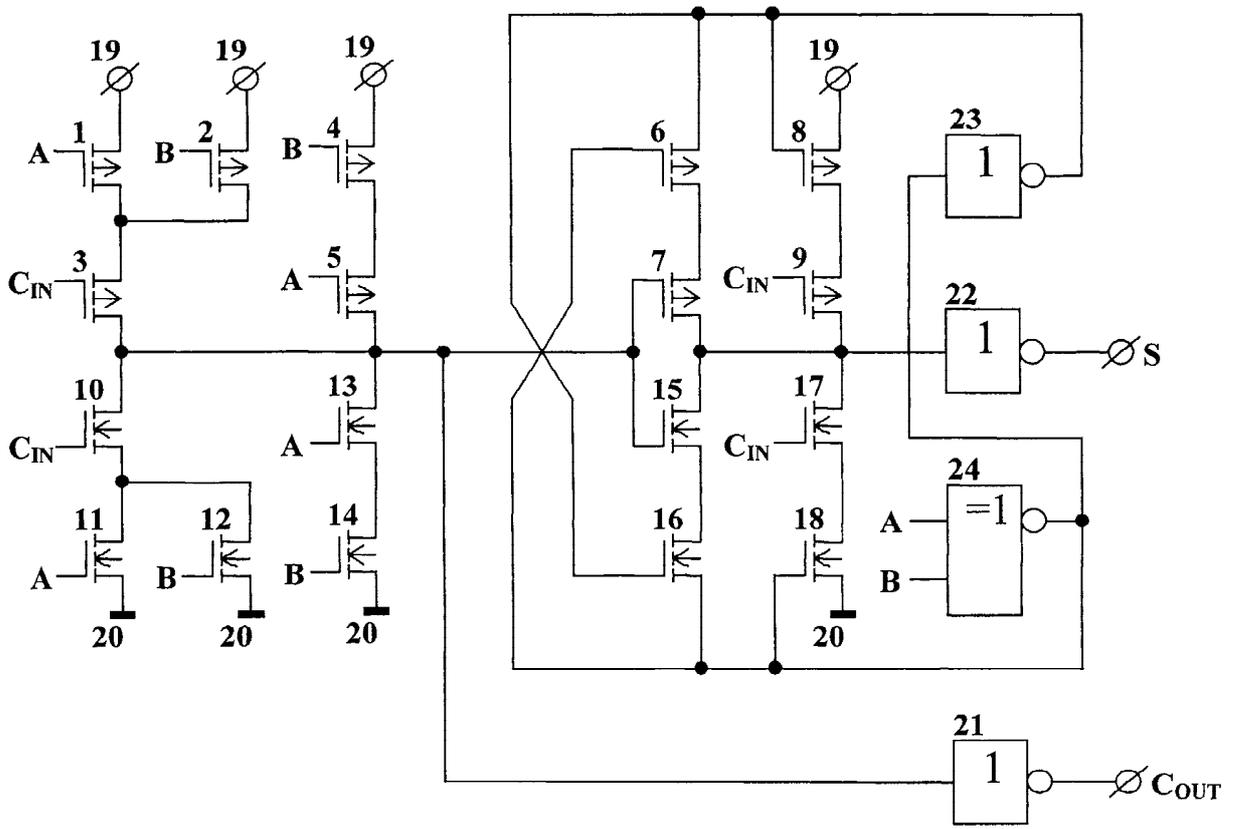
Изобретение относится к вычислительной технике и может быть использовано при построении надежных, портативных, многоразрядных, быстродействующих сумматоров и АЛУ. Технический результат заключается в повышении надежности и уменьшении массогабаритных показателей. Одноразрядный двоичный сумматор содержит полевые транзисторы Р-типа с первого по

девятого, N-типа с десятого по восемнадцатый, входы слагаемых А и В, вход переноса C_{IN} , выходы питания высокого и низкого уровней напряжения, первый инвертор, выход которого является выходом сигнала переноса C_{OUT} , второй инвертор, выход которого является выходом результата сложения S, третий инвертор и двухвходовый логический элемент ИСКЛЮЧАЮЩЕЕ-ИЛИ-НЕ. 1 ил., 1 табл.

RU 2 450 324 C1

RU 2 450 324 C1

R U 2 4 5 0 3 2 4 C 1



R U 2 4 5 0 3 2 4 C 1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.
G06F 7/50 (2006.01)

(12) **ABSTRACT OF INVENTION**

(21)(22) Application: 2011105017/08, 10.02.2011

(24) Effective date for property rights:
10.02.2011

Priority:

(22) Date of filing: 10.02.2011

(45) Date of publication: 10.05.2012 Bull. 13

Mail address:

630049, g.Novosibirsk, Krasnyj pr-kt, 171/B,
kv.39, V.V. Shubinu

(72) Inventor(s):

Shubin Vladimir Vladimirovich (RU)

(73) Proprietor(s):

**Obshchestvo s ogranichennoj otvetstvenost'ju
"SibIS" (RU)**

(54) **SINGLE-BIT BINARY ADDER**

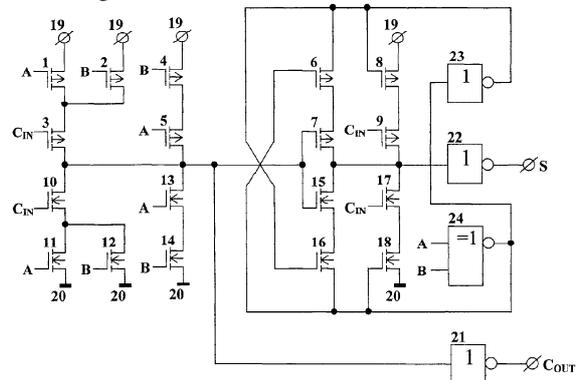
(57) Abstract:

FIELD: information technology.

SUBSTANCE: single-bit binary adder comprises: p-type field-effect transistors from the first to the ninth, n-type field-effect transistors from the tenth to the eighteenth, inputs for terms A and B, a carry input C_{IN} , high- and low-level supply voltage terminals, a first inverter whose output is the carry signal output C_{out} , a second inverter whose output is the summation result output S, a third inverter and a two-input XOR logic element.

EFFECT: high reliability and smaller size.

1 dwg, 1 tbl



RU 2 4 5 0 3 2 4 C 1

RU 2 4 5 0 3 2 4 C 1

Предлагаемое изобретение относится к вычислительной технике и может быть использовано при построении многоразрядных быстродействующих сумматоров и АЛУ.

Известен одноразрядный двоичный сумматор [Hubert Kaeslin, «Digital Integrated Circuit Design. From VLSI Architectures to CMOS Fabrication», Cambridge University Press, New York, 2008. p.408, Fig.8.18 (c)] (в тексте: Mirror adder (зеркальный сумматор)).

Недостатком известного одноразрядного двоичного сумматора является низкое быстродействие формирования сигнала переноса. В указанном одноразрядном двоичном сумматоре вход переноса C_{IN} соединен с затворами трех комплементарных пар транзисторов, которые вносят основной вклад в величину паразитной входной емкости по этому входу. Так как входная емкость является емкостной нагрузкой для сигнала переноса C_{IN} , то ее величина оказывает непосредственное влияние на длительность переключения транзисторов, подсоединенных к входу переноса C_{IN} , и эта длительность, при прочих равных условиях, прямо пропорциональна значению этой емкости и, следовательно, значению времени формирования входного и соответственно выходного сигнала первого инвертора. Таким образом, повышенная величина значения паразитной входной емкости приводит к увеличению задержки формирования сигнала переноса на выходе C_{OUT} .

Кроме того, известен одноразрядный двоичный сумматор [Шубин В.В., патент на изобретение РФ №2380739, G06F 7/50, Сумматор, ФГУ ФИПС, бюллетень №3, 27.01.2010 г.], являющийся прототипом предлагаемого изобретения и содержащий полевые транзисторы Р-типа с первого по двенадцатый и N-типа с тринадцатого по двадцать четвертый, вход слагаемого А, соединенный с затворами первого, пятого, шестого, десятого, четырнадцатого, шестнадцатого, девятнадцатого и двадцать четвертого транзисторов, вход слагаемого В, соединенный с затворами второго, четвертого, седьмого, одиннадцатого, пятнадцатого, семнадцатого, двадцатого и двадцать третьего транзисторов, вход переноса C_{IN} , соединенный с затворами третьего, двенадцатого, тринадцатого и двадцать второго транзисторов, вывод питания высокого уровня напряжения, соединенный с истоками первого, второго, четвертого, шестого, седьмого, восьмого и десятого транзисторов, вывод питания низкого уровня напряжения, соединенный с истоками четырнадцатого пятнадцатого, семнадцатого, девятнадцатого, двадцатого, двадцать первого и двадцать четвертого транзисторов, двухвходовый логический элемент И-НЕ, первый и второй входы которого соединены с входами слагаемых соответственно А и В, а выход - с затвором восьмого транзистора и двухвходовый логический элемент ИЛИ-НЕ, первый и второй входы которого соединены с входами слагаемых соответственно А и В, а выход - с затвором двадцать первого транзистора, причем стоки первого и второго транзисторов соединены с истоком третьего, сток четвертого - с истоком пятого, стоки шестого и седьмого - с истоком девятого, сток десятого - с истоком одиннадцатого, стоки восьмого и одиннадцатого - с истоком двенадцатого, стоки четырнадцатого и пятнадцатого - с истоком тринадцатого, сток семнадцатого - с истоком шестнадцатого, стоки девятнадцатого и двадцатого - с истоком восемнадцатого, сток двадцать четвертого - с истоком двадцать третьего, стоки двадцать первого и двадцать третьего - с истоком двадцать второго, стоки третьего, пятого, тринадцатого и шестнадцатого - с затворами девятого и восемнадцатого транзисторов и входом первого инвертора, выход которого является выходом сигнала переноса C_{OUT} и стоки девятого, двенадцатого, восемнадцатого и двадцать второго транзисторов - с входом второго инвертора, выход которого является выходом

результата сложения S.

Недостатком известного одноразрядного двоичного сумматора является то, что он содержит большое количество элементов и требует большого количества коммутационных связей. Так как надежность любого физического объекта не может
5 быть абсолютной и прямо зависит от количества компонентов в его составе и количества связей, соединяющих эти компоненты, то использование при создании любого устройства большего количества компонентов и связей между ними снижает надежность работы этого устройства.

10 Кроме того, использование большего количества компонентов и связей при создании устройства приводит к увеличению его массогабаритных показателей, в данном случае одноразрядного двоичного сумматора.

Задачей предлагаемого изобретения является повышение надежности одноразрядного двоичного сумматора и снижение его массогабаритных показателей.

15 Поставленная задача достигается тем, что в одноразрядный двоичный сумматор, содержащий полевые транзисторы P-типа с первого по девятый и N-типа с десятого по восемнадцатый, вход слагаемого А, соединенный с затворами первого, пятого, одиннадцатого и тринадцатого транзисторов, вход слагаемого В, соединенный с
20 затворами второго, четвертого, двенадцатого и четырнадцатого транзисторов, вход переноса C_{IN} , соединенный с затворами третьего, девятого, десятого и семнадцатого транзисторов, вывод питания высокого уровня напряжения, соединенный с истоками первого, второго, четвертого и восьмого транзисторов, вывод питания низкого уровня напряжения, соединенный с истоками одиннадцатого, двенадцатого,
25 четырнадцатого и восемнадцатого транзисторов, причем стоки первого и второго транзисторов соединены с истоком третьего, сток четвертого - с истоком пятого, сток шестого - с истоком седьмого, сток восьмого - с истоком девятого, стоки одиннадцатого и двенадцатого - с истоком десятого, сток четырнадцатого - с истоком
30 тринадцатого, сток шестнадцатого - с истоком пятнадцатого, сток восемнадцатого - с истоком семнадцатого, стоки третьего, пятого, десятого и тринадцатого - с затворами седьмого и пятнадцатого транзисторов и входом первого инвертора, выход которого является выходом сигнала переноса C_{OUT} , а стоки седьмого, девятого, пятнадцатого и семнадцатого - с входом второго инвертора, выход которого является выходом
35 результата сложения S, введены третий инвертор, выход которого соединен с истоком шестого и затворами восьмого и шестнадцатого транзисторов и двухвходовый логический элемент ИСКЛЮЧАЮЩЕЕ-ИЛИ-НЕ, первый и второй входы которого соединены с входами слагаемых соответственно А и В, а выход - с истоком
40 шестнадцатого и затворами шестого и восемнадцатого транзисторов и входом третьего инвертора.

Таким образом, в предлагаемом одноразрядном двоичном сумматоре по сравнению с прототипом отсутствуют транзисторы: седьмой, десятый, одиннадцатый, двадцатый, двадцать третий и двадцать четвертый, а значит, и все связи, которые
45 использовались для соединения терминалов этих транзисторов, что позволяет повысить надежность одноразрядного двоичного сумматора и снизить его массогабаритные показатели, сохраняя при этом быстродействие, достигнутое прототипом.

50 На чертеже приведена схема предлагаемого одноразрядного двоичного сумматора.

Предлагаемый одноразрядный двоичный сумматор содержит полевые транзисторы P-типа с первого 1 по девятый 9 и N-типа с десятого 10 по восемнадцатый 18, вход слагаемого А, соединенный с затворами первого 1, пятого 5,

одиннадцатого 11 и тринадцатого 13 транзисторов, вход слагаемого В, соединенный с затворами второго 2, четвертого 4, двенадцатого 12 и четырнадцатого 14 транзисторов, вход переноса C_{IN} , соединенный с затворами третьего 3, девятого 9, десятого 10 и семнадцатого 17 транзисторов, вывод питания высокого уровня напряжения 19, соединенный с истоками первого 1, второго 2, четвертого 4 и восьмого 8 транзисторов, вывод питания низкого уровня напряжения 20, соединенный с истоками одиннадцатого 11, двенадцатого 12, четырнадцатого 14 и восемнадцатого 18 транзисторов, причем стоки первого 1 и второго 2 транзисторов соединены с истоком третьего 3, сток четвертого 4 - с истоком пятого 5, сток шестого 6 - с истоком седьмого 7, сток восьмого 8 - с истоком девятого 9, стоки одиннадцатого 11 и двенадцатого 12 - с истоком десятого 10, сток четырнадцатого 14 - с истоком тринадцатого 13, сток шестнадцатого 16 - с истоком пятнадцатого 15, сток восемнадцатого 18 - с истоком семнадцатого 17, стоки третьего 3, пятого 5, десятого 10 и тринадцатого 13 - с затворами седьмого 7 и пятнадцатого 15 транзисторов и входом первого инвертора 21, выход которого является выходом сигнала переноса C_{OUT} , а стоки седьмого 7, девятого 9, пятнадцатого 15 и семнадцатого 17 - с входом второго инвертора 22, выход которого является выходом результата сложения S, третий инвертор 23, выход которого соединен с истоком шестого 6 и затворами восьмого 8 и шестнадцатого транзисторов 16 и двухвходовый логический элемент ИСКЛЮЧАЮЩЕЕ-ИЛИ-НЕ 24, первый и второй входы которого соединены с входами слагаемых соответственно А и В, а выход - с истоком шестнадцатого 16 и затворами шестого 6 и восемнадцатого 18 транзисторов и входом третьего инвертора 23.

Допускается произвольное выполнение логических элементов первого, второго и третьего инверторов и двухвходового логического элемента ИСКЛЮЧАЮЩЕЕ-ИЛИ-НЕ, реализующих соответствующую функцию.

Предлагаемый одноразрядный двоичный сумматор представляет собой логическую схему комбинационного типа и работает следующим образом.

На входы слагаемых А и В поступают значения сигналов, требующих сложения, а на вход переноса C_{IN} - значение сигнала переноса.

В результате действия сигналов поступающих на входы одноразрядного двоичного сумматора C_{IN} , А и В, на его выходах C_{OUT} и S должны появиться значения сигналов, соответствующих нижеприведенной таблице истинности.

Истинности одноразрядного двоичного сумматора					
№ комбинации	C_{IN}	А	В	C_{OUT}	S
1	0	0	0	0	0
2	0	0	1	0	1
3	0	1	0	0	1
4	0	1	1	1	0
5	1	0	0	0	1
6	1	0	1	1	0
7	1	1	0	1	0
8	1	1	1	1	1

В комбинациях №1-4 на вход переноса C_{IN} и на затворы подключенных к нему транзисторов 3, 9, 10 и 17 поступает напряжение низкого уровня, которое соответствует значению «0» таблицы истинности одноразрядного двоичного сумматора. Поэтому транзисторы Р-типа 3 и 9 открываются, а N-типа 10 и 17 закрываются.

Если при этом на входы слагаемых А и В поступает напряжение низкого уровня, то транзисторы Р-типа 1, 2, 4 и 5, подключенные своими затворами к этим входам, открываются и N-типа 11-14 - закрываются, а на выходе двухвходового логического элемента ИСКЛЮЧАЮЩЕЕ-ИЛИ-НЕ 24, в соответствии с выполняемой им функцией, формируется напряжение высокого уровня, соответствующее значению «1» таблицы истинности одноразрядного двоичного сумматора, которое поступает на затворы транзисторов 6 и 18 и исток транзистора 16 и вход третьего инвертора 23. Так как на вход третьего инвертора 23 поступает напряжение высокого уровня - «1», то на его выходе после инверсии формируется напряжение низкого уровня - «0», которое поступает на затворы транзисторов 8 и 16 и исток транзистора 6. Поэтому транзисторы Р-типа 6 и N-типа 16 - закрываются, а Р-типа 8 и N-типа 18 - открываются. Через открытые транзисторы 1-5 и 8-9 с вывода питания высокого уровня напряжения 19 на затворы транзисторов 7, 15 и на входы первого 21 и второго 22 инверторов поступает напряжение высокого уровня - «1», которое закрывает транзистор Р-типа 7 и открывает транзистор N-типа 15. Так как на входах первого 21 и второго 22 инверторов напряжение высокого уровня - «1», то после инверсии на их выходах соответственно S_{OUT} и S формируются напряжения низкого уровня - «0». При этом входы первого 21 и второго 22 инверторов остаются изолированными от напряжения низкого уровня закрытыми транзисторами N-типа 10-14 и 17 и Р-типа 6 и 7. Таким образом, реализуется комбинация №1 таблицы истинности одноразрядного двоичного сумматора.

Если же на вход слагаемого А(В) поступает напряжение низкого уровня - «0», а на вход слагаемого В(А) высокого - «1», то транзисторы Р-типа 1(2), 5(4) и N-типа 12(11), 14(13), подключенные своими затворами к этим входам, открываются, Р-типа 2(1), 4(5) и N-типа 11(12), 13(14) - закрываются, а на выходе двухвходового логического элемента ИСКЛЮЧАЮЩЕЕ-ИЛИ-НЕ 24, в соответствии с выполняемой им функцией, формируется напряжение низкого уровня - «0», которое поступает на затворы транзисторов 6 и 18 и исток транзистора 16 и вход третьего инвертора 23. Так как на вход третьего инвертора 23 поступает напряжение низкого уровня - «0», то на его выходе после инверсии формируется напряжение высокого уровня - «1», которое поступает на затворы транзисторов 8 и 16 и исток транзистора 6. Поэтому транзисторы Р-типа 6 и N-типа 16 открываются, а Р-типа 8 и N-типа 18 закрываются. Через открытые транзисторы 1(2) и 3 с вывода питания высокого уровня напряжения 19 на затворы транзисторов 7 и 15 и на вход первого инвертора 21 поступает напряжение высокого уровня - «1». Поэтому транзистор Р-типа 7 закрывается, транзистор N-типа 15 - открывается. Так как на входе первого инвертора 21 напряжение высокого уровня - «1», то после инверсии на его выходе S_{OUT} формируется напряжение низкого уровня - «0». Одновременно с выхода двухвходового логического элемента ИСКЛЮЧАЮЩЕЕ-ИЛИ-НЕ 24 через открытые транзисторы N-типа 15 и 16 на вход второго инвертора 22 поступает напряжение низкого уровня - «0», которое инвертируется на его выходе S в напряжение высокого уровня - «1». При этом вход первого инвертора 21 остается изолированным от напряжения низкого уровня закрытыми транзисторами N-типа 10 и 13(14), а вход второго 22 - от напряжения высокого уровня закрытыми транзисторами Р-типа 7 и 8. Таким образом, реализуется комбинация №2(№3) таблицы истинности одноразрядного двоичного сумматора.

В случае, когда на входы А и В поступает напряжение высокого уровня - «1», транзисторы Р-типа 1, 2, 4, 5, подключенные своими затворами к этим входам,

закрываются, N-типа 11-14 открываются, а на выходе двухвходового логического элемента ИСКЛЮЧАЮЩЕЕ-ИЛИ-НЕ 24 в соответствии с выполняемой им функцией, формируется напряжение высокого уровня - «1», которое поступает на затворы транзисторов 6 и 18 и исток транзистора 16 и вход третьего инвертора 23. Так как на вход третьего инвертора 23 поступает напряжение высокого уровня - «1», то на его выходе после инверсии формируется напряжение низкого уровня - «0», которое поступает на затворы транзисторов 8 и 16 и исток транзистора 6. Поэтому транзисторы P-типа 8 и N-типа 18 открываются, а P-типа 6 и N-типа 16 закрываются. Через открытые транзисторы 13 и 14 с вывода питания низкого уровня напряжения 20 на затворы транзисторов 7 и 15 и на вход первого инвертора 21 поступает напряжение низкого уровня - «0». Поэтому транзистор P-типа 7 открывается, а N-типа 15 закрывается. Так как на входе первого инвертора 21 напряжение низкого уровня - «0», то после инверсии на его выходе C_{OUT} формируется напряжение высокого уровня - «1». Одновременно с вывода питания высокого уровня напряжения 19 через открытые транзисторы P-типа 8 и 9 на вход второго инвертора 22 поступает напряжение высокого уровня - «1». Поэтому на выходе S этого инвертора формируется инверсное относительно входного напряжение низкого уровня - «0». При этом вход первого инвертора 21 остается изолированным от напряжения высокого уровня закрытыми транзисторами P-типа 1, 2, 4, 5 и второго инвертора 22 - от напряжения низкого уровня закрытыми транзисторами N-типа 15-17. Таким образом, реализуется комбинация №4 таблицы истинности одноразрядного двоичного сумматора.

В комбинациях №№5-8 на вход переноса C_{IN} и на затворы подключенных к нему транзисторов 3, 9, 10 и 17 поступает напряжение высокого уровня - «1». Поэтому транзисторы P-типа 3 и 9 закрываются, а N-типа 10 и 17 открываются.

Если при этом на входы слагаемых A и B поступает напряжение низкого уровня, то транзисторы P-типа 1, 2, 4 и 5, подключенные своими затворами к этим входам, открываются и N-типа 11-14 закрываются, а на выходе двухвходового логического элемента ИСКЛЮЧАЮЩЕЕ-ИЛИ-НЕ 24, в соответствии с выполняемой им функцией, формируется напряжение высокого уровня - «1», которое поступает на затворы транзисторов 6 и 18 и исток транзистора 16 и вход третьего инвертора 23. Так как на вход третьего инвертора 23 поступает напряжение высокого уровня - «1», то на его выходе после инверсии формируется напряжение низкого уровня - «0», которое поступает на затворы транзисторов 8 и 16 и исток транзистора 6. Поэтому транзисторы P-типа 6 и N-типа 16 закрываются, а P-типа 8 и N-типа 18 открываются. Через открытые транзисторы 4, 5 с вывода питания высокого уровня напряжения 19 на затворы транзисторов 7, 15 и на вход первого инвертора 21 поступает напряжение высокого уровня - «1», которое закрывает транзистор P-типа 7 и открывает транзистор N-типа 15. Так как на входе первого инвертора 21 напряжение высокого уровня - «1», то после инверсии на его выходе C_{OUT} формируется напряжения низкого уровня - «0». Одновременно через открытые транзисторы 17 и 18 с вывода питания низкого уровня напряжения 20 на вход второго инвертора 22 поступает напряжение низкого уровня - «0». Поэтому на выходе S этого инвертора формируется инверсное относительно входного напряжение высокого уровня - «1». При этом вход первого инвертора 21 остается изолированным от напряжения низкого уровня закрытыми транзисторами N-типа 11, 12, 13 и 14, а вход второго инвертора 22 - от напряжения высокого уровня закрытыми транзисторами P-типа 6 и 9. Таким образом, реализуется комбинация №5 таблицы истинности одноразрядного двоичного сумматора.

Если же на вход слагаемого A(B) поступает напряжение низкого уровня - «0», а на

вход слагаемого В(А) высокого - «1», то транзисторы Р-типа 1(2), 5(4) и N-типа 12(11), 14(13), подключенные своими затворами к этим входам, открываются, Р-типа 2(1), 4(5) и N-типа 11(12), 13(14) - закрываются, а на выходе двухвходового логического элемента ИСКЛЮЧАЮЩЕЕ-ИЛИ-НЕ 24, в соответствии с выполняемой им функцией, формируется напряжение низкого уровня - «0», которое поступает на затворы транзисторов 6 и 18 и исток транзистора 16 и вход третьего инвертора 23. Так как на вход третьего инвертора 23 поступает напряжение низкого уровня - «0», то на его выходе после инверсии формируется напряжение высокого уровня - «1», которое поступает на затворы транзисторов 8 и 16 и исток транзистора 6. Поэтому транзисторы Р-типа 6 и N-типа 16 открываются, а Р-типа 8 и N-типа 18 закрываются. Через открытые транзисторы 10 и 12(11) с вывода питания низкого уровня напряжения 20 на затворы транзисторов 7 и 15 и на вход первого инвертора 21 поступает напряжение низкого уровня - «0». Поэтому транзистор Р-типа 7 открывается, транзистор N-типа 15 закрывается. Так как на входе первого инвертора 21 напряжение низкого уровня - «0», то после инверсии на его выходе S_{OUT} формируется напряжение высокого уровня - «1». Одновременно с выхода третьего инвертора 23 через открытые транзисторы Р-типа 6 и 7 на вход второго инвертора 22 поступает напряжения высокого уровня - «1», которое инвертируется на его выходе S в напряжение низкого уровня - «0». При этом вход первого инвертора 21 остается изолированным от напряжения высокого уровня закрытыми транзисторами Р-типа 3 и 4(5), а вход второго 22 - от напряжения низкого уровня закрытыми транзисторами N-типа 15 и 18. Таким образом, реализуется комбинация №6(№7) таблицы истинности одноразрядного двоичного сумматора.

В случае, когда на входы А и В поступает напряжение высокого уровня - «1», транзисторы Р-типа 1, 2, 4, 5, подключенные своими затворами к этим входам, закрываются, N-типа 11-14 открываются, а на выходе двухвходового логического элемента ИСКЛЮЧАЮЩЕЕ-ИЛИ-НЕ 24, в соответствии с выполняемой им функцией, формируется напряжение высокого уровня - «1», которое поступает на затворы транзисторов 6 и 18 и исток транзистора 16 и вход третьего инвертора 23. Так как на вход третьего инвертора 23 поступает напряжение высокого уровня - «1», то на его выходе после инверсии формируется напряжение низкого уровня - «0», которое поступает на затворы транзисторов 8 и 16 и исток транзистора 6. Поэтому транзисторы Р-типа 8 и N-типа 18 открываются, а Р-типа 6 и N-типа 16 закрываются. Через открытые транзисторы 10-14 с вывода питания низкого уровня напряжения 20 на затворы транзисторов 7 и 15 и на вход первого инвертора 21 поступает напряжение низкого уровня - «0». Поэтому транзистор Р-типа 7 открывается, N-типа 15 закрывается. Так как на входе первого инвертора 21 напряжение низкого уровня - «0», то после инверсии на его выходе S_{OUT} формируется напряжение высокого уровня - «1». Одновременно с вывода питания низкого уровня напряжения 20 через открытые транзисторы N-типа 17 и 18 на вход второго инвертора 22 поступает напряжение низкого уровня - «0». Поэтому на выходе S этого инвертора формируется инверсное относительно входного напряжение высокого уровня - «1». При этом вход первого инвертора 21 остается изолированным от напряжения высокого уровня закрытыми транзисторами Р-типа 1-5 и второго инвертора 22 - от напряжения высокого уровня закрытыми транзисторами Р-типа 6 и 9. Таким образом, реализуется комбинация №8 таблицы истинности одноразрядного двоичного сумматора.

В предлагаемой схеме одноразрядного двоичного сумматора введены двухвходовой логический элемент ИСКЛЮЧАЮЩЕЕ-ИЛИ-НЕ и третий инвертор,

что позволяет из схемы-прототипа исключить транзисторы Р-типа седьмой, десятый, одиннадцатый, N-типа двадцатый, двадцать третий и двадцать четвертый и двухвходовые логические элементы И-НЕ и ИЛИ-НЕ, вследствие чего общее количество используемых транзисторов в схеме одноразрядного двоичного сумматора уменьшено на шесть и устранены все связи, которые ранее использовались для соединения терминалов этих транзисторов, что позволяет повысить надежность одноразрядного двоичного сумматора и снизить его массогабаритные показатели, сохраняя при этом быстродействие, достигнутое прототипом.

Таким образом, в предлагаемом одноразрядном двоичном сумматоре за счет уменьшения количества используемых компонентов и связей, необходимых для их соединения, повышена надежность и уменьшены массогабаритные показатели всего устройства. При этом быстродействие, достигнутое прототипом, сохраняется на прежнем уровне.

Формула изобретения

Одноразрядный двоичный сумматор, содержащий полевые транзисторы Р-типа с первого по девятый и N-типа с десятого по восемнадцатый, вход слагаемого А, соединенный с затворами первого, пятого, одиннадцатого и тринадцатого транзисторов, вход слагаемого В, соединенный с затворами второго, четвертого, двенадцатого и четырнадцатого транзисторов, вход переноса C_{IN} , соединенный с затворами третьего, девятого, десятого и семнадцатого транзисторов, вывод питания высокого уровня напряжения, соединенный с истоками первого, второго, четвертого и восьмого транзисторов, вывод питания низкого уровня напряжения, соединенный с истоками одиннадцатого, двенадцатого, четырнадцатого и восемнадцатого транзисторов, причем стоки первого и второго транзисторов соединены с истоком третьего, сток четвертого - с истоком пятого, сток шестого - с истоком седьмого, сток восьмого - с истоком девятого, стоки одиннадцатого и двенадцатого - с истоком десятого, сток четырнадцатого - с истоком тринадцатого, сток шестнадцатого - с истоком пятнадцатого, сток восемнадцатого - с истоком семнадцатого, стоки третьего, пятого, десятого и тринадцатого - с затворами седьмого и пятнадцатого транзисторов и входом первого инвертора, выход которого является выходом сигнала переноса C_{OUT} , а стоки седьмого, девятого, пятнадцатого и семнадцатого - с входом второго инвертора, выход которого является выходом результата сложения S, отличающийся тем, что в него введены третий инвертор, выход которого соединен с истоком шестого и затворами восьмого и шестнадцатого транзисторов и двухвходовой логический элемент ИСКЛЮЧАЮЩЕЕ-ИЛИ-НЕ, первый и второй входы которого соединены с входами слагаемых соответственно А и В, а выход - с истоком шестнадцатого и затворами шестого и восемнадцатого транзисторов и входом третьего инвертора.