

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5492518号
(P5492518)

(45) 発行日 平成26年5月14日(2014.5.14)

(24) 登録日 平成26年3月7日(2014.3.7)

(51) Int.Cl.	F I	
HO 1 L 21/822 (2006.01)	HO 1 L 27/04	F
HO 1 L 27/04 (2006.01)	HO 2 M 1/08	A
HO 2 M 1/08 (2006.01)	HO 1 L 25/04	Z
HO 1 L 25/04 (2014.01)	HO 1 L 29/80	C
HO 1 L 25/18 (2006.01)	HO 1 L 27/06	F
請求項の数 4 (全 9 頁) 最終頁に続く		

(21) 出願番号	特願2009-230133 (P2009-230133)	(73) 特許権者	000005108
(22) 出願日	平成21年10月2日(2009.10.2)		株式会社日立製作所
(65) 公開番号	特開2011-77462 (P2011-77462A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成23年4月14日(2011.4.14)	(74) 代理人	100100310
審査請求日	平成23年11月21日(2011.11.21)		弁理士 井上 学
		(74) 代理人	100098660
			弁理士 戸田 裕二
		(72) 発明者	小川 和俊
			茨城県日立市大みか町七丁目1番1号
			株式会社 日立製作所
			所 日立研究所内
		(72) 発明者	石川 勝美
			茨城県日立市大みか町七丁目1番1号
			株式会社 日立製作所
			所 日立研究所内
			最終頁に続く

(54) 【発明の名称】 半導体駆動回路、及びそれを用いた半導体装置

(57) 【特許請求の範囲】

【請求項1】

ドレイン端子とソース端子とゲート端子とを有す半導体スイッチング素子と、該半導体スイッチング素子のソース端子とゲート端子の電圧を制御するゲート駆動回路とを備えた半導体駆動回路と、

ゲート駆動回路用電源と主回路電源と負荷端子と前記半導体スイッチング素子とを実装した基板と前記基板のパッケージと

を備えた半導体装置であって、

前記ゲート駆動回路が前記半導体スイッチング素子をオンするときのゲート端子とソース端子との間の電圧を2.5Vから3.5Vの間に制御し、

前記ゲート駆動回路内に前記半導体スイッチング素子のターンオンおよびターンオフの速度を調整するためのゲート抵抗を備え、

前記ゲート抵抗と並列に第1のコンデンサが接続され、

前記第1のコンデンサが前記半導体スイッチング素子の入力容量より大きく、

前記半導体スイッチング素子のソース電極に第一のソース配線と第二のソース配線が接続され、

前記第一のソース配線は前記ゲート駆動回路用電源の負端子に接続され、

前記第二のソース配線は前記主回路電源の負端子、あるいは負荷端子に接続されることを特徴とする半導体装置。

【請求項2】

請求項 1 に記載の半導体装置において、
前記ゲート抵抗と前記第一のコンデンサを前記半導体スイッチング素子のオン時とオフ
時で大きさを
変える
ことを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 に記載の半導体装置において、
前記ソース端子と前記ゲート端子との間に第 2 のコンデンサを設ける
ことを特徴とする半導体装置。

【請求項 4】

請求項 1 ないし 3 の何れかに記載の半導体装置において、
前記半導体スイッチング素子が炭化珪素や窒化ガリウムあるいはダイヤモンドのような
ワイドギャップ半導体を用いたノーマリオフの接合型 F E T である
ことを特徴とする半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明はノーマリオフの接合型 F E T の半導体駆動回路、及びそれを用いた半導体装置
に関する。

【背景技術】

【0002】

炭化珪素 (S i C) や窒化ガリウム (G a N) あるいはダイヤモンドのようなバンドギャップの広い材料を用いたワイドバンドギャップ半導体素子、例えば接合型 F E T , 静電誘導型トランジスタ (S I T) , 金属 - 半導体電界効果トランジスタ (M E S F E T) , ヘテロ接合電界効果トランジスタ (H F E T) , 高電子移動度トランジスタ (H E M T) などは、スイッチ素子として優れた特性を有する。またノーマリオフ特性を有する接合型 F E T はゲート駆動回路故障時などの回路の不具合が発生した場合でも、短絡故障を防止することが可能である。

20

【0003】

ノーマリオフの接合型 F E T はゲート・ソース間の入力容量と並列に寄生ダイオードが接続された等価回路で示される。このためスイッチ素子をオンするための閾値は、 S i C を用いた接合型 F E T の場合、 2.5 V 程度と低い値となる。よって高精度な電圧制御、高速な入力容量の充電、誤動作等の課題を有していた。

30

【0004】

ゲート・ソース間の特性がダイオードの順方向特性となるため、立ち上がり電圧以上の電圧を印加すると大きなゲート電流が流れ続け、ゲート駆動回路の消費電力が増大する。

【0005】

また閾値が低く、ターンオン時に大きなゲート電圧を印加できないため、高速に入力容量を充電できず、ターンオン損失が増大していた。

【0006】

またノイズ耐量が低く、誤動作する可能性が高い。例えば、セルフターンオン現象やターンオフ時の誤動作が発生していた。

40

【0007】

そして、従来技術の特許文献 1 , 2 ではゲート・ソース間にコンデンサを接続し、セルフターンオンの誤動作を防止する手法が提案されている。しかしながら、ターンオフ時の誤動作に関する記載はない。また閾値がノーマリオフの接合型 F E T に比べ高い I G B T を用いた駆動回路に関するものであり、閾値の低い素子を低損失に駆動する回路に関する記載はない。

【先行技術文献】

【特許文献】

【0008】

50

【特許文献1】特開2000-243905号公報

【特許文献2】特開2004-14547号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

以上のようにノーマリオフの接合型FETを用いた半導体駆動回路では高精度な電圧制御、高速な入力容量の充電、誤動作等の課題を有していた。

【0010】

本発明はノーマリオフの接合型FETを用いた場合においても誤動作をなるべく引き起こさず、低損失に駆動するための半導体駆動回路、及びそれを用いた半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記課題を解決するために、本発明はドレイン端子とソース端子とゲート端子を有す半導体スイッチング素子と、該半導体スイッチング素子のソース端子とゲート端子の電圧を制御するゲート駆動回路を備えた半導体駆動回路において、

前記ゲート駆動回路が前記半導体スイッチング素子をオンするときのゲート端子とソース端子間の電圧を2.5Vから3.5Vの間に制御することを特徴とするものである。

【0012】

また、上記課題を解決するために、本発明はドレイン端子とソース端子とゲート端子を有す半導体スイッチング素子と、該半導体スイッチング素子のソース端子とゲート端子の電圧を制御するゲート駆動回路を備えた半導体駆動回路において、前記ソース端子と前記ゲート端子の間にツェナーダイオードとダイオードを備え、前記ツェナーダイオードと前記ダイオードを直列に接続し、前記ツェナーダイオードのアノード端子を前記ソース端子に接続し、前記ダイオードのアノード端子を前記ゲート端子に接続することを特徴とするものである。

【0013】

更に、本発明は半導体駆動回路において、前記ツェナーダイオードの逆阻止電圧が2V以上であることを特徴とするものである。

【0014】

更に、本発明は半導体駆動回路において、前記ゲート駆動回路内に前記半導体スイッチング素子のターンオンとターンオフの速度を調整するためのゲート抵抗を備え、

前記ゲート抵抗と並列に第1のコンデンサを接続し、前記第1のコンデンサが前記半導体スイッチング素子の入力容量より、大きいことを特徴とするものである。

【0015】

更に、本発明は半導体駆動回路において、前記ゲート抵抗と前記第一のコンデンサを前記半導体スイッチング素子のオン時とオフ時で大きさをを変えることを特徴とするものである。

【0016】

更に、本発明は半導体駆動回路において、前記ソース端子と前記ゲート端子との間に第2のコンデンサを設けることを特徴とするものである。

【0017】

更に、本発明は半導体駆動回路と前記半導体スイッチング素子を実装した基板と、該基板のパッケージを備えた半導体装置において、前記第2のコンデンサが前記基板上に実装されることを特徴とするものである。

【0018】

更に、本発明は半導体駆動回路と、ゲート駆動回路用電源と主回路電源と負荷端子と前記半導体スイッチング素子を実装した基板と前記基板のパッケージを備えた半導体装置において、前記半導体スイッチング素子のソース電極に第一のソース配線と第二のソース配線を接続し、前記第一のソース配線を前記ゲート駆動回路用電源の負端子に接続し、前記

10

20

30

40

50

第二のソース配線を前記主回路電源の負端子、あるいは負荷端子に接続することを特徴とするものである。

【0019】

更に、本発明は半導体駆動回路において、前記半導体スイッチング素子が炭化珪素や窒化ガリウムあるいはダイヤモンドのようなワイドギャップ半導体を用いたノーマリオフの接合型FETであることを特徴とするものである。

【発明の効果】

【0020】

本発明によれば、ゲート電圧の閾値の低いノーマリオフの接合型FETにおいてなるべく誤動作を起こさず、低損失な駆動を実現する半導体駆動回路、及びそれを用いた半導体装置を提供することが実現できる。

10

【図面の簡単な説明】

【0021】

【図1】実施例1の半導体回路の説明図。

【図2】実施例1の半導体回路のゲート・ソース間電圧。

【図3】ノーマリオフの接合型FETのゲート・ソース間特性。

【図4】ノーマリオフの接合型FETのゲート電圧 - ドレイン電流特性。

【図5】実施例2の半導体回路の説明図。

【図6】実施例3の半導体回路の説明図。

【図7】実施例4の半導体回路の説明図。

20

【図8】実施例5の半導体回路の説明図。

【図9】実施例6の半導体回路の説明図。

【図10】実施例7の半導体回路の説明図。

【図11】実施例7を実施例5に適用した場合の半導体駆動回路図。

【発明を実施するための形態】

【0022】

以下、図面を参照しつつ本発明の実施の形態について説明する。

【実施例1】

【0023】

図1に本発明の実施例、図2は図1のゲート・ソース間電圧、図3はノーマリオフの接合型FETのゲート・ソース間の順方向特性、図4はノーマリオフの接合型FETのゲート電圧とドレイン電流の特性を示す。

30

【0024】

本実施例はドレイン端子4とソース端子5の間にノーマリオフの接合型FET1を接続し、接合型FET1のゲート端子6とソース端子5の間にゲート駆動回路3を接続し、ゲート駆動回路3はゲート抵抗11a、接合型FET1に電圧を印加するためのゲート電源12から構成される。

【0025】

接合型FET1は入力容量8と並列に寄生ダイオード9が存在する。よって図3に示すように寄生ダイオード9の立ち上がり電圧以上の電圧をゲート・ソース間に印加すると入力容量8に電流が流れ始め、接合型FET1がオンする。また立ち上がり電圧以上の電圧を印加すると余剰なゲート電流が流れるため、ゲート駆動回路の消費電力が増加する。そこでゲート駆動回路3のオン時の出力電圧を図2のように2.5から3.5Vに制御することで、以上の問題を解決することが可能となる。

40

【実施例2】

【0026】

図5に本発明の他の実施例を示す。本実施例では図1のゲート端子6とソース端子5の間にダイオード13とツェナーダイオード14を接続することで、ゲート・ソース間電圧を高精度に制御する。またダイオード13を接続することで、ターンオフ時に、入力容量8のツェナーダイオード14を介した放電を防止することが可能になる。以上のような構

50

成にすることで、オフ時のゲート電流はゲート抵抗 11a を介して流れるため、11a の大きさにより、ターンオフ速度を調整可能となる。

【0027】

またゲート電源 12 には高い電圧精度は要求されない。またゲート電源 12 の電圧は閾値よりも十分大きな電圧を印加することが可能となり、スイッチング開始時に大きなゲート電流を流すことができ、ターンオン速度を上げ、ターンオン損失を低減可能となる。

【実施例 3】

【0028】

図 6 に本発明の他の実施例を示す。本実施例では図 5 の回路図内のゲート抵抗 11a と並列にコンデンサ 15a を接続した構成になっている。

10

【0029】

ノーマリオフの接合 FET の閾値は 2.5V と低く、またゲート抵抗 11a により、ゲート電流が制限されるため、高速にターンオンすることが不可能であった。そこで、コンデンサ 15a を接続することで、ゲート抵抗 11a とは別の経路で入力容量 8 の充電電流を流し、高速なターンオンを実現する。またゲート抵抗 11a により、オン時の電流を制限可能である。

【0030】

一方、オフ時にはオン時にコンデンサ 15a が充電されているため、コンデンサ 15a の電圧がゲート・ソース間に印加され、誤動作を引き起こしにくい条件となっている。

20

【実施例 4】

【0031】

図 7 に本発明の他の実施例を示す。本実施例は図 6 にダイオード 16a とダイオード 16b、コンデンサ 15b とゲート抵抗 11b を接続し、ターンオン時とターンオフ時のゲート電流の経路を分けた構成になっている。このような回路構成にすることで、ターンオン時とターンオフ時の速度を自由に変更可能となる。

【実施例 5】

【0032】

図 8 に本発明の他の実施例を示す。本実施例は図 6 にコンデンサ 17 を接続した構成になっている。上下アームにスイッチ素子を有するインバータ等の回路の場合、例えば上アームのスイッチ素子がオンすると、オフ状態の下アームのスイッチ素子にインバータの電源電圧が印加される。その際、下アームの帰還容量を介して下アームの入力容量が充電され、ゲート・ソース間に跳ね上がり電圧が発生し、誤動作してしまう。

30

【0033】

更にはターンオンを高速化し、電圧の変化を速くすると跳ね上がり電圧が上昇し、誤動作を引き起こしやすい条件になってしまう。そこで、入力容量 8 と並列にコンデンサ 17 を接続する。跳ね上がり電圧は帰還容量 7 と入力容量 8 の分圧比で決定されるため、以上のような回路構成にすることで、跳ね上がり電圧は抑制され、誤動作しにくい構成となる。

【実施例 6】

【0034】

図 9 は実施例を示す。本実施例は図 8 内のコンデンサ 17 を接合型 FET 1 が実装されたパッケージ内部に実装する方式である。このように実装することで、コンデンサ 17 と接合 FET 1 のゲート端子間のインダクタンスの影響を受けにくく、図 8 の回路に比べ、更に誤動作しにくい構成となる。

40

【実施例 7】

【0035】

図 10 に本発明の他の実施例、図 11 に図 10 の実装方式を図 8 の回路に適用した場合の回路図を示す。

【0036】

本実施例はパッケージ 21 の内部の実装基板 22 に接合型 FET 1 とダイオード 2 を実

50

装し、接合型 F E T 1 のゲート電極 2 4 からゲート端子 6 にゲート配線 2 7 で接続し、ソース電極 2 3 からソース端子 5 a に主回路用ソース配線 2 5 で接続し、ソース電極 2 3 からソース端子 5 b にゲート駆動回路用ソース配線 2 6 で接続し、フリーホイールダイオードからソース端子 5 a にダイオード配線 2 8 で接続する。また図 1 0 の実装方式を用いた場合には図 1 1 に示すようにゲート端子 6 とソース端子 5 b をゲート駆動回路 3 と接続する。

【 0 0 3 7 】

以上のような構成にすることで、ドレイン端子 4 からソース端子 5 a 間に流れる主回路電流と、ゲート駆動回路から流れるゲート電流の経路を分けることが可能となる。

【 0 0 3 8 】

従来技術では、ソース配線のインダクタンス 1 8 に主回路電流が流れるとソース配線のインダクタンス 1 8 により電圧が発生し、その電圧が閾値を超えた場合、誤動作する。しかし図 1 0 に示す構成を用いることで、ゲート端子 6 とソース端子 5 b 間の配線に殆ど主回路の電流が流れないため、インダクタンスによる電圧の上昇を抑制することが可能になり、誤動作を引き起こしにくい構成となる。

【 産業上の利用可能性 】

【 0 0 3 9 】

本発明によれば、ノーマリオフの接合型 F E T においても、なるべく誤動作を起こさず、低損失な駆動を実現した半導体駆動回路、及びそれを用いた半導体装置を提供することが実現できる。

【 符号の説明 】

【 0 0 4 0 】

- 1 接合型 F E T
- 2 フリーホイールダイオード
- 3 ゲート駆動回路
- 4 ドレイン端子
- 5 a ソース端子 1
- 5 b ソース端子 2
- 6 ゲート端子
- 7 帰還容量
- 8 入力容量
- 9 寄生ダイオード
- 1 1 a , 1 1 b ゲート抵抗
- 1 2 ゲート電源
- 1 3 , 1 6 a , 1 6 b ダイオード
- 1 4 ツェナーダイオード
- 1 5 a , 1 5 b , 1 7 コンデンサ
- 1 8 ソース配線インダクタンス
- 2 1 パッケージ
- 2 2 実装基板
- 2 3 ソース電極
- 2 4 ゲート電極
- 2 5 主回路用ソース配線
- 2 6 ゲート駆動回路用ソース配線 2
- 2 7 ゲート配線
- 2 8 ダイオード配線

10

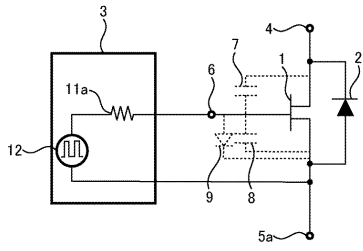
20

30

40

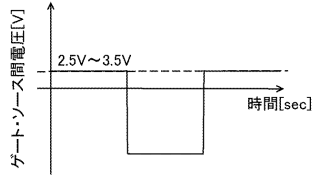
【図1】

図1



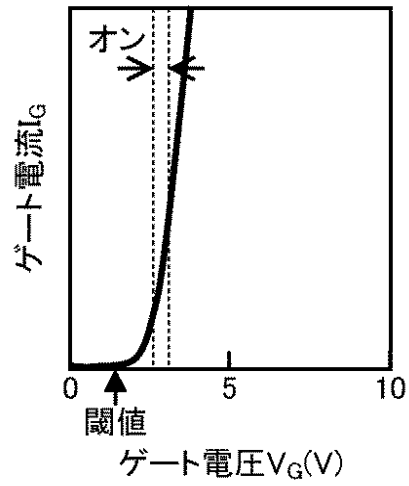
【図2】

図2



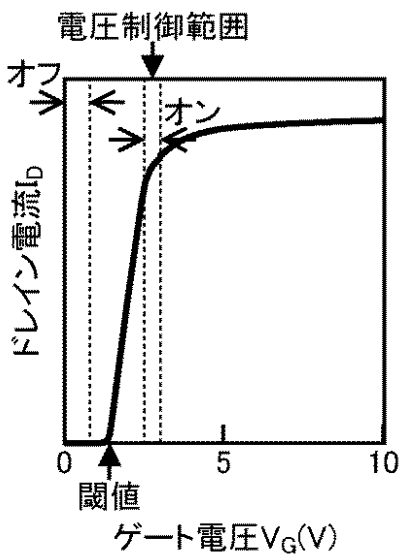
【図3】

図3



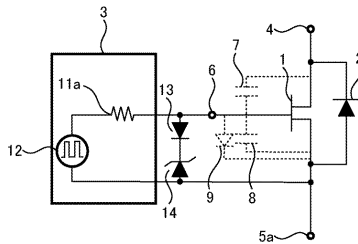
【図4】

図4



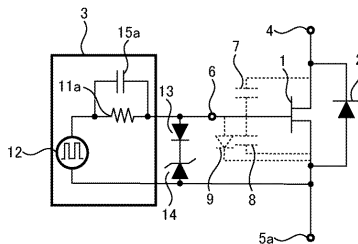
【図5】

図5



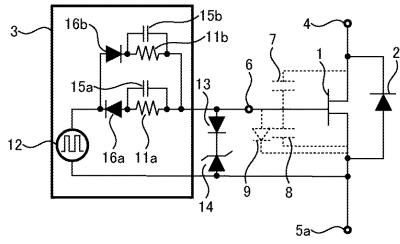
【図6】

図6



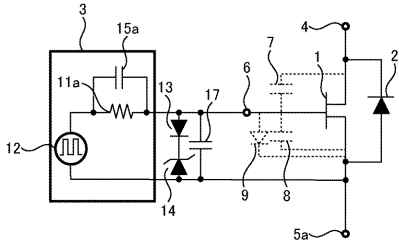
【図 7】

図 7



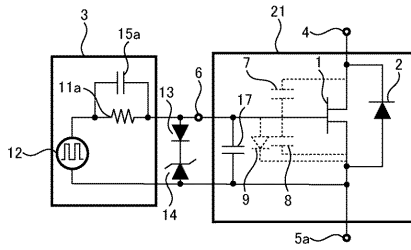
【図 8】

図 8



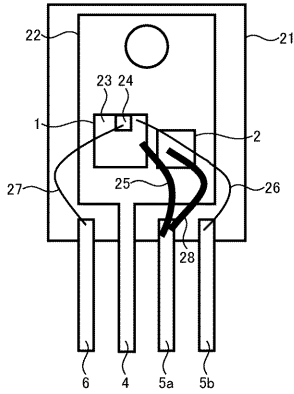
【図 9】

図 9



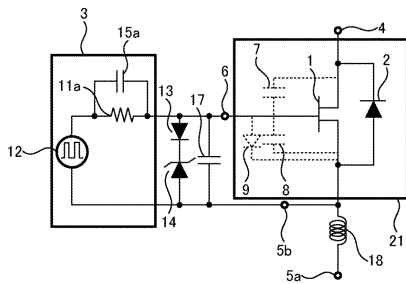
【図 10】

図 10



【図 11】

図 11



フロントページの続き

(51) Int.Cl. F I

H 0 1 L 27/098 (2006.01)
H 0 1 L 29/808 (2006.01)
H 0 1 L 21/337 (2006.01)
H 0 1 L 27/06 (2006.01)
H 0 1 L 21/8232 (2006.01)

審査官 小田 浩

(56) 参考文献 特開 2 0 0 8 - 2 9 4 4 3 7 (J P , A)
国際公開第 2 0 0 9 / 1 1 6 3 6 0 (W O , A 1)
特開平 0 3 - 1 1 7 2 1 1 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 1 / 3 3 7
H 0 1 L 2 1 / 8 2 3 2
H 0 1 L 2 5 / 0 4
H 0 1 L 2 5 / 1 8
H 0 1 L 2 7 / 0 4
H 0 1 L 2 7 / 0 6
H 0 1 L 2 7 / 0 9 8
H 0 1 L 2 9 / 8 0 8
H 0 2 M 1 / 0 8