

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6915115号  
(P6915115)

(45) 発行日 令和3年8月4日(2021.8.4)

(24) 登録日 令和3年7月16日(2021.7.16)

(51) Int.Cl. F I  
HO2M 3/28 (2006.01) HO2M 3/28 H

請求項の数 9 外国語出願 (全 17 頁)

<p>(21) 出願番号 特願2020-47750 (P2020-47750)                  (22) 出願日 令和2年3月18日(2020.3.18)                  (62) 分割の表示 特願2018-90463 (P2018-90463)                          の分割                          原出願日 平成26年1月21日(2014.1.21)                  (65) 公開番号 特開2020-103037 (P2020-103037A)                  (43) 公開日 令和2年7月2日(2020.7.2)                          審査請求日 令和2年4月16日(2020.4.16)                  (31) 優先権主張番号 13/746,776                  (32) 優先日 平成25年1月22日(2013.1.22)                  (33) 優先権主張国・地域又は機関                          米国 (US)</p>	<p>(73) 特許権者 501315784                  パワー・インテグレーションズ・インコー                  ポレーテッド                  アメリカ合衆国・95138・カリフォル                  ニア州・サン ホゼ・ヘリヤー アベニュー                  ・5245                  (74) 代理人 110001195                  特許業務法人深見特許事務所                  (72) 発明者 シェン・リウ                  アメリカ合衆国、95129 カリフォル                  ニア州、サン・ノゼ、アルバニー・ドライ                  ブ、4290、アパートメント・ピィ・1                  39</p>
--	--

最終頁に続く

(54) 【発明の名称】 同期フライバック変換器における使用のための二次コントローラ、電力変換器、および同期フライバック変換器を制御する方法

(57) 【特許請求の範囲】

【請求項1】

同期フライバック変換器における使用のための二次コントローラであって、  
 前記同期フライバック変換器の出力を示すフィードバック信号を出力しきい値と比較して、前記同期フライバック変換器の一次側に結合されるように第1のスイッチを切替えるために駆動信号を生成するよう結合可能な駆動回路を含み、前記二次コントローラはさらに、

制御回路を含み、前記制御回路は、

前記同期フライバック変換器の二次巻線電圧を示す入力信号を、前記第1のスイッチが非導通であることを示すしきい値と比較するよう結合可能な比較器と、

前記駆動回路および前記比較器に結合される論理回路網を含み、前記論理回路網は、前記同期フライバック変換器の二次側における第2のスイッチを制御するために制御信号を生成するよう結合されており、

前記制御信号は、

a) 前記第1のスイッチが導通となるように切替えられたことを示す前記駆動信号、および

b) 前記第1のスイッチが導通していないことを示す前記比較器、

に応答して、前記第2のスイッチが導通となるように前記第2のスイッチを制御し、前記制御信号は、

c) 前記同期フライバック変換器の出力が前記しきい値未満であることを示す前記駆

動信号、または

d) 前記第1のスイッチが導通していることを示す前記比較器、

のいずれかに応答して、前記第2のスイッチが非導通となるように前記第2のスイッチを制御する、二次コントローラ。

【請求項2】

前記駆動回路によって受け取られるよう結合されるクロック信号を生成するように結合される発振器をさらに含み、

前記制御信号は、

前記同期フライバック変換器の出力を示す前記駆動信号が、前記しきい値未満でありかつ、前記クロック信号によって規定された新しいスイッチング期間に達したこと、

または、

前記第1のスイッチが導通していないことを示す前記比較器、

のいずれかに応答して、前記第2のスイッチが導通となるように前記第2のスイッチを制御する、請求項1に記載の二次コントローラ。

【請求項3】

前記論理回路網は前記駆動信号に応答してセットされるとともに前記制御信号に応答してリセットされるよう結合されるラッチを含み、前記論理回路網は前記ラッチのラッチ出力に応答して前記制御信号を生成するよう結合される、請求項1に記載の二次コントローラ。

【請求項4】

前記駆動信号を受け取るとともに遅延駆動信号を生成するよう前記駆動回路に結合される遅延回路をさらに含み、前記ラッチは前記遅延駆動信号に応答してセットされるよう前記遅延回路に結合される、請求項3に記載の二次コントローラ。

【請求項5】

前記論理回路網は、前記駆動信号と、前記比較器によって生成されて前記しきい値に対する前記入力信号の比較の結果を示す比較信号と、前記ラッチ出力とに応答して前記制御信号を生成するよう結合されるANDゲートを含む、請求項3に記載の二次コントローラ。

【請求項6】

前記ラッチに結合されるとともに前記制御信号を受け取るよう結合されるワンショット回路をさらに含み、前記ワンショット回路は前記制御信号に応答して前記ラッチをリセットするよう結合される、請求項3に記載の二次コントローラ。

【請求項7】

前記ワンショット回路は、前記制御信号の立下りエッジに応答して前記ラッチをリセットするよう結合される、請求項6に記載の二次コントローラ。

【請求項8】

前記入力信号は、前記同期フライバック変換器のエネルギー伝達要素の二次巻線に結合される巻線感知回路によって生成される、請求項1に記載の二次コントローラ。

【請求項9】

電力変換器であって、

一次巻線および二次巻線を有するエネルギー伝達要素と、

前記一次巻線と前記電力変換器の入力とに結合される第1のスイッチと、

前記エネルギー伝達要素を介して前記電力変換器の入力から前記電力変換器の出力までのエネルギーの伝達を制御するために前記第1のスイッチのスイッチングを制御するよう結合される、請求項1に記載の二次コントローラとを含む、電力変換器。

【発明の詳細な説明】

【技術分野】

【0001】

背景情報

開示の分野

10

20

30

40

50

本発明は一般に、電力変換器の制御に関する。より具体的には、本発明の例はスイッチモード電力変換器の制御に関する。

【背景技術】

【0002】

背景

スイッチモード電力変換器は、たとえばモバイル電子デバイスに一般的に用いられる充電器といった、動作のために調整された直流(d c)源を必要とする家庭用または産業用の器具に広く用いられている。オフラインのa c - d c変換器は、低周波数(たとえば、50 H zまたは60 H z)の高電圧a c(交流)入力電圧を必要なレベルのd c出力電圧に変換する。さまざまなタイプのスイッチモード電力変換器が、それらの良好に調節された出力、高効率、小さいサイズ、ならびに安全および保護機構により、一般的になっている。スイッチモード電力変換器の一般的なトポロジは特に、共振タイプを含む、フライバック、フォワード、ブースト、バック、ハーフブリッジ、およびフルブリッジを含む。

10

【発明の概要】

【課題を解決するための手段】

【0003】

同期スイッチモード電力変換器のようないくつかのスイッチモード電力変換器は、電力変換器の一次側上に第1のスイッチを含み得、また電力変換器の二次側上に同期整流回路のスイッチのような第2のスイッチを含み得る。第1のスイッチは、電力変換器の入力と出力との間でエネルギー伝達を制御するよう、オン状態(すなわち閉スイッチ)とオフ状態(すなわち開スイッチ)との間でスイッチングされ得る。第2のスイッチは、第1のスイッチがオフ状態にスイッチングされる場合に、エネルギーが電力変換器の出力に伝達される効率を増加するよう使用され得る。動作において、第2のスイッチは、両方のスイッチが同時にオン状態にならないように第1のスイッチと協働してオン状態とオフ状態との間でスイッチングされる。これにより、電力変換器の効率の低減につながり得る、電力変換器が出力にてエネルギーを短絡回路に提供しようとする状態が防止される。

20

【0004】

同期スイッチモード電力変換器は、電力変換器の出力での負荷条件に依存して、連続的な導電モードおよび非連続的な導電モードの両方で動作し得る。電力変換器が両方の動作モードで効率的に動作することが望ましくあり得る。したがって、電力変換器の二次側は、第2のスイッチの制御を電力変換器の一次側と協調させて、連続的な導電モードおよび非連続的な導電モードの両方において第1のスイッチおよび第2のスイッチが確実に同時にオン状態にならないようにし得る。

30

【0005】

本発明の非限定的かつ非網羅的な実施例は、添付の図面を参照して記載される。図面において、参照番号は、別途特定されない限り、さまざまな図を通じて同様の部分を指す。

【図面の簡単な説明】

【0006】

【図1】本発明の教示に従った、同期フライバックスイッチモード電力変換器の二次コントローラから信号を受け取るよう結合される一次コントローラを含む同期フライバックスイッチモード電力変換器の一例の概略図を示す図である。

40

【図2】本発明の教示に従った、同期フライバックスイッチモード電力変換器の二次コントローラに含まれ得る例示的な制御回路の概略的なブロック図を示す図である。

【図3A】本発明の教示に従った、非連続的な導電モードで動作する二次コントローラに関連付けられる信号を示す例示的なタイミング図を示す図である。

【図3B】本発明の教示に従った、連続的な導電モードで動作する二次コントローラに関連付けられる信号を示す例示的なタイミング図を示す図である。

【図4】本発明の教示に従った、同期フライバックスイッチモード電力変換器の動作の例示的なプロセスを示すフローチャートである。

【0007】

50

対応する参照符号は、図面のいくつかの図を通じて、対応する構成要素を示す。当業者であれば、図における要素が単純さおよび明瞭さのために示されており、必ずしも尺度決めされているわけではないということを理解するであろう。たとえば、図中の要素のうちいくつかの寸法は、本発明のさまざまな実施例の理解の向上を支援するように、他の要素に対して強調されている場合がある。さらに、商業的に実現可能な実施例において有用または必要である一般的であるがよく理解されている要素は、本発明のこれらのさまざまな実施例の表示をあまり妨げないように、しばしば示されない。

【発明を実施するための形態】

【0008】

詳細な説明

以下の記載において、本発明の完全な理解を提供するように、多くの特定の詳細を記載する。しかしながら、当業者であれば、これらの特定の詳細は本発明を実施するのに用いられることが必要でないということが明らかであろう。他の例では、周知の材料または方法は、本発明を不明瞭にすることを回避するように詳細に記載されない。

【0009】

この明細書を通じて、「一実施例」、「実施例」、「一例」または「例」への参照は、実施例または例に関連して記載される特定の特徵、構造または特性が本発明の少なくとも1つの実施例に含まれることを意味する。したがって、「一実施例において」、「実施例において」、「一例」または「例」といった文言がこの明細書全体を通じてさまざまなところに現れるが、これらはすべて必ずしも同じ実施例または例を指しているわけではない。さらに、当該特定の特徵、構造または特性は、1つ以上の実施例または例における任意の好適な組合せおよび/または部分的な組合せで組み合わされてもよい。特定の特徵、構造または特性は、記載される機能性を提供する集積回路、電子回路、組合せ論理回路網、または他の好適な構成要素に含まれてもよい。さらに、ここで提供される図は、当業者への説明目的のためであって、これらの図面は必ずしも尺度決めされていないということが理解される。

【0010】

図1は、本発明の教示に従った、同期フライバックスイッチモード電力変換器100の二次コントローラ140から信号を受け取るよう結合される一次コントローラ180を含む同期フライバックスイッチモード電力変換器100の一例の概略図を示す。図1において示される例では、同期フライバックスイッチモード電力変換器100は、二次制御を利用する。フライバック変換器のための二次制御は、過渡負荷に対するより厳格な出力調整およびより速い応答の利点を有するということが理解される。

【0011】

同期フライバックスイッチモード電力変換器100は、調整されていない入力電圧 $V_{IN}$ 102を入力にて受け取り、電氣的負荷128への出力電圧 $V_O$ 120および出力電流 $I_O$ 118を作り出す。入力電圧 $V_{IN}$ 102は、整流およびフィルタリングされたac電圧であってもよい。示されるように、入力電圧 $V_{IN}$ 102は、入力帰還部とも称される一次接地104を基準とし、出力電圧 $V_{OUT}$ 120は、出力帰還部とも称される二次接地122を基準とする。他の例では、同期フライバックスイッチモード電力変換器100は、1つより多い出力を有してもよい。

【0012】

さらに図1に示されるように、同期フライバックスイッチモード電力変換器100は、出力電圧 $V_O$ 120を所望の電圧レベルに調整するよう電力変換器100の回路を制御するために一次コントローラ180および二次コントローラ140を含む。一例では、同期フライバックスイッチモード電力変換器100は、スタートアップ期間の後、所望の電圧レベルに出力電圧 $V_O$ 120を調整し得る。スタートアップ期間は、同期フライバックスイッチモード電力変換器100に入力電圧 $V_{IN}$ 102が導入されたときから一次コントローラ180および二次コントローラ140が出力電圧 $V_O$ 120を調整するよう動作を開始するまでの期間であってもよい。この例示的な同期フライバックスイッチモード電力

10

20

30

40

50

変換器 100 において、出力電圧  $V_o$  120 におけるリップルを平滑化するように出力キャパシタ C1 116 がこの出力に結合される。

【0013】

一次巻線 110 および二次巻線 112 を有する結合されたインダクタとして示されるエネルギー伝達要素 T1 124 がさらに図 1 に含まれる。エネルギー伝達要素 T1 124 は、一次巻線 110 から二次巻線 112 にエネルギーを伝達するように結合される。さらに、エネルギー伝達要素 T1 124 は、同期フライバックスイッチモード電力変換器 100 の一次側上の回路と、同期フライバックスイッチモード電力変換器 100 の二次側上の回路との間にガバナック絶縁を提供する。換言すると、同期フライバックスイッチモード電力変換器 100 の一次側と二次側との間に適用される dc 電圧によって作り出される電流は実質的に 0 である。

10

【0014】

一次巻線 110 に電氣的に結合される回路は、同期フライバックスイッチモード電力変換器 100 の一次側と称され得る。同様に、二次巻線 112 に電氣的に結合される回路は、同期フライバックスイッチモード電力変換器 100 の二次側と称され得る。示される例では、スイッチング装置 S1 150 は一次巻線 110 にてエネルギー伝達要素 124 に結合されるとともに、入力帰還部 104 にて同期フライバックスイッチモード電力変換器 100 の入力に結合される。スイッチング装置 S1 150 は、金属酸化物電界効果トランジスタ (MOSFET) またはバイポーラ接合トランジスタ (BJT) などであってもよい。示されるように、一次コントローラ 180 は、スイッチング装置 S1 150 のよ

20

【0015】

クランプ回路 106 は、エネルギー伝達要素 T1 124 の一次巻線 110 の両端に結合されるとともに、同期フライバックスイッチモード電力変換器 100 の入力に結合される。クランプ回路 106 は、スイッチング装置 S1 150 に亘る一次巻線 110 からの漏れインダクタンスによる如何なるターンオフ時のスパイクもクランプするよう動作する。

30

【0016】

一次コントローラ 180 および二次コントローラ 140 は、集積回路に含まれてもよい。一例では、一次コントローラ 180 は第 1 の集積回路ダイに含まれており、二次コントローラ 140 は第 2 の集積回路ダイに含まれる。第 1 の集積回路ダイおよび第 2 の集積回路ダイは両方とも集積回路パッケージに配置される。一例では、スイッチング装置 S1 150 は、一次コントローラ 180 および二次コントローラ 140 も含む集積回路パッケージにおけるモノリシックまたはハイブリッド構造に含まれてもよい。一例では、スイッチング装置 S1 150 は一次コントローラ 180 も含む第 1 の集積回路ダイ上に配置されており、二次コントローラ 140 は第 2 の集積回路ダイに含まれる。別の例では、スイッチング装置 S1 150 は、第 1 の集積回路ダイ上に配置されており、一次コントローラ 180 は第 2 の集積回路ダイに含まれており、二次コントローラ 140 は第 3 の集積回路ダイに含まれる。一次コントローラ 180 を含むダイは、二次コントローラ 140 を含むダイからガバナック絶縁される。したがって、一次コントローラ 180 は、二次コントローラ 140 からガバナック絶縁される。

40

【0017】

一次コントローラ 180 および二次コントローラ 140 は互いにガバナック絶縁されるが、一次コントローラ 180 および二次コントローラは互いに通信し得る。具体的には

50



168は、クランプされた順電圧 $V_{CF}166$ の正の振幅を制限することにより、順電圧 $V_F167$ のクランプされたバージョンを示すクランプされた順電圧 $V_{CF}166$ を生成する。より具体的には、二次巻線感知回路168は、順電圧 $V_F167$ を感知するとともに、クランプされた順電圧 $V_{CF}166$ の正の振幅を約4.3Vに制限することによりクランプされた順電圧 $V_{CF}166$ を作り出すよう、二次巻線112に結合される高電圧nチャンネルMOSFETを含む。なお、他の例では、二次巻線感知回路168は、二次巻線感知回路168の出力にて生成される信号の正の振幅を必ずしも制限しなくてもよい。二次巻線感知回路168は、同期フライバックスイッチモード電力変換器100のスタートアップの間に二次コントローラ140に電力が供給された後で同期フライバックスイッチモード電力変換器100が通常動作に入ると、イネーブルにされる。一例では、二次巻線感知回路168は二次コントローラ140と同じ集積回路ダイに配置されてもよい。別の例では、二次巻線感知回路168は、二次コントローラ140を含む集積回路ダイの外側に配置されてもよく、クランプされた順電圧 $V_{CF}166$ を二次コントローラ140の巻線感知端子に提供するように結合されてもよい。

10

#### 【0023】

示される例では、二次コントローラ140は、同期フライバックスイッチモード電力変換器100の出力量 $U_{O}156$ を示すフィードバック信号 $U_{FB}154$ にตอบสนองして駆動信号 $U_{PD}146$ を生成する駆動回路144を含む。出力量 $U_{O}156$ は出力電圧 $V_{O}120$ および/または出力電流 $I_{O}118$ を含んでもよい。一例では、感知回路152は、出力量 $U_{O}156$ を感知するとともに、出力量156にตอบสนองしてフィードバック信号 $U_{FB}154$ を生成するよう結合される。示される例では、二次コントローラ140は、二次コントローラ140のフィードバック端子にてフィードバック信号 $U_{FB}154$ を受け取るよう、感知回路152に結合される。一例では、感知回路152は、出力電圧 $V_{O}120$ を示すスケールダウンされた電圧としてフィードバック信号 $U_{FB}154$ を生成するよう同期フライバックスイッチモード電力変換器100の出力に結合される抵抗分割器を含む。一例では、感知回路152は二次コントローラ140と同じ集積回路ダイに配置される。

20

#### 【0024】

例示的な二次コントローラ140において、駆動信号 $U_{PD}146$ は、スイッチング装置S1150についてイネーブルにされるスイッチング期間またはディセーブルにされるスイッチング期間を示し得る。換言すると、駆動信号 $U_{PD}146$ は、二次コントローラ140に含まれる発振器170によって生成されるクロック信号 $U_{CLK}172$ の連続するパルス同士の間々の時間期間によって規定されるスイッチング期間において、一次コントローラ180がスイッチング装置S1150をイネーブルにする(ONにする)またはディセーブルにする(ONにしない)べきかどうかを示し得る。たとえば、駆動信号 $U_{PD}146$ は、出力電圧 $V_{O}120$ が所望の電圧レベルを下回るよう低下すると、一次コントローラ180がスイッチング期間においてスイッチング装置S1150をイネーブルにしてより多くのエネルギーを電力変換器100の二次側に提供するべきであるということを示し得る。同様に、駆動信号 $U_{PD}146$ は、出力電圧 $V_{O}120$ が実質的に所望の電圧レベル以下であると、一次コントローラ180がスイッチング期間においてスイッチング装置S1150をディセーブルにして電力変換器100の二次側にエネルギーをあまり提供しないようにするべきであることを示し得る。

30

40

#### 【0025】

示される例では、駆動回路144は発振器170からクロック信号 $U_{CLK}172$ を受け取るよう結合される。一例では、駆動回路144はフィードバック信号 $U_{FB}154$ を出力しきい値 $V_{TH}$ と比較し、クロック信号 $U_{CLK}172$ が論理ハイである場合にフィードバック信号 $U_{FB}154$ が出力しきい値 $V_{TH}$ よりも小さいならば、駆動信号 $U_{PD}146$ を論理ハイ信号として生成する。駆動回路144は、フィードバック信号 $U_{FB}154$ が出力しきい値 $V_{TH}$ よりも大きくおよび/またはクロック信号 $U_{CLK}172$ が論理ローであれば、論理ロー信号として駆動信号 $U_{PD}146$ を生成する。示される例では

50

、駆動回路144は、クロック信号 $U_{CLK}$ 172と、出力しきい値 $V_{TH}$ に対するフィードバック信号 $U_{FB}$ 154の比較とにตอบสนองして、出力駆動信号 $U_{PD}$ 146に結合されるANDゲートを含む。さらに示されるように、ANDゲートは2入力のANDゲートである。駆動回路144は、さらにANDゲートの第1の入力と比較器との間に結合されるインバータを含む。一例では、比較器は、出力しきい値 $V_{TH}$ と実質的に等しいしきい値電圧を有する電圧比較器であり、フィードバック信号 $U_{FB}$ 154を受け取るようさらに結合される。ANDゲートの第2の入力は発振器170からのクロック信号 $U_{CLK}$ 172を受け取るよう結合される。

#### 【0026】

図1においてさらに示されるように、二次コントローラ140はさらに、遅延回路162および制御回路160を含む。遅延回路162は、駆動信号 $U_{PD}$ 146を受け取るよう駆動回路144に結合され、駆動信号 $U_{PD}$ 146を遅延させて遅延駆動信号 $U_{DPD}$ 148を生成するよう結合される。示される例では、制御回路160は、駆動信号 $U_{PD}$ 146と、遅延駆動信号 $U_{DPD}$ 148と、クランプされた順電圧 $V_{CF}$ 166とを受け取るよう結合される。示されるように、制御回路160は、駆動信号 $U_{PD}$ 146およびクランプされた順電圧 $V_{CF}$ 166にตอบสนองして制御信号 $U_{CR}$ 164を生成するよう結合される。制御回路160はさらに、遅延駆動信号 $U_{DPD}$ 148にตอบสนองして制御信号 $U_{CR}$ 164を生成するよう結合されてもよい。

#### 【0027】

制御信号 $U_{CR}$ 164は同期整流回路126を制御する。図1の例に示されるように、同期整流回路126は、同期フライバックスイッチモード電力変換器100の二次側の二次巻線112に結合される。示される例では、同期整流回路126は、二次コントローラ140からの制御信号 $U_{CR}$ 164によって制御されるスイッチ $S2$ 127を含む。一例では、スイッチ $S2$ 127はそのゲートが制御信号 $U_{CR}$ 164に結合されるMOSFETである。スイッチ $S2$ 127は、制御信号 $U_{CR}$ 164に依存して、オン状態（すなわちスイッチ $S2$ 127がオンされる）またはオフ状態（すなわちスイッチ $S2$ 127がオフされる）で動作し得る。二次コントローラ140からの制御信号 $U_{CR}$ 164によってオンされた場合、同期整流回路126のスイッチ $S2$ 127は電流を伝達し得る。示される例では、同期整流回路126はダイオードを含む。当該ダイオードは、別個の構成要素であってもよく、または、示されるスイッチ（たとえばMOSFETのボディダイオード）と同じ構成要素に含まれてもよい。

#### 【0028】

制御回路160は、スイッチング装置 $S1$ 150およびスイッチ $S2$ 127が同時にオン状態にならないように同期整流回路126のスイッチ $S2$ 127を制御する。もし同時にオン状態になると、同期フライバックスイッチモード電力変換器100の効率が大きく低減され得る。制御回路160は、クランプされた順電圧 $V_{CF}$ 166を監視しており、クランプされた順電圧 $V_{CF}$ 166がスイッチング装置 $S1$ 150がオフ状態に遷移したことを示す負の電圧になると、オンスイッチ $S2$ 127をオンにし得る。一例では、制御回路160は、クランプされた順電圧 $V_{CF}$ 166を負のしきい電圧と比較して、クランプされた順電圧 $V_{CF}$ 166が負の電圧になったかどうかを決定し得る。

#### 【0029】

スイッチ $S2$ 127がオン状態にある際、エネルギー伝達要素 $T1$ 124に保存されるエネルギーは、二次電流（図示せず）が出力キャパシタ $C1$ 116を帯電する状態で、同期フライバックスイッチモード電力変換器100の出力に伝達される。二次電流は、出力電圧 $V_O$ 120が増加すると（すなわち、より多くのエネルギーが同期フライバックスイッチモード電力変換器100の出力に伝達されると）、減少し得る。スイッチ $S2$ 127における電流が実質的に二次電流と同じであるので、スイッチ $S2$ 127の両端の電圧降下はさらに減少し得る。これにより、順電圧 $V_F$ 167（およびクランプされた順電圧 $V_{CF}$ 166）が、出力帰還部122に対して負の値が小さくなる。一例では実質的に0Vである。一例では、制御回路160は、クランプされた順電圧 $V_{CF}$ 166が

10

20

30

40

50

実質的に0Vになると、スイッチS2 127をオフにし得る。

【0030】

同期フライバックスイッチモード電力変換器100が非連続的な導電モードで動作する場合、二次電流は、次のイネーブルにされるスイッチング期間のスタートの前(すなわち駆動信号 $U_{PD}146$ が論理ハイ信号になる前)に実質的に0まで降下する。これにより、順電圧 $V_F167$ (およびクランプされた順電圧 $V_{CF}166$ )は負の電圧から実質的に0Vまで増加する。したがって、非連続的な導電モードでは、制御回路160は、いつスイッチS2 127をオフにするべきかを決定するために、クランプされた順電圧 $V_{CF}166$ を用い得る。具体的には、制御回路160は、クランプされた順電圧 $V_{CF}166$ を同じ負のしきい電圧と比較し、クランプされた順電圧 $V_{CF}166$ が実質的に負のしきい電圧以上であれば、スイッチS2 127をオフにし得る。

10

【0031】

同期フライバックスイッチモード電力変換器100が連続的な導電モードで動作する際、二次電流は、駆動信号 $U_{PD}146$ が、一次コントローラ180がスイッチング装置S1 150をイネーブルにするべきであることを示す前に(すなわち次のイネーブルにされるスイッチング期間のスタートの前に)、実質的に0まで降下しない。したがって、順電圧 $V_F167$ (およびクランプされた順電圧 $V_{CF}166$ )は、スイッチング装置S1 150がオン状態に遷移するまで負のしきい電圧よりも低いままであり得る。結果として、制御回路160は、スイッチング装置S1 150がオン状態に遷移する前にスイッチS2 127をオフにするよう、クランプされた順電圧 $V_{CF}166$ を用い得ない。示される例では、連続的な導電モードにおいて、制御回路160は、駆動信号 $U_{PD}146$ が、一次コントローラ180がスイッチング装置S1 150をイネーブルにするべきであると示す論理ハイ信号になると、スイッチS2 127をオフにする。なお、駆動信号 $U_{PD}146$ は、一次コントローラ180がスイッチング装置S1 150をイネーブルにするべきであることを示すが、一次コントローラ180は、二次コントローラ140から駆動信号 $U_{PD}146$ の遅延されたバージョン(すなわち遅延駆動信号 $U_{DPD}148$ )を受け取る前にスイッチング装置S1 150をオン状態に遷移しない。この態様で制御回路160は、動作の非連続的な導電モードおよび連続的な導電モードの両方において、スイッチング装置S1 150およびスイッチS2 127が同時にオン状態にならないことを確実にする。

20

30

【0032】

示される例では、二次コントローラ140は同期フライバックスイッチモード電力変換器100の二次側から電力を受け取るよう結合され得る。たとえば、二次コントローラ140は、二次巻線112に結合され得るバイパスキャパシタ(図示せず)に結合され得る。バイパスキャパシタは、ある電圧レベルまで帯電されると、制御回路160のような二次コントローラ140の回路を動作するよう電力を提供し得る。スタートアップの際、たとえば、入力電圧 $V_{IN}102$ が同期フライバックスイッチモード電力変換器100の入力に導入される際、一次コントローラ180は、スイッチング装置S1 150の状態をオン状態とオフ状態との間での切り替えを開始し、したがって、同期フライバックスイッチモード電力変換器100の二次側へのエネルギー伝達を開始する。しかしながら、同期フライバックスイッチモード電力変換器100の二次側はまだ、十分な電力を二次コントローラ140に提供し得ない。なぜならば、たとえば、バイパスキャパシタは帯電され得ないか、または二次コントローラ140を動作するのに必要な最小のレベルよりも低い電圧レベルまでしか帯電され得ないからである。したがって、二次コントローラ140は、遅延駆動信号 $U_{DPD}148$ を一次コントローラ180に送り得ず、同期整流回路126の制御スイッチS2 127への制御信号 $U_{CR}164$ を作り出し得ない。したがって、スタートアップの際、スイッチS2 127はオフ状態のままであり得、一次コントローラ180は、二次コントローラ140から遅延駆動信号 $U_{DPD}148$ を受け取ることなくスイッチング装置S1 150の状態を制御し得る。なおスイッチS2 127はスタートアップの間、オフ状態のままであり得るが、同期整流回路126のダイオードは、二

40

50

次巻線電圧  $V_{S113}$  が負の電圧になると電流を伝達し得、したがって同期フライバックスイッチモード電力変換器 100 の一次側から二次側へのエネルギー伝達を可能にする。この態様で、同期フライバックスイッチモード電力変換器 100 の二次側におけるエネルギーは、スタートアップの間に増加し得、二次コントローラ 140 を動作するのに十分であるレベルに到達する。

#### 【0033】

図2は、本発明の教示に従った、同期フライバックスイッチモード電力変換器の二次コントローラにおいて制御回路 160 として用いられ得る例示的な制御回路 260 を概略的に示すブロック図を示す。示される例では、制御回路 260 は、比較器 250、論理回路網 270、およびワンショット回路 258 を含む。比較器 250 は、同期フライバックスイッチモード電力変換器の二次巻線電圧（たとえば二次巻線電圧  $V_{S113}$ ）を示す入力信号（たとえば、クランプされた順電圧  $V_{CF166}$ ）に対する二次しきい値  $V_{TN}$  の比較にตอบสนองして、比較信号  $U_{CMP252}$  を生成するよう結合される。一例では、二次しきい値  $V_{TN}$  は  $-30\text{mV}$  である。図2は電圧比較器として実現される比較器 250 を示すが、代替的な例は、電流比較器などを含んでもよい。

10

#### 【0034】

図2では、制御回路 260 はさらに、比較器 250 に比較信号  $U_{CMP252}$  を受け取るよう結合される論理回路網 270 を含む。また、論理回路網 270 は、駆動回路 144 から駆動信号  $U_{PD146}$  を受け取るよう結合される。論理回路網 270 は、比較信号  $U_{CMP252}$  および駆動信号  $U_{PD146}$  にตอบสนองして同期整流回路 126 の制御スイッチ  $S2127$  への制御信号  $U_{CR164}$  を生成するよう結合され得る。

20

#### 【0035】

示される例では、論理回路網 270 はラッチ 256 を含み、ラッチ 256 は駆動信号  $U_{PD146}$  にตอบสนองしてセットされるよう結合される。論理回路網 270 は、駆動信号  $U_{PD146}$  を遅延することにより遅延駆動信号  $U_{DPD148}$  を生成するよう結合される遅延回路 162 から遅延駆動信号  $U_{DPD148}$  を受け取るよう結合され得る。示される例では、ラッチ 256 は、遅延駆動信号  $U_{DPD148}$  によってセットされるよう結合される。ラッチ 256 がセットされると、ラッチの出力は、論理ハイになるイネーブル信号  $U_{SREN254}$  を生成する。示される例において、論理回路網は、駆動信号  $U_{PD146}$  と、比較信号  $U_{CMP252}$  と、ラッチ出力からのイネーブル信号  $U_{SREN254}$  とに  
 30 ตอบสนองして、制御信号  $U_{CR164}$  を (ANDゲート出力にて) 生成するよう結合される ANDゲートを含む。示される例では、ANDゲートは3入力のANDゲートである。また、論理回路網 270 は、示される例では、比較器 250 とANDゲートへの第1の入力との間に結合されるインバータを含む。さらにインバータが、駆動信号  $U_{PD146}$  を反転させるようANDゲートの第2の入力に結合される。示される例では、ANDゲートの第3の入力は、イネーブル信号  $U_{SREN254}$  を受け取る。

30

#### 【0036】

図2を参照して、ワンショット回路 258 は、制御信号  $U_{CR164}$  を受け取るとともに、制御信号  $U_{CR164}$  にตอบสนองしてラッチ 256 をリセットするよう結合される。一例では、ワンショット回路 258 は、制御信号  $U_{CR164}$  の立下りエッジにตอบสนองしてラッチ 256 をリセットするよう結合される。一例では、制御信号  $U_{CR164}$  にตอบสนองして、ワンショット回路 258 は、ラッチ 256 をリセットするよう、ワンショット信号  $U_{ONE257}$  としてパルスを生成する。ラッチ 256 がリセットされた後、ラッチ出力上のイネーブル信号  $U_{SREN254}$  は論理ローになる。

40

#### 【0037】

図3Aは、本発明の教示に従った、非連続的な導電モードで動作する二次コントローラ（たとえば二次コントローラ 140）に関連付けられる信号を示す例示的なタイミング図を示す。クロック信号  $U_{CLK310}$  は、クロック信号  $U_{CLK172}$  の1つの可能な代表例である。フィードバック信号  $U_{FB320}$  は、フィードバック信号  $U_{FB154}$  の1つの可能な代表例である。駆動信号  $U_{PD346}$  および遅延駆動信号  $U_{DPD348}$  はそ

50

れぞれ、駆動信号  $U_{PD146}$  の1つの可能な代表例および遅延駆動信号  $U_{DPD148}$  の1つの可能な代表例である。クロック信号  $U_{CLK310}$  は、その期間がスイッチング期間  $T_{SW}$  (時間  $t_1$  と時間  $t_5$  の間) を示す周期的なパルスである。しかしながら、同期フライバックスイッチモード電力変換器 100 の実際のスイッチング期間は、スイッチング期間  $T_{SW}$  とは異なり得る。なぜならば駆動信号  $U_{PD346}$  は、同期フライバックスイッチモード電力変換器 100 がイネーブルにされるスイッチング期間またはディセーブルにされるスイッチング期間を有するかどうかを決定するからである。イネーブルにされるスイッチング期間は、スイッチ駆動信号 182 に応答してスイッチング装置  $S1150$  がオフ状態からオン状態に切り替わる(すなわちスイッチング装置  $S1150$  がイネーブルにされる)スイッチング期間を示す。他方、ディセーブルにされるスイッチング期間は、スイッチング装置  $S1150$  がオフ状態からオン状態に切り替えられず(すなわちスイッチング装置  $S1150$  がディセーブルにされる)、したがってオフ状態のままであるスイッチング期間を示す。具体的には、駆動信号  $U_{PD346}$  がスイッチング期間  $T_{SW}$  において論理ハイである場合、スイッチング装置  $S1150$  はそのスイッチング期間  $T_{SW}$  においてイネーブルにされる。しかしながら、駆動信号  $U_{PD346}$  がスイッチング期間  $T_{SW}$  において論理ローである場合、スイッチング装置  $S1150$  はそのスイッチング期間  $T_{SW}$  においてディセーブルにされる。イネーブルにされるスイッチング期間において、一次コントローラ 180 は、遅延駆動信号  $U_{DPD348}$  におけるパルスを受け取ると、スイッチ駆動信号 182 を論理ハイにセットし、結果として、スイッチング装置  $S1150$  はオフ状態からオン状態に遷移し得る。ディセーブルにされるスイッチング期間において、一次コントローラ 180 は、遅延駆動信号  $U_{DPD348}$  のパルスを受け取らず、かつスイッチ駆動信号 182 を論理ローに保持する。これにより、スイッチング装置  $S1150$  をオフ状態に維持する。

#### 【0038】

時間  $t_1$  と時間  $t_5$  との間の時間期間は、図 3 A において、イネーブルにされるスイッチング期間を示す。時間  $t_5$  と時間  $t_6$  との間の時間期間は、ディセーブルにされるスイッチング期間を示す。時間  $t_6$  の後の時間期間は、別のイネーブルスイッチング期間の開始を示す。

#### 【0039】

時間  $t_1$  と時間  $t_2$  との間において、クロック信号  $U_{CLK310}$  は短い期間の間、論理ローから論理ハイになる一方、フィードバック信号  $U_{FB320}$  は出力しきい値  $V_{TH}$  を下回っている。これは出力電圧  $V_{O120}$  が所望の出力電圧レベルを下回ることを示しているので、駆動回路 144 は、クロック信号  $U_{CLK310}$  のパルスのパルス幅に実質的に等しい継続時間の間、駆動信号  $U_{PD346}$  を論理ハイに切り替え得る。時間  $t_1$  と時間  $t_2$  との間の時間期間を参照して、比較器 250 は、クランプされた順電圧  $V_{CF166}$  の1つの可能な代表例であるクランプされた順電圧  $V_{CF366}$  が二次しきい値  $V_{TN}$  よりも大きい際に、比較信号  $U_{CMP252}$  の1つの可能な代表例である比較信号  $U_{CMP352}$  を論理ハイとして出力する。図 2 におけるインバータは比較信号  $U_{CMP352}$  の論理ハイを論理ローに反転するので、同期整流回路 126 のスイッチ  $S2127$  がオフ状態であると、ANDゲートは制御信号  $U_{CR164}$  の1つの可能な代表例である制御信号  $U_{CR364}$  を論理ローとして出力する。イネーブル信号  $U_{SREN254}$  の1つの可能な代表例であるイネーブル信号  $U_{SREN354}$  も論理ローである。

#### 【0040】

時間  $t_2$  では、遅延駆動信号  $U_{DPD348}$  は、遅延回路 162 が駆動信号  $U_{PD346}$  に応答して駆動信号  $U_{DPD348}$  を生成すると論理ハイになる。一例では、遅延駆動信号  $U_{DPD348}$  は、対応する駆動信号  $U_{PD346}$  よりも  $100\text{ ns}$  だけ遅れる。イネーブル信号  $U_{SREN354}$  は、遅延駆動信号  $U_{DPD348}$  がラッチ 256 をセットすると、論理ハイになる。(遅延駆動信号  $U_{DPD348}$  の論理ハイへの遷移に応答して)一次コントローラ 180 は、スイッチング装置  $S1150$  をオン状態に遷移し、一次電流  $I_{SW130}$  の1つの可能な代表例である一次電流  $I_{SW330}$  が 0 から電流限界  $I$

10

20

30

40

50

$p_{132}$ まで増加する。時間  $t_2$  では、クランプされた順電圧  $V_{CF366}$  は、出力電圧  $V_{O120}$  と入力  $V_{IN102}$  のスケールダウンされた電圧との合計を示すよう上昇する。当該スケールダウンされた電圧は、二次巻線 112 上の巻数に対する一次巻線 110 上の巻数の比でスケールされる入力  $V_{IN102}$  上の電圧に実質的に等しくあり得る。比較信号  $U_{CMP352}$  はまだ二次しきい値  $V_{TN}$  よりも大きい。これは、制御信号  $U_{CR364}$  が論理ローであり、同期整流回路 126 のスイッチ  $S_{2127}$  はオフ状態であるということの意味する。

#### 【0041】

時間  $t_3$  では、一次電流  $I_{SW330}$  は、電流限界  $I_{p132}$  に到達し、これに応答して、一次コントローラ 180 がスイッチング装置  $S_{1150}$  をオフ状態に切り替える。二次巻線電圧  $V_{S113}$  が負の電圧になり（これによりクランプされた順電圧  $V_{CF366}$  も負の電圧になる）、同期整流回路 126 のダイオードは、負の二次巻線電圧  $V_{S113}$  で順方向にバイアスをかけられると、電流を伝導するのを開始する。クランプされた順電圧  $V_{CF366}$  が比較器 250 の二次しきい値  $V_{TN}$  を下回ると、比較器 250 は比較信号  $U_{CMP352}$  を論理ハイから論理ローに切り替える。論理回路網 270 における AND ゲートがその3つの入力上において3つの論理ハイを有するので、AND ゲートは論理ハイとして制御信号  $U_{CR364}$  を出力するとともに同期整流回路 126 のスイッチ  $S_{2127}$  は、オン状態に遷移する。

#### 【0042】

時間  $t_3$  でのクランプされた順電圧  $V_{CF366}$  の大きな低下の後、エネルギー伝達要素  $T_{1124}$  におけるエネルギーが一次巻線 110 から二次巻線 112 に伝達されると、クランプされた順電圧  $V_{CF366}$  は増加する。出力電圧  $V_{O120}$  がエネルギー伝達要素から二次巻線 112 に上昇すると、フィードバック信号  $U_{FB320}$  は出力しきい値  $V_{TH}$  よりも大きくなる。

#### 【0043】

時間  $t_4$  において、クランプされた順電圧  $V_{CF366}$  は二次しきい値  $V_{TN}$  に到達する。これにより、比較信号  $U_{CMP352}$  が論理ハイに切り替えられる。これにより、AND ゲートが制御信号  $U_{CR364}$  について論理ローを生成する。これにより、同期整流回路 126 のスイッチ  $S_{2127}$  がオフ状態に切り替えられる。制御信号  $U_{CR364}$  の立下りエッジに反応して（論理ハイから論理ローへ遷移すると）、ワンショット回路 258 は短いパルスを生成する。この短いパルスは、ラッチ 256 をリセットするとともに、ラッチ出力のイネーブル信号  $U_{SREN354}$  を論理ローにする。ワンショット回路 258 によって生成されるこの短いパルスは、図 2 におけるワンショット信号  $U_{ONE257}$  の1つの可能な代表例であるワンショット信号  $U_{ONE357}$  として図 3A に示される。同期整流回路 126 のスイッチ  $S_{2127}$  がオフにされると、クランプされた順電圧  $V_{CF366}$  は、上昇することを継続する前に、短い間二次しきい値  $V_{TN}$  を下回るよう低下する。なお、クランプされた順電圧  $V_{CF366}$  が二次しきい値  $V_{TN}$  を短い間下回るよう低下するが、ラッチ 256 がリセットされたので（かつまだセットされていないので）、イネーブル信号  $U_{SREN354}$  は論理ローのままである。これにより制御信号  $U_{CR364}$  が確実に、誤って論理ハイに遷移することがなくなる。

#### 【0044】

時間  $t_5$  では、クロック信号  $U_{CLK310}$  が論理ハイになる一方、フィードバック信号  $U_{FB320}$  が出力しきい値  $V_{TH}$  を上回るので、駆動回路 144 は、駆動信号  $U_{PD346}$  について論理ハイを生成しない。もちろん、駆動信号  $U_{PD346}$  からの論理ハイがなければ、遅延駆動信号  $U_{DPPD348}$  も論理ローのままであり、一次コントローラ 180 はスイッチング装置  $S_{1150}$  をオン状態に遷移しない。

#### 【0045】

何らかの点（図 3A では時間  $t_6$  のすぐ前）において、フィードバック信号  $U_{FB320}$  は出力しきい値  $V_{TH}$  を下回るよう低下する。これにより、（図 3A における時間  $t_6$  において）クロック信号  $U_{CLK310}$  が論理ハイに再び切り替えられると、駆動回路 1

10

20

30

40

50

44が駆動信号 $U_{PD346}$ を論理ハイに遷移させる。駆動信号 $U_{PD346}$ がイネーブルにされるスイッチング期間の開始を示している状態では、スイッチング装置 $S1150$ はスイッチ駆動信号 $182$ にตอบสนองして一次コントローラ $180$ によってオンにされることになり、エネルギーも再び、同期フライバックスイッチモード電力変換器 $100$ の出力に供給されて出力電圧 $V_{O120}$ を調整する。なお、ある時間遅延(たとえば $100ns$ )で駆動信号 $U_{PD346}$ が論理ローから論理ハイに時間 $t_6$ にて遷移した後、遅延駆動信号 $U_{DPD348}$ は時間 $t_7$ にて論理ハイになり、制御信号 $U_{CR364}$ が再び論理ハイになり得るとともに同期整流回路 $126$ のスイッチ $S2127$ をオンにし得るようにラッチ $256$ をセットする。

【0046】

図3Bは、本発明の教示に従った、連続的な導電モードで動作する二次コントローラ(たとえば二次コントローラ $140$ )に関連付けられる信号を示す例示的なタイミング図を示す。時間 $t_1$ と時間 $t_4$ との間の時間期間は、図3Bにおいて、イネーブルにされるスイッチング期間を示す。時間 $t_1$ から時間 $t_3$ までの時間期間は、図3Aおよび図3Bは同様である。

【0047】

図3Bにおいて、時間 $t_3$ では、クランプされた順電圧 $V_{CF366}$ は、スイッチング装置 $S1150$ がオフ状態に遷移した後、二次しきい値 $V_{TN}$ を下回るよう低下する。クランプされた順電圧 $V_{CF366}$ は次いで、エネルギー伝達要素 $T1124$ におけるエネルギーが同期スイッチモード電力変換器 $100$ の出力に伝達されると増加し始める。時間 $t_4$ では、クロック信号 $U_{CLK310}$ は論理ハイになる一方、クランプされた順電圧 $V_{CF366}$ はまだ二次しきい値 $V_{TN}$ に到達していない。クランプされた順電圧 $V_{CF366}$ が二次しきい値 $V_{TN}$ を上回っていないので、比較信号 $U_{CMP352}$ は論理ローのままである。

【0048】

時間 $t_4$ では、駆動信号 $U_{PD346}$ は、イネーブルにされるスイッチング期間を示す論理ハイに遷移する。このハイである駆動信号 $U_{PD346}$ にตอบสนองして、ANDゲートの第2の入力は、論理ローになり、これにより、制御信号 $U_{CR364}$ も論理ローになる。これにより、同期整流回路 $126$ のスイッチ $S2127$ がオフになる。(スイッチ $S2127$ をオフにする)制御信号 $U_{CR364}$ の立下りエッジによって、ワンショット回路 $258$ がワンショット信号 $U_{ONE357}$ 上に、ラッチ $256$ をリセットするパルスを生成する。

【0049】

時間 $t_5$ では、比較信号 $U_{CMP352}$ は論理ハイに遷移し、駆動信号 $U_{PD346}$ は論理ローである。また時間 $t_5$ では、遅延駆動信号 $U_{DPD348}$ は論理ハイに遷移し、これによりラッチ $256$ がセットされる。もちろん、同期フライバックスイッチモード電力変換器 $100$ が連続的な導電モードで動作している際には、遅延駆動信号 $U_{DPD348}$ によっても一次コントローラ $180$ がスイッチング装置 $S1150$ がオンにされ、結果として、一次電流 $I_{SW330}$ が0でない値から上昇し始める。

【0050】

以前に論じたように、電力変換器の効率は、産業において非常に重要である。効率のために、スイッチング装置 $S1150$ および同期整流回路 $126$ のスイッチ $S2127$ は一般的に、同時にオンされるべきではない。示される例では、二次コントローラ $140$ は、非連続的な導電モード(図3A)および連続的な導電モード(図3B)の両方において、スイッチ $S2127$ のスイッチングを一次コントローラ $180$ に協調させて制御するよう構成される。これにより、スイッチング装置 $S1150$ および同期整流回路 $126$ のスイッチ $S2127$ は確実に同時にオンされない。

【0051】

図4は、本発明の教示に従った、同期フライバックスイッチモード電力変換器の動作の例示的なプロセス $400$ を示すフローチャートである。プロセス $400$ は、一次スイッチ

10

20

30

40

50

(たとえばスイッチング装置 S 1 1 5 0) がイネーブルにされる(すなわちオンにされる) プロセスブロック 4 0 5 にて開始する。プロセスブロック 4 1 0 では、同期フライバックスイッチモード電力変換器のエネルギー伝達要素の二次巻線の二次巻線電圧を示す入力信号が監視される。決定ブロック 4 2 0 では、二次巻線の二次巻線電圧を示す入力信号がしきい値(たとえば負のしきい値  $V_{TN}$ ) と比較される。二次巻線の二次巻線電圧を示す入力信号が、一次スイッチがオフ状態であることを示すしきい値よりも大きければ、プロセス 4 0 0 はプロセスブロック 4 1 0 に戻る。二次巻線の二次巻線電圧を示す入力信号が、一次スイッチがオフ状態に切り替えられたことを示すしきい値未満であると、プロセス 4 3 0 において、二次巻線に結合される二次スイッチ(たとえば同期整流回路 1 2 6 のスイッチ S 2 1 2 7) はイネーブルにされる(たとえばオン状態に切り替えられる)。

10

**【 0 0 5 2 】**

プロセスブロック 4 4 0 では、二次巻線の二次巻線電圧を示す入力信号が監視される。決定ブロック 4 5 0 では、入力信号はしきい値と比較される。入力信号がしきい値よりも大きければ、プロセス 4 0 0 はプロセスブロック 4 6 0 に進む。プロセスブロック 4 6 0 では、二次スイッチはディセーブルにされる(たとえばオフ状態に切り替えられる)。これは、同期フライバックスイッチモード電力変換器が非連続的なモードにある間に続くプロセスになる。決定ブロック 4 5 0 において、二次巻線電圧を示す入力信号がしきい値よりも大きくなければ、プロセス 4 0 0 は決定ブロック 4 7 0 に進み、一次スイッチがイネーブルにされるかどうかを決定することになる。決定ブロック 4 7 0 において一次スイッチがイネーブルにされると、プロセス 4 0 0 はプロセスブロック 4 8 0 に継続する。プロセスブロック 4 8 0 では、二次スイッチがディセーブルにされる。これは、同期フライバックスイッチモード電力変換器が連続的な導電モードにある間に続くプロセスになる。したがって、二次スイッチが、複数のイベントの少なくとも 1 つにตอบสนองしてディセーブルにされる。二次スイッチをディセーブルにすることを引き起こし得る複数のイベントは、入力信号がしきい値に到達することと、駆動信号(たとえば駆動信号  $U_{PD346}$ ) が一次スイッチをイネーブルにするレベル(たとえば論理ハイ)を有することを含む。一例では、二次スイッチをディセーブルにする複数のイベントは、入力信号がしきい値に到達することと、駆動信号が一次スイッチをイネーブルにするレベルを有することを含んでもよい。

20

**【 0 0 5 3 】**

決定ブロック 4 7 0 において、一次スイッチがイネーブルにされなければ、プロセス 4 0 0 はプロセスブロック 4 4 0 に戻る。示される例において、プロセスブロック 4 6 0 または 4 8 0 で二次スイッチがオフにされた後、プロセス 4 0 0 はプロセスブロック 4 9 0 にて終了する。しかしながら、一例では、プロセス 4 0 0 は、プロセスブロック 4 9 0 で終了するのではなく、プロセスブロック 4 0 5 に戻る。

30

**【 0 0 5 4 】**

一例では、駆動信号は、クロック信号と、同期フライバックスイッチモード電力変換器の出力量(たとえば出力量  $U_{O156}$ ) を示すフィードバック信号とにตอบสนองして生成される。一例では、出力量は、同期フライバックスイッチモード電力変換器の出力電圧を含む。一次スイッチは、エネルギー伝達要素の一次巻線に結合され得るとともに、エネルギー伝達要素を介して同期フライバックスイッチモード電力変換器の入力から同期フライバックスイッチモード電力変換器の出力までのエネルギーの伝達を制御し得る。

40

**【 0 0 5 5 】**

一例では、二次スイッチ(プロセスブロック 4 3 0) をイネーブルにすることは、駆動信号にตอบสนองしてラッチを設定することを含み、二次スイッチ(プロセスブロック 4 6 0 または 4 8 0) をディセーブルにすることは、ラッチをリセットすることを含む。ラッチをセットすることは、駆動信号を遅延して、ラッチがこの遅延駆動信号にตอบสนองしてセットされるようにすることを含んでもよい。ラッチをリセットすることは、二次スイッチをイネーブルおよびディセーブルにする制御信号の立下りエッジを検出することを含んでもよく、ラッチは、制御信号の立下りエッジの検出にตอบสนองしてリセットされてもよい。

50

【0056】

要約書に記載されるものを含む、本発明の示される例の上記の記載は、網羅的になるように意図されず、または開示されるそのものの形態に限定されることを意図されない。本発明の特定の実施例および本発明に関する例は、本願明細書において例示的な目的で記載されており、本発明のより広い精神および範囲から逸脱することなく、さまざまな均等な修正例が可能である。実際は、特定の例示的な電圧、電流、周波数、電力範囲値、時間などは、説明目的で提供されるものであり、他の値も本発明の教示に従った他の実施例および例において用いられてもよいということが理解されるであろう。

【符号の説明】

【0057】

100 電力変換器、104 一次接地、106 クランプ回路、110 一次巻線、112 二次巻線、122 二次接地、124 エネルギー伝達要素、126 同期整流回路、128 電氣的負荷、140 二次コントローラ、144 駆動回路、152 感知回路、160 制御回路、162 遅延回路、168 二次巻線感知回路、170 発振器、180 一次コントローラ、C1 出力キャパシタ、S1 スwitching装置、S2 スイッチ。

【図1】

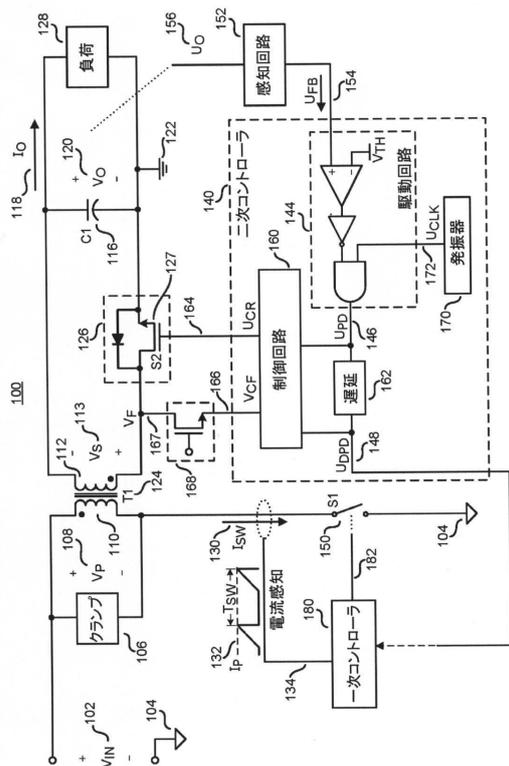


FIG. 1

【図2】

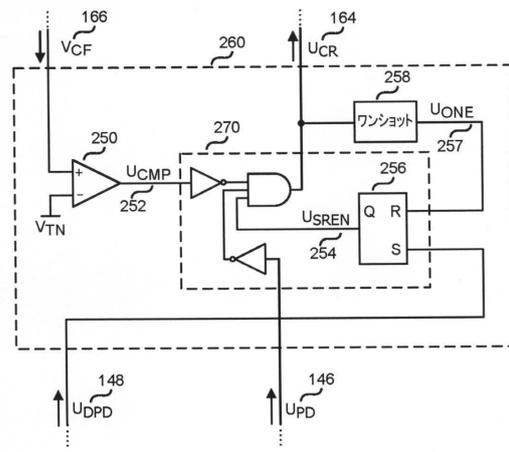


FIG. 2

【図3A】

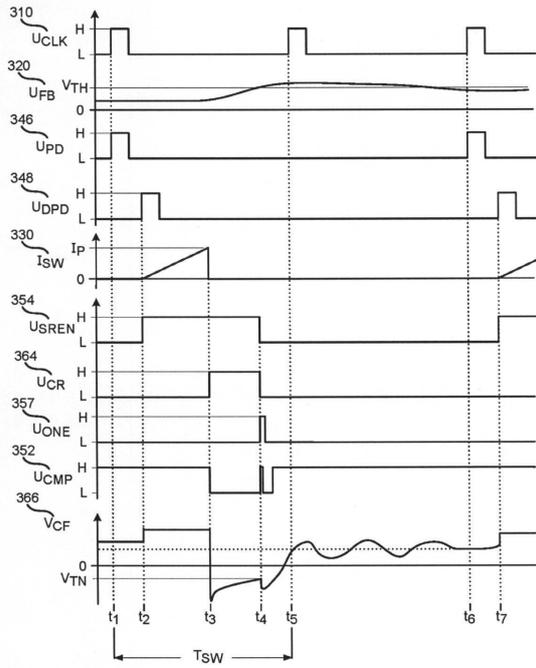


FIG. 3A

【図3B】

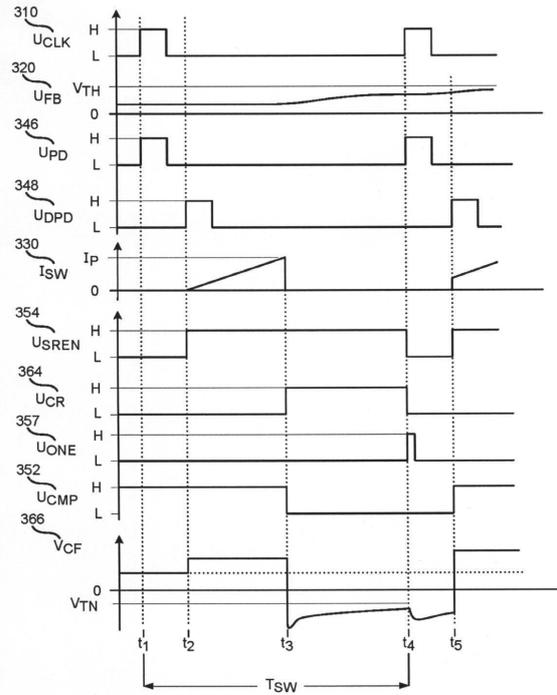


FIG. 3B

【図4】

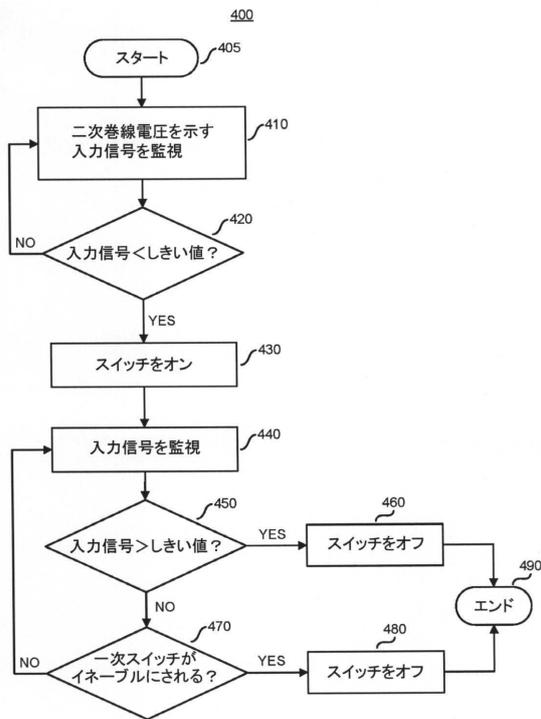


FIG. 4

---

フロントページの続き

(72)発明者 アレックス・ビィ・ジェンゲリアン

アメリカ合衆国、95070 カリフォルニア州、サラトガ、セビル・レーン、20602

審査官 高野 誠治

(56)参考文献 特開平11-008974(JP,A)

特開平09-103073(JP,A)

特開平11-341799(JP,A)

特開2009-268325(JP,A)

特開2003-244962(JP,A)

特開2001-275348(JP,A)

特開2009-071997(JP,A)

特開2002-247844(JP,A)

特開2002-010634(JP,A)

特開2009-273329(JP,A)

特開2008-178170(JP,A)

特開2009-278717(JP,A)

特開2002-142455(JP,A)

特開2007-028893(JP,A)

米国特許出願公開第2008/0002441(US,A1)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00 - 3/44