

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-165958

(P2008-165958A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C 16/06 (2006.01)</b>	G 1 1 C 17/00 6 3 4 A	5 B 1 2 5
<b>G 1 1 C 16/04 (2006.01)</b>	G 1 1 C 17/00 6 2 2 E	

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願2007-281112 (P2007-281112)  
 (22) 出願日 平成19年10月30日 (2007.10.30)  
 (31) 優先権主張番号 10-2006-0138809  
 (32) 優先日 平成18年12月29日 (2006.12.29)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111  
 株式会社ハイニックスセミコンダクター  
 HYNIX SEMICONDUCTOR  
 INC.  
 大韓民国京畿道利川市夫鉢邑牙美里山136-1  
 San 136-1, Ami-Ri, B u  
 bal-Eup, Ichon-Shi, K  
 youngki-Do, Korea  
 (74) 代理人 100075258  
 弁理士 吉田 研二  
 (74) 代理人 100096976  
 弁理士 石田 純

最終頁に続く

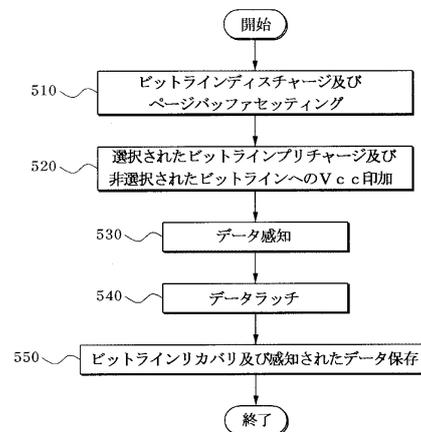
(54) 【発明の名称】 セルフブースティングを用いる NAND フラッシュメモリ素子の読み出し方法

(57) 【要約】

【課題】 NAND フラッシュメモリ素子の読み出し方法を提供する。

【解決手段】 ストリング選択トランジスタと複数個のメモリセルトランジスタとソース選択トランジスタとが直列に連結されて構成されるセルストリング構造がそれぞれ選択された第1ビットラインと非選択された第2ビットラインとに連結される NAND フラッシュメモリ素子の読み出し方法であって、第1ビットラインをプリチャージして第2ビットラインに電源電圧を印加する段階と、ストリング選択トランジスタをオンさせ、複数個のメモリセルトランジスタの選択されたメモリセルトランジスタのワードラインには読出電圧を、残りのメモリセルトランジスタのワードラインにはパス電圧を印加する段階と、第1ビットラインにプリチャージされた電荷がディスチャージされたか否かによって、選択されたメモリセルトランジスタの状態を感知する段階とを含む。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

ストリング選択トランジスタと複数個のメモリセルトランジスタとソース選択トランジスタとが直列に連結されて構成されるセルストリング構造がそれぞれ選択された第 1 ビットラインと非選択された第 2 ビットラインとに連結される NAND フラッシュメモリ素子の読み出し方法であって、

前記第 1 ビットラインをプリチャージしながら前記第 2 ビットラインに電源電圧を印加する段階と、

前記ストリング選択トランジスタをターンオンさせ、前記複数個のメモリセルトランジスタのうち、選択されたメモリセルトランジスタのワードラインには読み出し電圧を、残りのメモリセルトランジスタのワードラインにはバス電圧を印加する段階と、

前記第 1 ビットラインにプリチャージされた電荷がディスチャージされたか否かによって、前記選択されたメモリセルトランジスタの状態を感知する段階と、

を含む、NAND フラッシュメモリ素子の読み出し方法。

## 【請求項 2】

前記第 1 ビットライン及び前記第 2 ビットラインをディスチャージし、前記第 1 ビットライン及び第 2 ビットラインに連結されるページバッファをセッティングする段階をさらに含む、請求項 1 に記載の NAND フラッシュメモリ素子の読み出し方法。

## 【請求項 3】

前記第 1 ビットラインのソース選択トランジスタは第 1 セルソースラインに連結され、前記第 2 ビットラインのソース選択トランジスタは第 2 セルソースラインに連結され、前記第 1 セルソースライン及び第 2 セルソースラインが相互に分離される、請求項 1 に記載の NAND フラッシュメモリ素子の読み出し方法。

## 【請求項 4】

前記第 1 ビットラインのセルソースラインは接地し、前記第 2 ビットラインのセルソースラインには一定の大きさの電圧を印加する、請求項 3 に記載の NAND フラッシュメモリ素子の読み出し方法。

## 【請求項 5】

前記第 2 ビットラインのセルソースラインに印加される電圧の大きさは、前記第 2 ビットラインに印加される電源電圧の大きさと同一である、請求項 4 に記載の NAND フラッシュメモリ素子の読み出し方法。

## 【請求項 6】

前記第 2 ビットラインに印加される電源電圧は、前記ストリング選択トランジスタ及びソース選択トランジスタをターンオンさせるためのバイアスと同じ大きさであるか、相対的により大きい大きさを持つ、請求項 1 に記載の NAND フラッシュメモリ素子の読み出し方法。

## 【請求項 7】

前記残りのメモリセルトランジスタのワードラインに印加されるバス電圧は、5.5V 以上である、請求項 1 に記載の NAND フラッシュメモリ素子の読み出し方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、NAND フラッシュメモリ素子の読み出し方法に係り、特に、読み出し動作中に生じうる読み出しディスタurb (read disturb) を抑制できるようにセルフブースティングを用いる NAND フラッシュメモリ素子の読み出し方法に関する。

## 【背景技術】

## 【0002】

フラッシュメモリ素子は、不揮発性メモリ素子が採用される様々な電子応用分野で幅広く用いられている。一般に、フラッシュメモリ素子は、一つのトランジスタセルを使用し、これにより、高いメモリ密度、高い信頼性及び低電力消費の効果を提供する。一般に、

10

20

30

40

50

フラッシュメモリ素子は、携帯用コンピュータ、個人デジタルアシスタント（PDA）、デジタルカメラ及び携帯用電話などに利用されている。なお、プログラムコード、基本入/出力システム（BIOS）のようなシステムデータ、及びその他のファームウェアもフラッシュメモリ素子内に保存されることができる。フラッシュメモリ素子の中でもNANDフラッシュメモリ素子は、比較的低い費用でも高いメモリ密度が得られる点から近年その使用範囲が益々広がりつつある。

#### 【0003】

図1は、一般のNANDフラッシュメモリ素子のセルストリング構造を示す図であり、図2は、NANDフラッシュメモリ素子の消去された状態及びプログラムされた状態におけるしきい電圧分布を示す図である。

10

#### 【0004】

まず、図1に示すように、一つのストリング（string）100は、ストリング選択トランジスタ110、ソース選択トランジスタ120及び複数個のメモリセルトランジスタ131、132、133からなる。メモリセルトランジスタ131、132、133は、共通ドレイン/ソース領域に直列連結される。ビットラインBLとメモリセルトランジスタ131、132、133間にはストリング選択トランジスタ110が配置される。セルソースラインCSLとメモリセルトランジスタ131、132、133間にはソース選択トランジスタ120が配置される。ストリング選択トランジスタ110のワードラインはドレイン選択ラインDSLに連結される。ソース選択トランジスタ120のワードラインはソース選択ラインSSLに連結される。ストリング選択トランジスタ110及びソ

20

#### 【0005】

メモリセルトランジスタがどの状態にあるかを判別する読み出し（read）動作は、通常、ページ（page）単位に行われる。例えば、メモリセルトランジスタ132の状態を判別するには、まず、選択されたメモリセルトランジスタ132を持つセルストリング100のビットラインBLを、例えば、1V乃至2V大きさをプリチャージ（precharge）させる。次に、ドレイン選択トランジスタ110及びソース選択トランジスタ120をターンオンさせ、選択されたセルストリングに電氣的通路が形成されるようにする。また、非選択された残りのメモリセルトランジスタ131、133のワードラインには、残りのメモリセルトランジスタ131、133の状態にかかわらずターンオンされるようにパス電圧Vpassを印加する。パス電圧Vpassを大きくするほど流れる電流の量が大きくなり、感知（sensing）する点では有利となるが、一定大きさを超

30

40

#### 【0006】

選択されたメモリセルトランジスタ132以外は、セルストリング100を構成する残りのトランジスタがいずれもターンオン状態にあるから、選択されたメモリセルトランジスタ132の状態によってセルストリング100の全体に電流が流れるか、または、流れないことになる。選択されたメモリセルトランジスタ132が消去された状態では、選択されたメモリセルトランジスタ132がターンオンされるのでセルストリング100の全体に電流が流れ、これにより、ビットラインBLに充電されていた電荷が放電してプリチ

50

ャージされた電圧が0Vと落ちる。一方、選択されたメモリセルトランジスタ132がプログラムされた状態では、選択されたメモリセルトランジスタ132がターンオフされるのでセルストリング100には電流が流れず、これにより、ビットラインBLにプリチャージされた電圧がそのまま維持される。このようにビットラインBLにプリチャージされた電圧が0Vに落ちたか否かによって、選択されたメモリセルトランジスタ132が消去された状態かプログラムされた状態かが判別できる。

【0007】

しかしながら、このような読み出し動作を行う過程で、オフされるメモリセルトランジスタが連結されるビットライン（以下、「オフビットライン」という。）と隣接したビットラインが、オンされるメモリセルトランジスタに連結されている場合、隣接したビットラインにプリチャージされた電圧が0Vに落ちる過程で、ビットラインカップリング（coupling）現象によって、オフビットラインにプリチャージされた電圧も一定大きさ分落ちてしまう。特に、近年のメモリ容量の増加につれてビットラインのピッチ（pitch）が次第に減少し、カップリング係数は80%以上となり、このため、オフビットラインにプリチャージされた電圧は20%まで落ちてしまう。そこで、最近では、このようなビットラインカップリングを抑制するためにビットラインシールドイング（bit line shielding）技術を導入している。

10

【0008】

図3は、ビットラインシールドイング技術が適用されたNANDフラッシュメモリ素子のセルストリング構造を示す図である。

20

【0009】

図3を参照すると、全体ビットラインを偶数（even）ビットラインBLEと奇数（odd）ビットラインBLOとに分け、メモリセルトランジスタは偶数ビットラインBLEと奇数ビットラインBLOに交互に配置させる。選択されたメモリセルトランジスタ332の状態を判別するには、偶数ビットラインBLEをプリチャージする一方で、奇数ビットラインBLOは接地する。接地された奇数ビットラインBLOは、シールドイングライン（shielding line）として働き、オフビットラインに影響するビットラインカップリングが抑えられる。このとき、偶数ビットラインBLE同士は十分な間隔を維持しているため、偶数ビットラインBLE同士の間のカップリングは無視しても良い程度になる。この場合にも、非選択されたメモリセルトランジスタのワードラインに印加されるパス電圧Vpassが一定大きさを超えると読み出しディスタ urb が生じる恐れがある。

30

【0010】

一方、近年、シングルレベルセル（SLC）構造の代わりに、マルチレベルセル（MLC）構造の採用が拡大されている。二つのしきい電圧分布のみ存在するシングルレベルセル構造に比べて、少なくとも四つ以上のしきい電圧分布が存在するマルチレベルセル構造では、消去された状態とプログラムされた状態とを区分する読み出し電圧Vreadとパス電圧Vpassとの間でしきい電圧分布がより密集した形態とされ、これにより、サイクリング（cycling）による特性劣化などのような様々な問題が発生している。しかしながら、上に言及したように、パス電圧Vpassを増加させると、特に奇数ビットラインBLOに連結されている非選択されたメモリセルトランジスタのワードラインとチャンネル間のバイアスも増加してしまい、読み出しディスタ urb の発生可能性がより高くなる。

40

【0011】

【特許文献1】米国特許第7,177,977号明細書

【特許文献2】米国特許第5,991,202号明細書

【特許文献3】米国特許第6,707,714号明細書

【発明の開示】

【発明が解決しようとする課題】

【0012】

50

本発明は上記の問題点を解決するためのもので、その目的は、読み出しディスタープの発生を抑制して高い信頼性を与えることができる、セルフブースティングを用いるNANDフラッシュメモリ素子の読み出し方法を提供することにある。

【課題を解決するための手段】

【0013】

上記の目的を達成するために、本発明によるNANDフラッシュメモリ素子の読み出し方法は、ストリング選択トランジスタと複数個のメモリセルトランジスタとソース選択トランジスタとが直列に連結されて構成されるセルストリング構造がそれぞれ選択された第1ビットラインと非選択された第2ビットラインとに連結されるNANDフラッシュメモリ素子の読み出し方法であって、前記第1ビットラインをプリチャージしながら前記第2ビットラインに電源電圧を印加する段階と、前記ストリング選択トランジスタをターンオンさせ、前記複数個のメモリセルトランジスタのうち、選択されたメモリセルトランジスタのワードラインには読み出し電圧を、残りのメモリセルトランジスタのワードラインにはバス電圧を印加する段階と、前記第1ビットラインにプリチャージされた電荷がディスチャージされたか否かによって、前記選択されたメモリセルトランジスタの状態を感知する段階とを含む構成とした。

10

【0014】

前記第1ビットライン及び前記第2ビットラインをディスチャージし、前記第1ビットライン及び第2ビットラインに連結されるページバッファをセッティングする段階をさらに含むことができる。

20

【0015】

前記第1ビットラインのソース選択トランジスタは第1セルソースラインに連結され、前記第2ビットラインのソース選択トランジスタは第2セルソースラインに連結され、前記第1セルソースライン及び第2セルソースラインは相互に分離されることが好ましい。

【0016】

前記第1ビットラインのセルソースラインは接地し、前記第2ビットラインのセルソースラインには一定の大きさの電圧を印加することができる。

【0017】

好ましくは、前記第2ビットラインのセルソースラインに印加される電圧の大きさは、前記第2ビットラインに印加される電源電圧の大きさと同一である。

30

【0018】

前記第2ビットラインに印加される電源電圧は、前記ストリング選択トランジスタ及びソース選択トランジスタをターンオンさせるためのバイアスと同じ大きさであるか、相対的により大きい大きさを持つことができる。

【0019】

前記残りのメモリセルトランジスタのワードラインに印加されるバス電圧は、5.5V以上であると好ましい。

【発明の効果】

【0020】

本発明に係るNANDフラッシュメモリ素子の読み出し方法によれば、非選択されたビットラインに対して一定大きさのバイアスを印加するため、読み出し動作時に非選択されたメモリセルトランジスタのゲートに連結されるワードラインに印加されるバス電圧の大きさを増加させても、当該バイアス分ゲートとチャンネル間で印加されるバイアスの大きさが減少し、その結果、読み出しディスタープ現象の発生を抑制し、素子の信頼性を向上させることが可能になる。

40

【発明を実施するための最良の形態】

【0021】

以下、添付の図面を参照しつつ、本発明の好適な実施例について詳細に説明する。ただし、本発明の実施例は様々な形態に変形実施でき、本発明の範囲が下記の実施例に限定されるわけではない。

50

## 【 0 0 2 2 】

図 4 は、本発明による N A N D フラッシュメモリ素子の読み出し方法を説明するための N A N D フラッシュメモリ素子のストリング構造を示す図である。

## 【 0 0 2 3 】

図 4 を参照すると、N A N D フラッシュメモリ素子は、データ情報を保存するための保存領域としてメモリセルアレイを持つ。メモリセルアレイは、対応するビットライン B L e , B L o にそれぞれ連結される複数本のセルストリング ( c e l l s t r i n g s ) 4 1 0 , 4 2 0 からなる。図 4 では 2 つのセルストリング 4 1 0 , 4 2 0 のみを示しているが、メモリセルアレイ内には、セルストリング 4 1 0 , 4 2 0 が複数個配置されることは当然である。それぞれのセルストリング 4 1 0 / 4 2 0 は、ビットライン B L e / B L o に連結されるストリング選択トランジスタ 4 1 1 / 4 2 1 と、セルソースライン ( C S L ; c e l l s o u r c e l i n e ) C S L e / C S L o に連結されるソース選択トランジスタ 4 1 2 / 4 2 2 と、ストリング選択トランジスタ 4 1 1 / 4 2 1 とソース選択トランジスタ 4 1 2 / 4 2 2 との間で直列に配置される複数個のメモリセルトランジスタ 4 3 0 , 4 4 0 で構成される。

10

## 【 0 0 2 4 】

ビットラインシールドリングを適用する場合、複数個のメモリセルトランジスタ 4 3 0 , 4 4 0 は交互に偶数ビットライン B L e に連結されるセルストリング 4 1 0 と奇数ビットライン B L o に連結されるセルストリング 4 2 0 に配置される。偶数ビットライン B L e 及び奇数ビットライン B L o は一つのページバッファ ( P B ) 6 0 0 に連結される。ページバッファ ( P B ) 6 0 0 は読み出し / 検証動作時に感知増幅器として働き、プログラム動作時にはプログラムされるデータによってビットラインを駆動するドライバとして働く。ページバッファ ( P B ) 6 0 0 の構造及び動作の詳細は後述される。

20

## 【 0 0 2 5 】

図 5 は、本発明による N A N D フラッシュメモリ素子の読み出し方法を示すフローチャートである。

## 【 0 0 2 6 】

図 5 を参照すると、偶数ビットライン B L e に連結されるメモリセルトランジスタ 4 3 0 のうち、特定メモリセルトランジスタ 4 3 5 の状態を感知する場合について説明すると、まず、偶数ビットライン B L e 及び奇数ビットライン B L o 内に残っている電荷を完全にディスチャージさせ、ページバッファ 6 0 0 をセッティング ( s e t t i n g ) する ( 段階 5 1 0 ) 。次に、選択されたビットライン、すなわち、感知すべきメモリセルトランジスタ 4 3 5 と連結された偶数ビットライン B L e をプリチャージさせ、同時に非選択されたビットライン、すなわち、奇数ビットライン B L o には一定大きさの電源電圧 V c c を印加する ( 段階 5 2 0 ) 。奇数ビットライン B L o に電源電圧 V c c を印加する理由は、奇数ビットライン B L o に連結されるメモリセルトランジスタ 4 4 0 のうち、ゲートにパス電圧 V p a s s が印加されるメモリセルトランジスタのチャネルバイアスをブースティングさせ、ゲートとチャネル間のバイアス大きさを減少させることによって、読み出しディスタ urb ( r e a d d i s t u r b ) 現象の発生を抑えるためである。このため、当該奇数ビットライン B L o に印加される電源電圧 V c c はストリング選択トランジスタ 4 1 1 , 4 2 1 及びソース選択トランジスタ 4 1 2 / 4 2 2 をターンオンさせるためのバイアスと同じ大きさ、または、相対的により大きい大きさを持つ。

30

40

## 【 0 0 2 7 】

上記の段階 5 2 0 が適宜行われるようにするためには、セルストリング 4 1 0 , 4 2 0 を横切るワードラインに適切な大きさのバイアスを印加しなければならない。具体的に、選択されたメモリセルトランジスタ 4 3 5 のワードラインを通しては読み出し電圧 V r e a d を、例えば、0 V の電圧を印加する。そして、残りのメモリセルトランジスタ 4 3 0 のワードライン、ストリング選択トランジスタ 4 1 1 のワードライン、及びソース選択トランジスタ 4 1 2 のワードラインを通してはパス電圧 V p a s s を、例えば、5 . 5 V 以上の電圧を印加する。

50

## 【0028】

このようなバイアス条件下で、ページバッファ（PB）600を構成するトランジスタとラッチを適切に制御し、選択されたメモリセルトランジスタ435の状態、すなわち、消去された状態かプログラムされた状態かを感知する（段階530）。メモリセルトランジスタ435が消去された状態であれば、読み出し電圧Vreadによってメモリセルトランジスタ435はターンオンされ、これにより、偶数ビットラインBLEにプリチャージされていた電荷がセルに放電され、プリチャージ電圧は0Vに落ちる。一方、メモリセルトランジスタ435がプログラムされた状態であれば、読み出し電圧Vreadがゲートに印加されてもメモリセルトランジスタ435はターンオフ状態を維持する。したがって、偶数ビットラインBLEにプリチャージされていた電荷はセルに放電されず、プリチャージ電圧はそのまま維持される。データ感知は、偶数ビットラインBLEにプリチャージされた電圧の変動有無を感知することによってなる。

10

## 【0029】

選択された偶数ビットラインBLEに対するデータ感知が行われると、ページバッファ（PB）600内の感知ノードの状態が決定される。偶数ビットラインBLEのプリチャージ電圧が0Vに落ちた場合には、感知ノードの電圧は0Vに落ちる。偶数ビットラインBLEのプリチャージ電圧が維持される場合には、感知ノードの電圧も電源電圧Vccを維持する。感知ノードの状態が決定されると、感知ノードの状態によってページバッファ（PB）600内のQノードの状態を決定するデータラッチを行う（段階540）。感知ノードの電圧が0Vに落ちる場合、Qノードの状態はロー状態を維持する。これに対し、感知ノードの電圧が電源電圧Vccを維持する場合、Qノードの状態はロー状態からハイ状態に変わる。次に、ビットラインBLE、BL0に対するリカバリ（recovery）を行うと同時に、ページバッファ（PB）600中の全てのラッチに感知されたデータを保存する（段階550）。

20

## 【0030】

上記データ感知段階、データラッチ段階及びリカバリ段階がなされる間に、非選択された奇数ビットラインBL0に連結されるメモリセルトランジスタ440のうち、パス電圧Vpassがゲートに印加されるメモリセルトランジスタ440は、以前の偶数ビットラインBLEに対するプリチャージ段階で電源電圧Vccバイアスが印加されたため、たとえば5.5V以上の高いパス電圧Vpassを印加しても、パス電圧Vpassと電源電圧Vccとの差分のバイアスのみが印加される効果を奏で、その結果、パス電圧Vpassによって不所望にプログラムされることが防止される。

30

## 【0031】

一方、奇数ビットラインBL0に連結されるメモリセルトランジスタ440がいずれも消去された状態では、奇数ビットラインBL0に印加された電源電圧VccバイアスがセルソースラインCSLに放電されることができ、これを防止するためには、偶数ビットラインBLEのセルソースラインCSLeと奇数ビットラインBL0のセルソースラインCSLoを互いに分離させる必要がある。このように分離される場合、偶数ビットラインBLEのセルソースラインCSLeは接地する一方、奇数ビットラインBL0のセルソースラインCSLoは、奇数ビットラインBL0に印加された電源電圧Vccと同じ大きさのバイアスが印加されるようにする。

40

## 【0032】

図6は、本発明によるNANDフラッシュメモリ素子の動作を制御するページバッファを示す図である。

## 【0033】

図6を参照すると、ページバッファ600は、ビットライン選択及びバイアス回路610、プリチャージ回路620、メインレジスタ回路630及びキャッシュレジスタ回路640を含んで構成される。本例ではマルチレベルセル（MLC）構造に適用可能なページバッファ600としたが、シングルレベルセル（SLC）構造では、二つのレジスタ回路630、640の代わりに、一つのレジスタ回路のみを使用する以外は基本的な構成が略

50

同様であり、したがって、その動作も同一に適用可能である。ビットライン選択及びバイアス回路610は、偶数ビットラインBLEまたは奇数ビットラインBLoのいずれかを選択する動作を行い、同時に偶数ビットラインBLE及び奇数ビットラインBLoの中から選択されたビットラインにプリセットバイアス(preset bias)を印加する。プリチャージ回路620は、選択されたビットラインを一定大きさの電圧でプリチャージさせる動作を行う。メインレジスタ回路630は、2ビットデータ中の最初のデータであるMSBデータをラッチし保存する。そして、キャッシュレジスタ回路640は、2ビットデータ中の最後のデータであるLSBデータをラッチし保存する。

#### 【0034】

ビットライン選択及びバイアス回路610は、4個のnMOSトランジスタM01, M02, M11, M12を含む。nMOSトランジスタM01は、電源ラインVIRPWRと偶数ビットラインBLE間に配置され、VBLE制御信号によって制御される。nMOSトランジスタM02は、電源ラインVIRPWRと奇数ビットラインBLo間に配置され、VBLo制御信号によって制御される。nMOSトランジスタM11は、偶数ビットラインBLEと感知ノードSO間に配置され、BSLe制御信号によって制御される。nMOSトランジスタM12は、奇数ビットラインBLoと感知ノードSO間に配置され、BSLo制御信号によって制御される。

10

#### 【0035】

プリチャージ回路620は、pMOSトランジスタM30を含む。pMOSトランジスタM30は、電源電圧Vccと感知ノードSO間に配置され、PRECHb制御信号によって制御される。

20

#### 【0036】

メインレジスタ回路630は、nMOSトランジスタM51, M61, M71, M81と2個のインバータIN0, IN1からなるラッチLATCHを含む。nMOSトランジスタM61, M51は、ラッチLATCHをなすインバータIN1の出力端(インバータIN0の入力端と同一)と接地間に配置される。nMOSトランジスタM61のゲートは感知ノードSOに連結され、感知ノードSOのバイアス状態によってスイッチングが行われる。nMOSトランジスタM51は、MLAT制御信号によって制御される。nMOSトランジスタM71は、ラッチLATCHのQノード、すなわち、インバータIN0の出力端(インバータIN1の入力端と同一)と接地間に配置され、RST制御信号によって制御される。nMOSトランジスタM81は、ラッチLATCHのQノードと外部データ入力ライン間に配置され、DIN制御信号によって制御される。

30

#### 【0037】

キャッシュレジスタ回路640も同様に、nMOSトランジスタM52, M62, M72, M82と、2個のインバータIN3, IN4からなるラッチLATCHとを含む。nMOSトランジスタM62, M52は、ラッチLATCHを構成するインバータIN4の出力端(インバータIN3の入力端と同一)と接地間に配置される。nMOSトランジスタM62とラッチLATCHの連結ノードは、感知ノードSOとも共に連結される。nMOSトランジスタM52は、CLAT制御信号によって制御される。nMOSトランジスタM72は、ラッチLATCHのQノード、すなわち、インバータIN3の出力端(インバータIN4の入力端と同一)と接地間に配置され、RST制御信号によって制御される。nMOSトランジスタM82は、ラッチLATCHのQノードと外部データ入力ライン間に配置され、DIN制御信号によって制御される。

40

#### 【0038】

図7は、本発明によるNANDフラッシュメモリ素子の読み出し方法に適用されるページバッファのタイミング図である。

#### 【0039】

図7を図6と共に参照すると、選択された偶数ビットラインBLEをディスチャージさせ、ページバッファ600をセッティングする段階は、第1時間t0の間に行われる。この時間の間に、セルストリング410, 420内のストリング選択トランジスタ、ソース

50

選択トランジスタ及びメモリセルトランジスタのゲートにはロー信号が入力される。ページバッファ600内では、VBLE制御信号、VBL0制御信号、BSLE制御信号、BSL0制御信号及びPRECHb制御信号がいずれもハイ信号とされている。これにより、nMOSトランジスタM01, M02, M11, M12はターンオンされ、pMOSトランジスタM30はターンオフされる。電源ラインVIRPWRは接地される。nMOSトランジスタM01, M02がターンオンされるので、偶数ビットラインBLE及び奇数ビットラインBL0内にチャージされていた電荷がnMOSトランジスタM01, M02を通して接地された電源ラインVIRPWRに全て流れ、これにより、偶数ビットラインBLE及び奇数ビットラインBL0は全てディスチャージされる。また、PGM制御信号にハイ信号を印加してトランジスタM20をターンオンさせることによって、Qノードをロー状態にセッティングする。この期間の間にnMOSトランジスタM11, M12がターンオンされるので、感知ノードSOもローレベルにセッティングされる。

10

20

30

40

50

**【0040】**

選択されたビットラインをプリチャージし、同時に非選択されたビットラインには電源電圧Vccを印加する段階は、第2時間t1の間に行われる。第2時間t1が始まる時からは、セルストリング410, 420内のストリング選択トランジスタ及びソース選択トランジスタのゲートに連結されるドレイン選択ラインDSL及びソース選択ラインSSLに電源電圧Vccを印加してターンオンさせ、メモリセルトランジスタのワードラインWLには読み出し電圧Vread、例えば、0V、またはパス電圧Vpass、例えば、4.5Vを印加し始める。読み出し電圧Vreadは、選択されたメモリセルトランジスタのワードラインに印加し、パス電圧Vpassは、残りのメモリセルトランジスタのワードラインに印加する。

**【0041】**

ページバッファ600内では、電源ラインVIRPWRに電源電圧Vccが印加されるようにした状態で、VBLE制御信号、BSL0制御信号及びPRECHb制御信号をロー信号に変える。これにより、nMOSトランジスタM01, M12がターンオフされ、pMOSトランジスタM30がターンオンされる。pMOSトランジスタM30がターンオンされることによって感知ノードSOにはVcc電圧が印加される。nMOSトランジスタM11のゲートに印加されるBSLE制御信号としてV1電圧、例えば、略2Vの信号が印加されるので、偶数ビットラインBLEの電圧は立ち上がり始める。nMOSトランジスタM11のゲート-ソース電圧Vgsがしきい電圧Vthの大きさと同一になると、偶数ビットラインBLE電圧はそれ以上立ち上がりず、したがって、偶数ビットラインBLEはV1-Vthの電圧大きさ分プリチャージされる。

**【0042】**

非選択された奇数ビットラインBL0については、通常、ビットラインシールドリング技術を適用して0Vを印加したが、本発明では、一定大きさの電源電圧Vccを印加する。具体的に、nMOSトランジスタM12はターンオフされ、nMOSトランジスタM02はターンオンされるので、電源ラインVIRPWRを通して電源電圧Vccが奇数ビットラインBL0に印加される。このように奇数ビットラインBL0に印加される電源電圧Vccは、奇数ビットラインBL0に連結されるセルストリング420内のメモリセルトランジスタのチャンネルに印加されるが、この印加されたバイアスは、後続過程でメモリセルトランジスタのチャンネルをブースティング(boosting)し、読み出しディスターブ現象の発生を抑える。

**【0043】**

偶数ビットラインBLEをプリチャージし、奇数ビットラインBL0には電源電圧Vccを印加してから行われるデータ感知は、第3時間t2の間に行われる。この第3時間t3には、一定時間の間に偶数ビットラインBLEにプリチャージされていた電荷が十分にディスチャージされるような時間であるエバリュエーション(evaluation)時間が含まれる。エバリュエーション時間が経過した後には、PRECHb制御信号をハイ信号に変えてpMOSトランジスタM30をターンオフさせる。そして、BSLE制御

信号として  $V_1$  よりも小さい大きさの  $V_2$  電圧、例えば、略  $1.7V$  を印加する。

【0044】

選択されたメモリセルトランジスタがターンオンされる場合（消去された状態である場合）、偶数ビットライン  $BLE$  にプリチャージされていた電荷はセルに放電され、したがって、偶数ビットライン  $BLE$  の電圧は  $(V_2 - V_{th})$  以下に落ちる（図7で、“711”参照）。これにより、 $nMOS$  トランジスタ  $M_{11}$  のゲート-ソース電圧  $(V_{gs})$  がしきい電圧  $(V_{th})$  よりも大きくなり、 $nMOS$  トランジスタ  $M_{11}$  はターンオンされる。 $nMOS$  トランジスタ  $M_{11}$  がターンオンされることによって、偶数ビットライン  $BLE$  のキャパシタンスと感知ノード  $SO$  のキャパシタンス間の電荷分配によって感知ノード  $SO$  に保存された電荷が急激に偶数ビットライン  $BLE$  に放電され、その結果、感知ノード  $SO$  における電圧は、電源電圧  $V_{cc}$  から  $0V$  に落ちる（図7で、“721”参照）。

10

【0045】

選択されたメモリセルトランジスタがターンオフされる場合（プログラムされた状態である場合）、偶数ビットライン  $BLE$  にプリチャージされていた電荷はセルに放電されず、そのまま  $(V_1 - V_{th})$  電圧を維持する（図7で、“712”参照）。したがって、 $BSE$  制御信号として  $V_2$  電圧を印加しても、 $nMOS$  トランジスタ  $M_{11}$  のゲート-ソース電圧  $(V_{gs})$  がしきい電圧  $(V_{th})$  と依然として同じ状態を維持し、これにより、 $nMOS$  トランジスタ  $M_{11}$  はターンオンされない。その結果、感知ノード  $SO$  は電源電圧  $V_{cc}$  を維持する（図7で、“722”参照）。

20

【0046】

上記データ感知段階の後に行われるデータラッチング ( $data\ latching$ ) は、第4時間  $t_3$  の間に行われる。具体的に、選択されたメモリセルトランジスタがターンオンされる場合（消去された状態である場合）、感知ノード  $SO$  が  $0V$  に落ちることによって、 $nMOS$  トランジスタ  $M_{61}$  はターンオフ状態を維持し、したがって、 $Q$  ノードもローレベルを維持する（図7で、“731”参照）。選択されたメモリセルトランジスタがターンオフされる場合（プログラムされた状態である場合）、感知ノード  $SO$  が電源電圧  $V_{cc}$  を維持することによって、 $nMOS$  トランジスタ  $M_{61}$  はターンオンされ、したがって、 $Q$  ノードはローレベルからハイレベルに変わる（図7で、“732”参照）。上記データセンシングが終わった後にはビットラインを復旧し、センシングされたデータを保存するが、この段階で、全てのビットラインは電源ライン  $VIRPWR$  を通して放電され、ページバッファ  $600$  内の全てのラッチ  $LATCH$  は、感知されたデータを保存する。

30

【0047】

このようなデータ感知、ラッチ及びリカバリ段階が行われる間に、非選択された奇数ビットライン  $BL_o$  には電源電圧  $V_{cc}$  電圧が印加された状態を維持する。したがって、バス電圧  $V_{pass}$  が印加されても、電源電圧  $V_{cc}$  分だけ奇数ビットライン  $BL_o$  に連結されたメモリセルトランジスタのチャンネルがブースティングされる。結果としてチャンネルにはバス電圧  $V_{pass}$  よりも小さい大きさのバイアスが印加され、これにより、メモリセルトランジスタがバス電圧  $V_{pass}$  によって不所望にプログラムされる読み出しディスタurb発生が抑制される。ただし、奇数ビットライン  $BL_o$  に連結された全てのメモリセルトランジスタが消去された状態である場合、すなわち、奇数ビットライン  $BL_o$  に連結されたセルストリング  $420$  が全て導通される場合には、奇数ビットライン  $BL_o$  に印加された電源電圧  $V_{cc}$  が、接地される共通セルソースライン  $CSL$  に放電されることができ。したがって、これを防止するために、奇数ビットライン  $BL_o$  に連結されるセルソースライン  $CSL_o$  を、偶数ビットライン  $BLE$  に連結されるセルソースライン  $CSL_e$  と分離する。そして、偶数ビットライン  $BLE$  に連結されるセルソースライン  $CSL_e$  は接地する一方、奇数ビットライン  $BL_o$  に連結されるセルソースライン  $CSL_o$  には一定大きさ、例えば、奇数ビットライン  $BL_o$  に印加される電源電圧  $V_{cc}$  大きさの電圧を印加する。

40

50

## 【 0 0 4 8 】

以上では具体的な実施例に挙げて本発明を説明してきたが、本発明は、上記の実施例に限定されず、本発明の技術的思想内で様々な変形実施が可能であるということは、当該技術分野における通常の知識を持つ者にとっては明らかである。

## 【 図面の簡単な説明 】

## 【 0 0 4 9 】

【 図 1 】 一般の N A N D フラッシュメモリ素子のセルストリング構造を示す図である。

【 図 2 】 N A N D フラッシュメモリ素子の消去された状態及びプログラムされた状態におけるしきい電圧分布を示す図である。

【 図 3 】 ビットラインシールドング技術が適用された N A N D フラッシュメモリ素子のセルストリング構造を示す図である。

【 図 4 】 本発明による N A N D フラッシュメモリ素子の読み出し方法を説明するための N A N D フラッシュメモリ素子のストリング構造を示す図である。

【 図 5 】 本発明による N A N D フラッシュメモリ素子の読み出し方法を示すフローチャートである。

【 図 6 】 本発明による N A N D フラッシュメモリ素子の動作を制御するページバッファを示す図である。

【 図 7 】 本発明による N A N D フラッシュメモリ素子の読み出し方法に適用されるページバッファのタイミング図である。

## 【 符号の説明 】

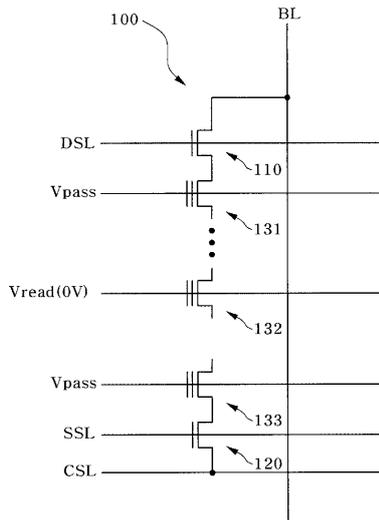
## 【 0 0 5 0 】

1 0 0 セルストリング、 1 1 0 ストリング選択トランジスタ、 1 2 0 ソース選択トランジスタ、 1 3 1 , 1 3 2 , 1 3 3 メモリセルトランジスタ、 4 1 0 , 4 2 0 セルストリング、 4 1 1 , 4 2 1 ストリング選択トランジスタ、 4 1 2 ソース選択トランジスタ、 4 3 0 , 4 3 5 , 4 4 0 メモリセルトランジスタ、 4 3 5 メモリセルトランジスタ、 6 0 0 ページバッファ、 6 1 0 バイアス回路、 6 2 0 プリチャージ回路、 6 3 0 メインレジスタ回路、 6 3 0 , 6 4 0 レジスタ回路。

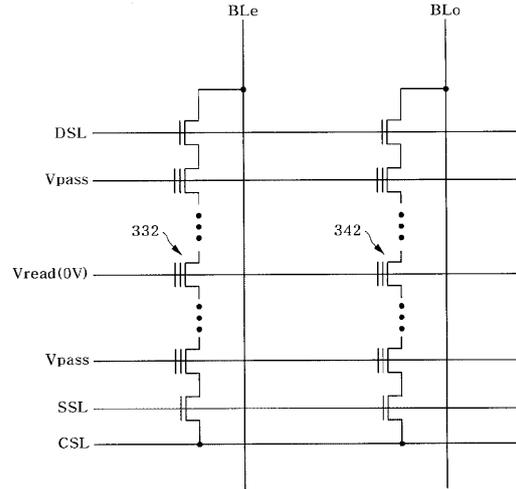
10

20

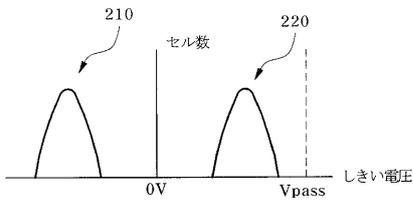
【 図 1 】



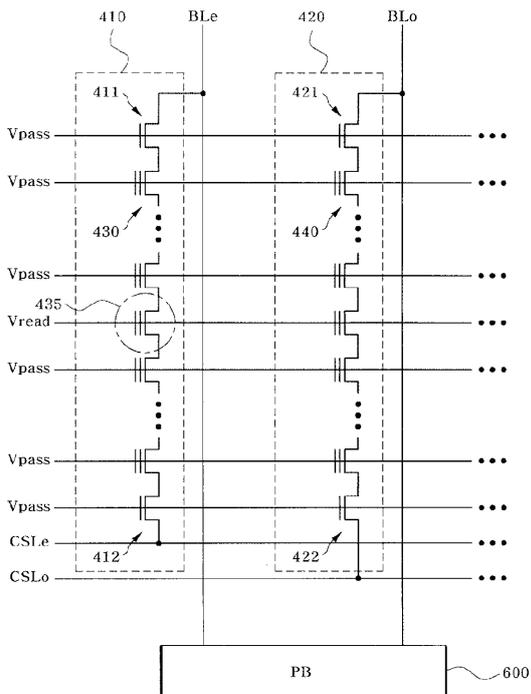
【 図 3 】



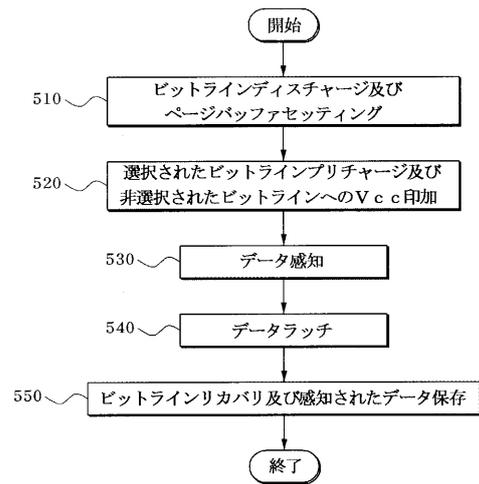
【 図 2 】



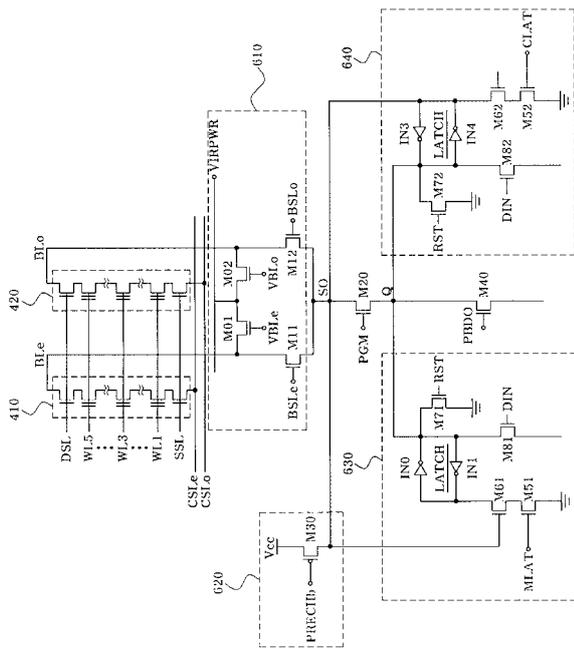
【 図 4 】



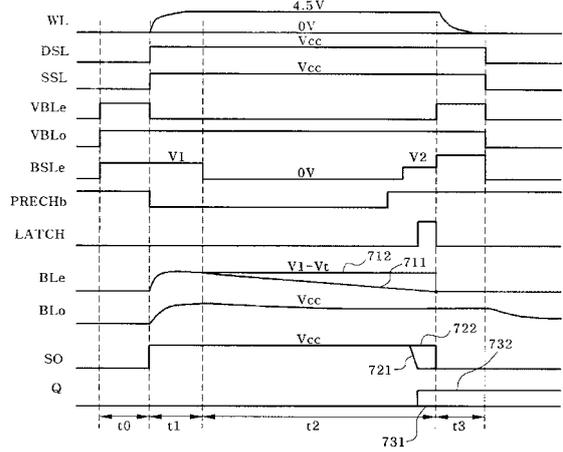
【 図 5 】



【 図 6 】



【 図 7 】



---

フロントページの続き

(72)発明者 ミン キュー リー

大韓民国 グワングジュ - シ ナム - グ バンニム 2 - ドン 2 5 6 - 4

Fターム(参考) 5B125 BA01 CA19 DA01 EA05 ED09 ED10 EE19 FA01 FA02