



(12) 发明专利申请

(10) 申请公布号 CN 116743164 A

(43) 申请公布日 2023. 09. 12

(21) 申请号 202210221019.3

(22) 申请日 2022.03.02

(71) 申请人 浙江驰拓科技有限公司

地址 311300 浙江省杭州市临安区青山湖街道励新路9号

(72) 发明人 蒋小良

(74) 专利代理机构 北京兰亭信通知识产权代理有限公司 11667

专利代理师 孙峰芳

(51) Int. Cl.

H03M 1/06 (2006.01)

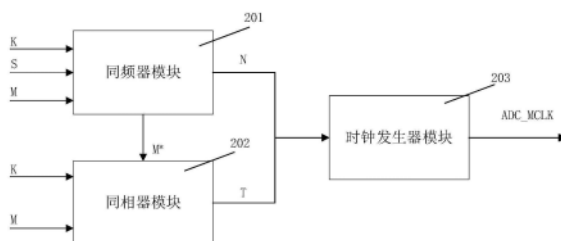
权利要求书1页 说明书6页 附图2页

(54) 发明名称

用于产生SAR-ADC采样时钟的方法及装置

(57) 摘要

本发明提供一种用于产生SAR-ADC采样时钟的方法及装置,所述方法包括:获取ADC采样时钟分频系数;获取一个同频分频系数;根据PWM模块分频系数和同频分频系数,得到一个PWM周期内同频输出将要产生的相位差;根据相位差得到对应的差值分配矩阵;根据ADC采样时钟分频系数对系统时钟进行分频,并根据差值分配矩阵在每个采样点周期进行相位补偿,得到与PWM频率及相位同步的SAR-ADC采样时钟。



1. 一种用于产生SAR-ADC采样时钟的方法,其特征在于,包括:
获取ADC采样时钟分频系数;
获取一个同频分频系数;
根据PWM模块分频系数和所述同频分频系数,得到一个PWM周期内同频输出将要产生的相位差;
根据所述相位差得到对应的差值分配矩阵;
根据所述ADC采样时钟分频系数对系统时钟进行分频,并根据所述差值分配矩阵在每个采样点周期进行相位补偿,得到与PWM频率及相位同步的SAR-ADC采样时钟。
2. 根据权利要求1所述的方法,其特征在于,所述ADC采样时钟分频系数根据PWM模块分频系数、一个PWM周期内的采样点周期个数以及一个采样点周期包含的ADC采样时钟个数得到,N表示ADC采样时钟分频系数,S表示一个采样点周期包含的ADC采样时钟个数,K表示一个PWM周期内的采样点周期个数,M表示PWM模块分频系数,则N取满足 $N*S*K \leq M$ 的最大值。
3. 根据权利要求2所述的方法,其特征在于,所述同频分频系数根据所述ADC采样时钟分频系数、一个采样点周期包含的ADC采样时钟个数和一个PWM周期内的采样点周期个数得到,所述同频分频系数 M^* 的表达式为 $M^* = N*S*K$ 。
4. 根据权利要求1所述的方法,其特征在于,根据预存的相位差-差值分配矩阵对应关系表,采用查表法得到相位差对应的差值分配矩阵。
5. 根据权利要求1所述的方法,其特征在于,在每个采样点周期的最后一个ADC采样时钟进行相位补偿。
6. 一种用于产生SAR-ADC采样时钟的装置,其特征在于,包括:
同频器模块,用于获取ADC采样时钟分频系数和一个同频分频系数;
同相器模块,用于根据PWM模块分频系数和所述同频分频系数,得到一个PWM周期内同频输出将要产生的相位差和对应的差值分配矩阵;
时钟发生器模块,用于根据所述ADC采样时钟分频系数对系统时钟进行分频,并根据所述差值分配矩阵在每个采样点周期进行相位补偿,得到与PWM频率及相位同步的SAR-ADC采样时钟。
7. 根据权利要求6所述的装置,其特征在于,所述同频器模块,用于根据PWM模块分频系数、一个PWM周期内的采样点周期个数以及一个采样点周期包含的ADC采样时钟个数得到所述ADC采样时钟分频系数,N表示ADC采样时钟分频系数,S表示一个采样点周期包含的ADC采样时钟个数,K表示一个PWM周期内的采样点周期个数,M表示PWM模块分频系数,则N取满足 $N*S*K \leq M$ 的最大值。
8. 根据权利要求7所述的装置,其特征在于,所述同频器模块,用于根据所述ADC采样时钟分频系数、一个采样点周期包含的ADC采样时钟个数和一个PWM周期内的采样点周期个数得到所述同频分频系数,所述同频分频系数 M^* 的表达式为 $M^* = N*S*K$ 。
9. 根据权利要求6所述的装置,其特征在于,所述同相器模块,根据预存的相位差-差值分配矩阵对应关系表,采用查表法得到相位差对应的差值分配矩阵。
10. 根据权利要求6所述的装置,其特征在于,所述时钟发生器模块,在每个采样点周期的最后一个ADC采样时钟进行相位补偿。

用于产生SAR-ADC采样时钟的方法及装置

技术领域

[0001] 本发明涉及信号处理技术领域,尤其涉及一种用于产生SAR-ADC采样时钟的方法及装置。

背景技术

[0002] 以MCU内嵌ADC作为信号处理、通讯的场合,如血糖仪MCU、无线充电MCU等,其链路特点是由MCU通过PWM模块发送载波或参考信号,再由MCU接受调制信号进行解调或传感信号进行处理。

[0003] SAR-ADC(逐次逼近寄存器型ADC)是MCU必备的一种资源,具有几兆级别的采样速率以及12位左右的采样精度的特点,用于电压、电流以及各种传感器信号的采集。

[0004] 以往MCU以控制为主,但随着MCU计算性能日益提升,MCU越来越多地承担了传感器信号处理和短距离通讯的功能,这些应用对SAR-ADC的性能及其控制方法提出了越来越多的新要求,如同步采样,即ADC采样率与通讯载波频率或传感器参考信号(一般由MCU的PWM模块输出)具有整倍数关系。

[0005] 现有的MCU SAR-ADC控制器无法满足ADC同步采样的要求,其主要原因是MCU PWM模块的输出频率为 f_{sys}/M (M 为PWM模块的分频系数),而ADC的采样频率为 f_{sys}/N (N 为ADC采样时钟的分频系数), M 和 N 之间没有必然的倍数关系。非同步采样会导致以下问题:采样点与信号不能保持固定的相位关系,具有相位累积误差,对后续的通讯解调或信号处理引入了相位差。

发明内容

[0006] 为解决上述问题,本发明提供了一种用于产生SAR-ADC采样时钟的方法及装置,能够实现SAR-ADC同步采样。

[0007] 一方面,本发明提供一种用于产生SAR-ADC采样时钟的方法,包括:

[0008] 获取ADC采样时钟分频系数;

[0009] 获取一个同频分频系数;

[0010] 根据PWM模块分频系数和所述同频分频系数,得到一个PWM周期内同频输出将要产生的相位差;

[0011] 根据所述相位差得到对应的差值分配矩阵;

[0012] 根据所述ADC采样时钟分频系数对系统时钟进行分频,并根据所述差值分配矩阵在每个采样点周期进行相位补偿,得到与PWM频率及相位同步的SAR-ADC采样时钟。

[0013] 可选地,所述ADC采样时钟分频系数根据PWM模块分频系数、一个PWM周期内的采样点周期个数以及一个采样点周期包含的ADC采样时钟个数得到, N 表示ADC采样时钟分频系数, S 表示一个采样点周期包含的ADC采样时钟个数, K 表示一个PWM周期内的采样点周期个数, M 表示PWM模块分频系数,则 N 取满足 $N*S*K \leq M$ 的最大值。

[0014] 可选地,所述同频分频系数根据所述ADC采样时钟分频系数、一个采样点周期包含

的ADC采样时钟个数和一个PWM周期内的采样点周期个数得到,所述同频分频系数 M^* 的表达式为 $M^*=N*S*K$ 。

[0015] 可选地,根据预存的相位差-差值分配矩阵对应关系表,采用查表法得到相位差对应的差值分配矩阵。

[0016] 可选地,在每个采样点周期的最后一个ADC采样时钟进行相位补偿。

[0017] 另一方面,本发明提供一种用于产生SAR-ADC采样时钟的装置,包括:

[0018] 同频器模块,用于获取ADC采样时钟分频系数和一个同频分频系数;

[0019] 同相器模块,用于根据PWM模块分频系数和所述同频分频系数,得到一个PWM周期内同频输出将要产生的相位差和对应的差值分配矩阵;

[0020] 时钟发生器模块,用于根据所述ADC采样时钟分频系数对系统时钟进行分频,并根据所述差值分配矩阵在每个采样点周期进行相位补偿,得到与PWM频率及相位同步的SAR-ADC采样时钟。

[0021] 可选地,所述同频器模块,用于根据PWM模块分频系数、一个PWM周期内的采样点周期个数以及一个采样点周期包含的ADC采样时钟个数得到所述ADC采样时钟分频系数,N表示ADC采样时钟分频系数,S表示一个采样点周期包含的ADC采样时钟个数,K表示一个PWM周期内的采样点周期个数,M表示PWM模块分频系数,则N取满足 $N*S*K \leq M$ 的最大值。

[0022] 可选地,所述同频器模块,用于根据所述ADC采样时钟分频系数、一个采样点周期包含的ADC采样时钟个数和一个PWM周期内的采样点周期个数得到所述同频分频系数,所述同频分频系数 M^* 的表达式为 $M^*=N*S*K$ 。

[0023] 可选地,所述同相器模块,根据预存的相位差-差值分配矩阵对应关系表,采用查表法得到相位差对应的差值分配矩阵。

[0024] 可选地,所述时钟发生器模块,在每个采样点周期的最后一个ADC采样时钟进行相位补偿。

[0025] 本发明提供的用于产生SAR-ADC采样时钟的方法及装置,当MCU以其PWM模块输出信号作为通讯载波或传感器参考信号时,克服PWM模块分频系数和ADC采样时钟分频系数的非相关性对信号同步采样造成的相位差问题,可以实现SAR-ADC的同步采样,使得MCU能够更好地解调出通讯信号或分离出传感信号。

附图说明

[0026] 图1为本发明一实施例得到的SAR-ADC采样时钟的波形示意图;

[0027] 图2为本发明一实施例用于产生SAR-ADC采样时钟的装置结构示意图;

[0028] 图3为本发明一实施例同频器模块的结构示意图;

[0029] 图4为本发明一实施例同相器模块的结构示意图。

具体实施方式

[0030] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0031] 需要说明的是,本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象,而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换,以便这里描述的本申请的实施例。此外,术语“包括”和“具有”以及他们的任何变形,意图在于覆盖不排他的包含,例如,包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元,而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

[0032] 在本申请中,术语“上”、“下”、“左”、“右”、“前”、“后”、“顶”、“底”、“内”、“外”、“中”、“竖直”、“水平”、“横向”、“纵向”等指示的方位或位置关系为基于附图所示的方位或位置关系。这些术语主要是为了更好地描述本申请及其实施例,并非用于限定所指示的装置、元件或组成部分必须具有特定方位,或以特定方位进行构造和操作。

[0033] 并且,上述部分术语除了可以用于表示方位或位置关系以外,还可能用于表示其他含义,例如术语“上”在某些情况下也可能用于表示某种依附关系或连接关系。对于本领域普通技术人员而言,可以根据具体情况理解这些术语在本申请中的具体含义。

[0034] 下面结合附图,对本发明的一些实施方式作详细说明。在不冲突的情况下,下述的实施例及实施例中的特征可以相互组合。

[0035] 本发明一实施例提供一种用于产生SAR-ADC采样时钟的方法,该方法包括以下步骤。

[0036] 步骤1,获取ADC采样时钟分频系数。

[0037] 作为一种实施方式,根据PWM模块分频系数、一个PWM周期内的采样点周期个数以及一个采样点周期包含的ADC采样时钟个数,得到ADC采样时钟分频系数。

[0038] 这里所说的一个采样点周期是指ADC采样一个点需要的时间周期。SAR-ADC的采样分为采样和转换两个阶段,一般完成一个点的采样需要10多个ADC采样时钟。

[0039] 本实施例中,采用逐次逼近的方法计算得到ADC采样时钟分频系数,满足 $N*S*K \leq M$,其中N表示ADC采样时钟分频系数,S表示一个采样点周期包含的ADC采样时钟个数,K表示一个PWM周期内的采样点周期个数,M表示PWM模块分频系数。也就是找到一个最大的整数N,满足 $N*S*K \leq M$,N即为得到的ADC采样时钟分频系数。

[0040] 步骤2,根据步骤1得到的ADC采样时钟分频系数N、一个采样点周期包含的ADC采样时钟个数S和一个PWM周期内的采样点周期个数K,得到一个同频分频系数。

[0041] 基于步骤1的变量定义,同频分频系数 M^* 的表达式为 $M^* = N*S*K$ 。

[0042] 步骤3,根据PWM模块分频系数和同频分频系数,得到一个PWM周期内同频输出将要产生的相位差。

[0043] 本实施例中,相位差记为 δ , δ 的表达式为:

[0044] $\delta = M^* - M$ 。

[0045] 步骤4,根据相位差得到对应的差值分配矩阵。

[0046] 本实施例中,差值分配矩阵记为T,差值分配矩阵T用于将相位差 δ 分配到各采样点周期。差值分配矩阵T采用差值分配法,将相位差 δ 分配到每个采样点周期,以便在K个采样点周期消除相位差 δ 。可以提前预存相位差-差值分配矩阵对应关系表,然后根据该相位差-差值分配矩阵对应关系表,采用查表法得到相位差对应的差值分配矩阵T。

[0047] 例如,下表示出了 $K=8$ 时,不同相位差 δ 的分配情况。

δ	采样点周期1	采样点周期2	采样点周期3	采样点周期4	采样点周期5	采样点周期6	采样点周期7	采样点周期8
1	0	0	0	0	0	0	0	1
2	0	0	0	1	0	0	0	1
3	0	1	0	0	1	0	0	1
4	0	1	0	1	0	1	0	1
5	1	0	1	1	0	1	1	0
6	1	1	1	0	1	1	1	0
7	1	1	1	1	1	1	1	0

[0048] 基于上表可知, $\delta=1$, 差值分配矩阵 $T=[0\ 0\ 0\ 0\ 0\ 0\ 0\ 1]$ 表示只在第8个周期相位补偿1, 其他周期不补偿。依次类推, $\delta=4$, 差值分配矩阵 $T=[0\ 1\ 0\ 1\ 0\ 1\ 0\ 1]$ 表示在第2、4、6、8个周期分别相位补偿1, 其他周期不补偿。

[0050] 步骤5, 根据ADC采样时钟分频系数对系统时钟进行分频, 并根据差值分配矩阵在每个采样点周期进行相位补偿, 得到与PWM频率及相位同步的SAR-ADC采样时钟。

[0051] 作为一种实施方式, 在每个采样点周期的最后一个ADC采样时钟进行相位补偿。需要说明的是, 视ADC特性, 不限于在S个ADC采样时钟的最后一个采样时钟进行相位补偿。

[0052] 举一个具体计算的例子, 例如 $M=100, K=8, S=6$, 得到 $N=2, N*S*K=96$, 相位差 $\delta=4$, 相位差分配到8个采样点周期消除, 参考上面的表格可知, $\delta=4$, 差值分配矩阵 $T=[0\ 1\ 0\ 1\ 0\ 1\ 0\ 1]$ 表示在第2、4、6、8个周期分别相位补偿1, 其他周期不补偿。

[0053] 图1示出了本发明实施例得到的SAR-ADC采样时钟的波形示意图。其中, SAR-ADC采样时钟信号与PWM时钟同步, N对应的是一个ADC采样时钟, M对应一个PWM周期, 每个PWM周期包含K个采样点周期, $S*N+T_1$ 表示采样点周期1, \dots , $S*N+T_k$ 表示采样点周期K, T_1, T_k 为相位补偿值, 从差值分配矩阵得到。

[0054] 本发明实施例提供一种用于产生SAR-ADC采样时钟的方法, 当MCU以其PWM模块输出信号作为通讯载波或传感器参考信号时, 得到与PWM频率及相位同步的SAR-ADC采样时钟, ADC采样的数据与PWM之间没有相位差, 有利于通讯解调或传感信号分离, 提升MCU在AM通讯和传感器信号处理应用领域的性能优势。

[0055] 另一方面, 本发明一实施例提供一种用于产生SAR-ADC采样时钟的装置, 如图2所示, 包括:

[0056] 同频器模块201, 用于获取ADC采样时钟分频系数和一个同频分频系数;

[0057] 同相器模块202, 用于根据PWM模块分频系数和所述同频分频系数, 得到一个PWM周期内同频输出将要产生的相位差和对应的差值分配矩阵;

[0058] 时钟发生器模块203, 用于根据ADC采样时钟分频系数N对系统时钟进行分频, 并根据差值分配矩阵T在每个采样点周期进行相位补偿, 得到与PWM频率及相位同步的SAR-ADC采样时钟。

[0059] 下面对同频器模块201、同相器模块202、时钟发生器模块203作详细介绍。

[0060] 图3示出了同频器模块201的内部结构示意图。同频器模块201的目的是产生与PWM

频率具有整倍数关系的ADC采样频率。同频器模块接收PWM模块分频系数M,基于预设整数K (K表示一个PWM周期内的采样点周期个数,也就是一个PWM周期内需要的采样点的数量)以及一个采样点周期包含的ADC采样时钟个数S,得到ADC采样时钟分频系数N,且保证 $N*S*K \leq M$ 。同频器模块201根据ADC采样时钟分频系数N、一个采样点周期包含的ADC采样时钟个数S和一个PWM周期内的采样点周期个数K,得到一个同频分频系数 M^* 。将 $N*S*K$ 记为 M^* ,表示同频分频系数,并 M^* 将传递给同相器模块202。

[0061] 图4示出了同相器模块202的内部结构示意图。同相器模块202的目的是消除同频过程可能产生的相位差。同相器模块接收PWM模块分频系数M以及同频器模块输出同频分频系数 M^* ,计算一个PWM周期内同频输出将要产生的相位差 $\delta = M^* - M$,相位差消除公式为 δ/K ,采用差值分配法,在K个采样点周期消除相位差 δ 。根据预存的相位差-差值分配矩阵对应关系表,采用查表法得到相位差对应的差值分配矩阵。

[0062] 以预设整数 $K=8$ 为例说明,其差值分配矩阵T可以采用查表法得到,表格如下:

δ	采样点周期1	采样点周期2	采样点周期3	采样点周期4	采样点周期5	采样点周期6	采样点周期7	采样点周期8
1	0	0	0	0	0	0	0	1
2	0	0	0	1	0	0	0	1
3	0	1	0	0	1	0	0	1
4	0	1	0	1	0	1	0	1
5	1	0	1	1	0	1	1	0
6	1	1	1	0	1	1	1	0
7	1	1	1	1	1	1	1	0

[0064] 时钟发生器模块203的作用是产生ADC采样时钟ADC_MCLK。时钟发生器模块203接收同频器模块201输出的ADC采样时钟分频系数N以及同相器模块202输出的差值分配矩阵T,时钟发生器模块的计数器Counter通过ADC采样时钟分频系数N的累加以及通过差值分配矩阵T的相位补偿,实现计数器Counter在K个采样点周期内累加值与PWM模块分频系数M保持一致,对于每一个采样点周期,在S个ADC采样时钟的最后一个采样时钟进行相位补偿。

[0065] 本发明实施例提供的一种用于产生SAR-ADC采样时钟的装置,是用于实现前述方法实施例的,二者可以相互参照。

[0066] 通过本发明实施例提供的用于产生SAR-ADC采样时钟的装置,得到与PWM频率及相位同步的SAR-ADC采样时钟,ADC采样的数据与PWM之间没有相位差,有利于通讯解调或传感信号分离,提升MCU在AM通讯和传感器信号处理应用领域的性能优势。

[0067] 本领域普通技术人员可以理解实现上述实施例方法中的全部或部分流程,是可以通过计算机程序来指令相关的硬件来完成,所述的程序可存储于一计算机可读取存储介质中,该程序在执行时,可包括如上述各方法的实施例的流程。其中,所述的存储介质可为磁碟、光盘、只读存储记忆体(Read-Only Memory,ROM)或随机存储记忆体(Random Access Memory,RAM)等。

[0068] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何

熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应该以权利要求的保护范围为准。

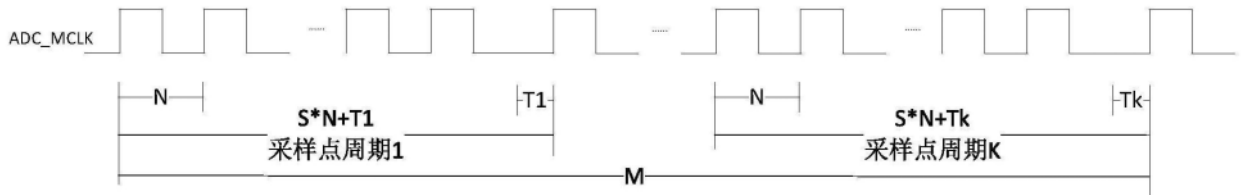


图1

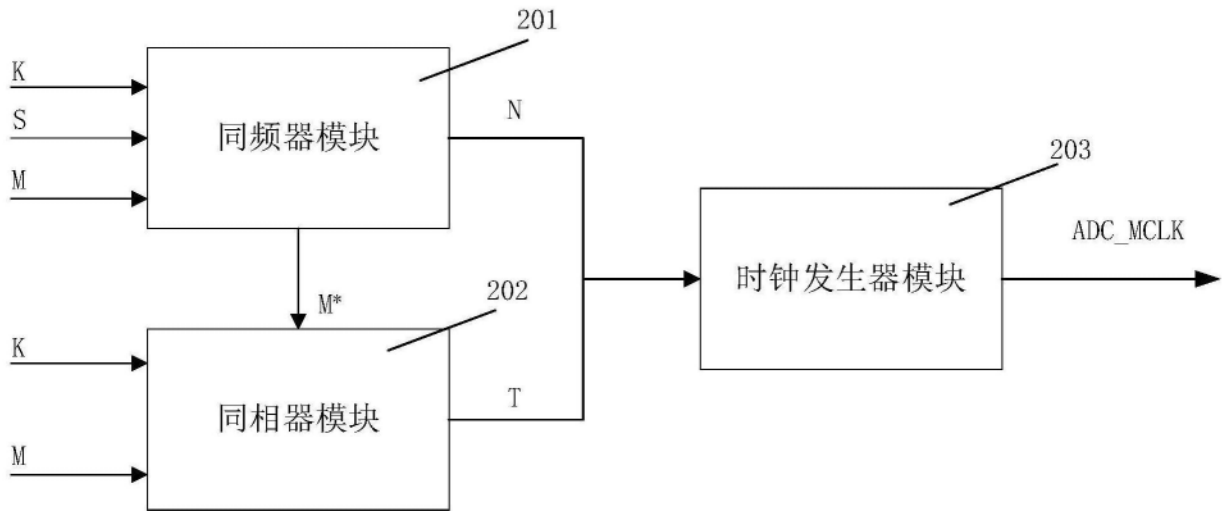


图2

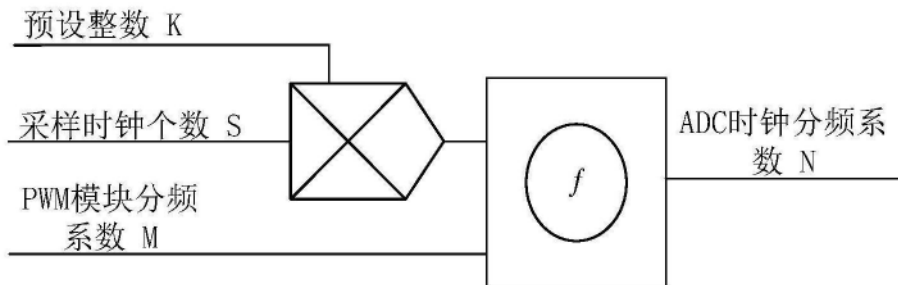


图3

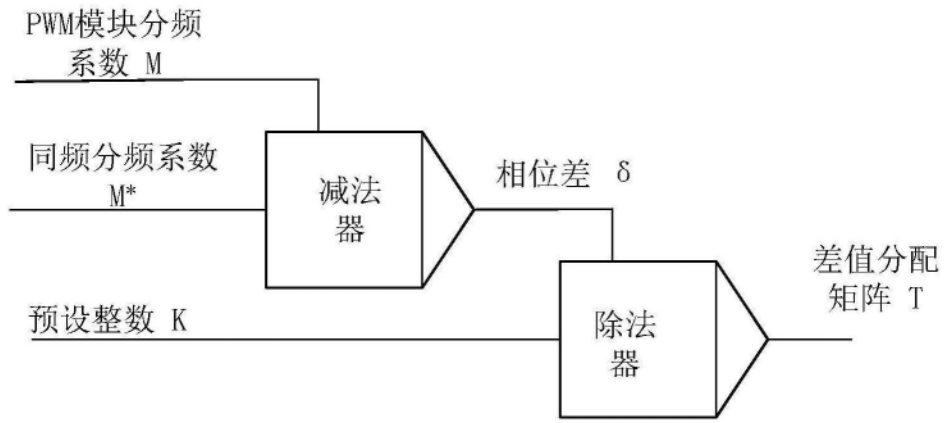


图4