



(12) 发明专利申请

(10) 申请公布号 CN 103917481 A

(43) 申请公布日 2014. 07. 09

(21) 申请号 201280026455. X

(51) Int. Cl.

(22) 申请日 2012. 03. 14

B81B 3/00(2006. 01)

(30) 优先权数据

13/164, 331 2011. 06. 20 US

(85) PCT国际申请进入国家阶段日

2013. 11. 29

(86) PCT国际申请的申请数据

PCT/US2012/029005 2012. 03. 14

(87) PCT国际申请的公布数据

W02012/177304 EN 2012. 12. 27

(71) 申请人 国际商业机器公司

地址 美国纽约阿芒克

(72) 发明人 C. V. 杰恩斯 A. K. 斯坦珀

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 赵国荣

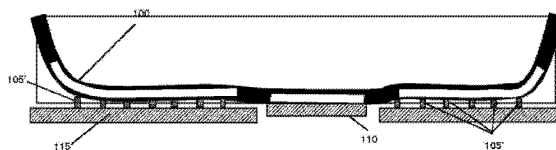
权利要求书3页 说明书18页 附图14页

(54) 发明名称

微机电系统(MEMS)以及相关的致动器凸块、制造方法和设计结构

(57) 摘要

提供微机电系统(MEMS)结构、制造方法和设计结构。形成 MEMS 结构的方法包括在基板上形成固定致动器电极(115)和接触点。该方法还包括在固定致动器电极和接触点之上形成 MEMS 梁(100)。该方法还包括形成与固定致动器电极的部分对齐的致动器电极阵列(105'),其大小和尺度设置为防止 MEMS 梁在重复循环后下陷在固定致动器电极上。致动器电极阵列形成为与 MEMS 梁的下侧和固定致动器电极的表面至少之一直接接触。



1. 一种形成 MEMS 结构的方法,包括:
 - 图案化基板上的配线层以形成固定致动器电极和接触点;
 - 在该配线层上形成牺牲材料;
 - 在该配线层之上将该牺牲材料图案化为具有多个沟槽的阵列,该多个沟槽形成为具有预定的高度和宽度;
 - 用材料填充该多个沟槽的阵列;
 - 在该填充的多个沟槽的阵列之上形成与该多个沟槽的阵列中的该材料接触的 MEMS 梁;
 - 在该 MEMS 梁之上形成另外的牺牲材料;
 - 在该 MEMS 梁之上的该另外的牺牲材料之上形成盖;
 - 在该盖中形成至少一个排出孔;以及
 - 排出该 MEMS 梁之下的该牺牲材料和该 MEMS 梁之上的该另外的牺牲材料,使该多个沟槽的阵列内的该材料变为从该 MEMS 梁的下侧悬吊,以该预定的高度和宽度形成致动器凸块阵列。
2. 如权利要求 1 所述的方法,其中该致动器凸块阵列与形成该 MEMS 梁的下侧的绝缘体材料直接接触且从其延伸。
3. 如权利要求 1 所述的方法,其中该致动器凸块阵列形成为与该 MEMS 梁之下的该固定致动器电极对齐。
4. 如权利要求 1 所述的方法,其中该致动器凸块阵列形成为与该 MEMS 梁之下的该固定致动器电极之间的间隔或开口对齐,从而在向下促动该 MEMS 梁时使该致动器凸块阵列落在该基板上。
5. 如权利要求 1 所述的方法,其中:
 - 该致动器凸块阵列形成为与该 MEMS 梁之下的固定致动器位置处的虚设致动器电极对齐;并且
 - 该虚设致动器电极形成在该配线层上作为如下之一:
 - 单独电浮置电极;以及
 - 连接的单独电浮置电极。
6. 如权利要求 5 所述的方法,其中该单独电浮置电极和该连接的单独电浮置电极偏置到已知的电压。
7. 如权利要求 1 所述的方法,其中该致动器凸块阵列形成为与该固定致动器电极的部分之间的绝缘体材料对齐。
8. 如权利要求 1 所述的方法,其中该致动器凸块阵列全部形成为具有一致的高度和宽度。
9. 如权利要求 1 所述的方法,其中该致动器凸块阵列采用不同的蚀刻速率和掩模步骤至少之一形成为具有不同的高度和宽度。
10. 如权利要求 9 所述的方法,其中最远离该接触点的致动器凸块形成为比更靠近该接触点的致动器凸块更深。
11. 如权利要求 1 所述的方法,其中该致动器凸块阵列形成在形成该 MEMS 梁的导电材料的部分之间的绝缘体材料之下。

12. 如权利要求 1 所述的方法,其中另外的致动器凸块阵列形成在该配线层上且朝着该 MEMS 梁延伸。

13. 一种 MEMS 结构,包括:

第一组配线,位于基板上且包括固定致动器电极和接触;

MEMS 梁,包括在该第一组配线之上的第二组配线;以及

微型凸块阵列,位于该第一组配线和该第二组配线之间,其中该微型凸块阵列防止该第二组配线的部分在促动时接触该固定致动器电极。

14. 如权利要求 13 所述的 MEMS 结构,其中该微型凸块阵列与形成该 MEMS 梁的下侧的绝缘体材料直接接触且从其延伸。

15. 如权利要求 13 所述的 MEMS 结构,其中该微型凸块阵列形成为与该 MEMS 梁之下的该固定致动器电极对齐。

16. 如权利要求 13 所述的 MEMS 结构,其中该微型凸块阵列与该 MEMS 梁之下的该固定致动器电极之间的间隔或开口对齐,从而在向下促动该 MEMS 梁时使该微型凸块阵列落在该基板上。

17. 如权利要求 13 所述的 MEMS 结构,其中:

该微型凸块阵列与该 MEMS 梁之下的固定致动器位置处的虚设致动器电极对齐;并且该虚设致动器电极是如下之一:

单独电浮置电极;以及

连接的单独电浮置电极。

18. 如权利要求 13 所述的 MEMS 结构,其中该微型凸块阵列与该固定致动器电极的部分之间的绝缘体材料对齐。

19. 如权利要求 13 所述的 MEMS 结构,其中该微型凸块阵列全部形成为具有一致的高度和宽度。

20. 如权利要求 13 所述的 MEMS 结构,其中该微型凸块阵列具有不同的高度和宽度。

21. 如权利要求 20 所述的 MEMS 结构,其中最远离该接触的微型凸块形成为比更靠近该接触的微型凸块更深。

22. 如权利要求 13 所述的 MEMS 结构,其中该微型凸块阵列形成在该第二组配线的开口中且与形成该 MEMS 梁的绝缘体材料接触。

23. 如权利要求 13 所述的 MEMS 结构,其中该微型凸块阵列位于该固定致动器电极上,并且朝着该 MEMS 梁延伸。

24. 一种 MEMS 结构,包括:

固定致动器电极和接触点;

MEMS 梁,位于该固定致动器电极和该接触点之上;以及

致动器电极阵列,与该固定致动器电极的部分对齐,其大小和尺度设置为防止该 MEMS 梁接触该固定致动器电极的致动器部分,其中该致动器电极阵列与该 MEMS 梁的下侧和该固定致动器电极的表面至少之一直接接触且从其延伸。

25. 一种在机器可读数据存储介质上编码的硬件描述语言(HDL)设计结构,该 HDL 设计结构包括在计算机辅助设计系统中处理时产生 MEMS 结构的机器可执行表示的要素,其中该 HDL 设计结构包括:

第一组配线,位于基板上且包括固定致动器电极和接触;

第二组配线,位于该第一组配线之上;以及

微型凸块阵列,位于该第一组配线和该第二组配线之间,其中该微型凸块阵列防止该第二组配线的部分在促动时接触该固定致动器电极。

微机电系统 (MEMS) 以及相关的致动器凸块、制造方法和设计结构

技术领域

[0001] 本发明涉及半导体结构和制造方法,特别是,涉及微机电系统 (MEMS) 结构、制造方法和设计结构。

背景技术

[0002] 集成电路中所用的集成电路开关可由固态结构(例如晶体管)或无源配线(MEMS)形成。MEMS 开关由于它们几乎理想的隔离和在 10GHz 和更高的频率上的低插入损耗(即电阻)而被典型地采用,几乎理想的隔离是无线的无线电应用的主要要求,其中它们用于功率放大器(PA)的模式转换。MEMS 开关可用在各种应用中,主要是模拟和混合信号应用。一个这样的示例是包含调整而用于每个广播模式的功率放大器(PA)和电路的移动电话芯片。芯片上的集成开关将 PA 连接到适当的电路,从而不需要每个模式一个 PA。

[0003] 根据特定的应用和工程标准, MEMS 结构可分成很多不同的形式。例如, MEMS 可实现为悬臂梁结构的形式。在悬臂结构中,悬臂(cantilever arm)(一端固定的悬浮电极)通过施加促动电压推向固定电极。通过静电力推动悬浮电极到固定电极所需的电压称为吸合电压(pull-in voltage),其取决于几个参数:包括悬浮电极的长度、悬浮电极和固定电极之间的间隔或间隙以及悬浮电极的弹性常数,其是材料及其厚度的函数。作为选择, MEMS 梁可为桥结构,其两端被固定。

发明内容

[0004] 在本发明的第一方面中,形成 MEMS 结构的方法包括:图案化基板上的配线层以形成固定致动器电极和接触点。该方法还包括在配线层上形成牺牲材料。该方法还包括以配线层之上的多个沟槽的阵列图案化牺牲材料。多个沟槽的尺寸设置为预定的高度和宽度。该方法还包括用材料填充多个沟槽的阵列。该方法还包括在填充的多个沟槽的阵列之上形成与多个沟槽的阵列中的材料接触 MEMS 梁。该方法还包括在 MEMS 梁之上形成另外的牺牲材料。该方法还包括在 MEMS 梁之上的另外的牺牲材料之上形成盖。该方法还包括在盖中形成至少一个排出孔。该方法还包括排放在 MEMS 梁之下的牺牲材料和在 MEMS 梁之上的另外的牺牲材料,从而多个沟槽的阵列内的材料变为从 MEMS 梁的下侧悬吊,以预定的高度和宽度形成致动器凸块阵列。

[0005] 在另一个实施例中, MEMS 结构包括在基板上的第一组配线,基板包括固定致动器电极和接触。该结构还包括 MEMS 梁,其包括在第一组配线之上的第二组配线。该结构还包括在第一组配线和第二组配线之间的微型凸块阵列,其中该微型凸块阵列防止第二组配线的部分在促动时接触第二组配线。

[0006] 在本发明的另一个方面中, MEMS 结构包括在基板上的固定致动器电极和接触点。该结构还包括在固定致动器电极和接触点之上的 MEMS 梁。该结构还包括与固定致动器电极的部分对齐的致动器电极阵列,其大小和尺度设置为防止 MEMS 梁接触固定致动器电极

的促动部分。致动器电极阵列与 MEMS 梁的下侧和固定致动器电极的表面至少之一直接接触且从其延伸。

[0007] 在本发明的再一个方面中,提供一种可触知地实施在机器可读存储介质中的设计结构,用于设计、制造或测试集成电路。该设计结构包括本发明的结构。在进一步的实施例中,编码在机器可读数据存储介质上的硬件描述语言(HDL)设计结构包括在计算机辅助设计系统中处理时产生 MEMS 的机器可执行表示的元件,其包括本发明的结构。在又一个进一步的实施例中,提供计算机辅助设计系统中的方法,用于产生 MEMS 的功能设计模块。该方法包括产生 MEMS 的结构元件的功能表示。

[0008] 更具体地讲,在实施例中,提供编码在机器可读数据存储介质上的硬件描述语言(HDL)设计结构。HDL 设计结构包括在计算机辅助设计系统中处理时产生 MEMS 结构的机器可执行表示的要素。HDL 设计结构包括:在基板上形成第一组配线,基板包括固定致动器电极和接触;在第一组配线之上形成第二组配线;并且在第一组配线和第二组配线之间形成微型凸块阵列,其中该微型凸块阵列防止第二组配线的部分在促动时接触第二组配线。

附图说明

[0009] 本发明在下面的详细描述中进行描述,其参考作为本发明示范性实施例的非限定性示例的多个附图。除非这里另有规定,附图没有按比例。

[0010] 图 1a 示出了 MEMS 梁下陷不足;

[0011] 图 1b 示出了 MEMS 梁下陷过度;

[0012] 图 1c 示出了根据本发明各方面的 MEMS 梁;

[0013] 图 2a-10 示出了根据本发明各方面的加工步骤和各 MEMS 结构;

[0014] 图 11 示出了根据本发明一个方面的 MEMS 结构的侧视截面图;

[0015] 图 12 示出了根据本发明另一个方面的 MEMS 结构的侧视截面图;

[0016] 图 13 示出了根据本发明各方面的图 11 或图 12 的结构的俯视图;

[0017] 图 14 示出了根据本发明另一个方面的 MEMS 结构的侧视截面图;

[0018] 图 15 示出了图 14 的结构的俯视图;

[0019] 图 16 示出了根据本发明另一个方面的 MEMS 结构的侧视截面图;

[0020] 图 17 示出了图 16 所示结构的俯视图;

[0021] 图 18a-18d 示出了根据本发明的致动器凸块阵列的各种构造;

[0022] 图 19a-19c 示出了根据本发明的致动器凸块阵列的各种构造;

[0023] 图 20a-20c 示出了根据本发明的致动器凸块阵列的各种构造;

[0024] 图 21a-21d 示出了根据本发明的致动器凸块阵列的各种构造;

[0025] 图 22a-22b 示出了根据本发明的致动器凸块阵列的各种构造;

[0026] 图 23a-23d 示出了根据本发明另一个方面的致动器电极和 MEMS 梁的不同布局;

[0027] 图 24a 和 24b 示出了根据本发明各方面制造的 MEMS 桥结构的不同截面的俯视图;

[0028] 图 25a 和 25b 示出了根据本发明各方面制造的 MEMS 悬臂结构的不同截面的俯视图;以及

[0029] 图 26 是半导体设计、制造和 / 或测试中所用设计过程的流程图。

具体实施方式

[0030] 本发明涉及半导体结构及制造方法,特别是,涉及微机电系统(MEMS)结构、制造方法和设计结构。在实施例中, MEMS 结构例如可为任何的 MEMS 装置,例如, MEMS 电容器、欧姆开关、MEMS 加速计或采用致动器的任何 MEMS 装置。另外, MEMS 结构例如可用作其它装置中的单或双配线梁接触开关、双配线梁电容器开关或单双配线梁空气间隙感应器。本发明的 MEMS 结构例如也可为悬臂梁结构或桥式梁。

[0031] MEMS 可采用很多不同工具以很多方法制造。通常,该方法和工具用于形成尺寸为微米级的小结构,开关尺寸约为 $5\ \mu\text{m}$ 厚、 $100\ \mu\text{m}$ 宽和 $400\ \mu\text{m}$ 长。再者,用于制造 MEMS 的很多方法(即技术)选自集成电路(IC)技术。例如,几乎所有的 MEMS 都构建在晶片上,并且被实现为在晶片的顶部通过光刻工艺而图案化的材料的薄膜。特别是, MEMS 的制造采用三个基本构建模块:(i) 在基板上沉积材料薄膜,(ii) 通过光刻成像在膜的顶部施加图案化的掩模,以及(iii) 蚀刻掩模选择的膜。

[0032] 例如,在 MEMS 悬臂式开关中,固定电极和悬浮电极(suspended electrode)典型地采用一系列的传统光刻、蚀刻和沉积工艺制造。在一个示例中,在形成悬浮电极后,牺牲材料层,例如,由 Microchem, Inc. 制造的旋涂聚合物 PMGI,沉积在 MEMS 结构下以形成腔体,并且沉积在 MEMS 结构之上以形成腔体。MEMS 之上的腔体用于支撑帽(cap)的形成,例如, SiO_2 和 SiN 穹顶(dome)的形成,以在去除牺牲材料后密封 MEMS 结构。在一定的实施中,硅用于形成在 MEMS 周围的牺牲腔体;尽管本发明也可以采用其它材料。

[0033] MEMS 梁可为没有氧化物的单配线、以氧化物、金属/氧化物/金属、氧化物/硅/氧化物等的镶嵌配线(damascene wire)。然而,现有的 MEMS 梁设计由于例如电介质充电而在致动器重复循环期间进行亲密接触时遭受粘滞作用(stiction)。为了抵消(compensate)粘滞作用,在梁下或者在固定致动器配线附近应采用氧化物缓冲器(bumper)。然而,当前的制造工艺导致氧化物缓冲器太浅或者距电容器太远,这导致很大的梁下陷区域和致动器接触,由于粘滞作用导致循环失败。再者,由于制造变化,如果氧化物凸块(bump)太深或者太靠近电容器,则限定为被致动和未被致动的 MEMS 电容之差的 Δ 电容将由于氧化物凸块阻挡 MEMS 的电容器区域的接触而减小,导致性能下降。如果电场为也引起电介质充电的足够高的值,则粘滞作用的现象也可发生在电容器上。

[0034] 图 1a 示出了 MEMS 梁 100 下陷不足,因为在 MEMS 梁之下不正确地布局或设置大凸块 105,而图 1b 示出了 MEMS 梁 100 过度下陷,因为在 MEMS 梁 100 之下错误地设置大凸块 105。对于图 1a 的下陷不足的情况,大凸块 105 要么太高,要么设置为太靠近电容器头 110,导致所希望的阻碍致动器 115 的接触,但是也导致电容器头 110 不亲密接触的不希望结果,导致被致动电容的减少。对于图 1b 的过度下陷的情况,大凸块 105 要么太浅,设置为距电容器头 115 太远,要么遗漏导致大的致动器接触区域,这会导致 MEMS 梁粘滞作用(即失败)。

[0035] 图 1c 示出了本发明的实施例,其中浅微型凸块 105' 的阵列(在本说明书中,在另外的附图中也表示为附图标记 34a、34b、34c 等)设置在致动器 110 之间的梁 100 之下。本发明的该结构导致梁 100 全部下陷和高电容的头电容,但是避免致动器粘滞作用(stiction)。如这里所述,本发明可应用于其中致动器的接触是不希望的任何 MEMS 装置,例如,欧姆接触开关;并且可与大凸块 105 一起使用或者没有大凸块 105。

[0036] 更具体而言,在实施例中, MEMS 结构包括:多个致动器凸块 105', 例如,微型凸块

或抗粘滞作用凸块的阵列,形成在MEMS梁100和/或致动器电极115的至少之一的表面上。多个致动器凸块105'应定位为且具有既避免减小电容又减少或消除致动器接触二者的深度。在实施例中,微型凸块105'为约10-250nm深,并且,在一个示范性实施例中,为约50nm深。有利地,致动器115之上的微型凸块105'的阵列在MEMS梁100重复循环或压MEMS梁100后减少MEMS装置中发生粘滞作用的机会。

[0037] 另外,传统的凸块设置为远离梁的电容器部分,并且设计为当梁下陷且梁的电容器部分进行接触时阻止梁中的致动器接触梁之下的固定致动器,与传统的凸块不同,微型凸块105'在梁致动器115下设置为阵列,使得梁下陷在固定致动器115之上。在梁中的致动器之下将微型凸块105'设置成阵列消除了传统凸块的问题:太浅或设置为远离梁的电容器部分;或者太深或设置为靠近梁的电容器部分。从而,本发明的结构是遍布梁结构定位的致动器凸块105'的阵列,但是这不减小致动电容或者不显著减小致动电容。后面的优点因本发明的结构而产生,不阻挡或者实质上不阻挡与电容器例如,固定接触电极接触。尽管该讨论集中在MEMS电容器上,但是它也应用于具有单独致动器和接触区域的任何其它MEMS装置,例如具有绝缘致动器和金属接触区域的欧姆接触开关。

[0038] 在实施例中,致动器凸块105'的阵列可为SiO₂(氧化物)或者其它材料,从MEMS梁致动器的下面向下延伸,或者,作为选择,从固定致动器配线层(例如,致动器电极)向上延伸。在又一个附加实施例中,致动器凸块105'的阵列可提供在MEMS梁和致动器配线层二者上。如下所述,本发明也预期另外的变化,例如,致动器凸块由金属或其它材料组成,或者相对于MEMS梁和下致动器配线层设置在一定的位置,和/或由变化的形状和尺寸组成。当采用产生高电场的信号时,附加的缓冲器可以放置在电容器头上以防止电容器的亲密接触。在讨论附图前,应认识到,在实施例中,图中形成在另一层的顶部的所有层与该层直接接触。

[0039] 图2a示出了根据本发明各方面的开始结构和相关工艺步骤。该结构例如包括基板10,在实施例中,其可为器件例如,配线、晶体管、无源元件、存储元件等的任何层。例如,在实施例中,基板10为硅晶片,涂有二氧化硅或者本领域的技术人员已知的其它绝缘体材料。互连12提供在基板10内。互连12例如可为钨或铜柱(stud),提供在传统形成的通道中,或者,作为选择,可为配线。例如,互连12可采用本领域的技术人员已知的形成柱的任何传统的光刻、蚀刻和沉积工艺(例如,镶嵌工艺)而形成。互连12可接触其它的配线层、CMOS晶体管或其它的有源器件、无源器件等。

[0040] 仍参见图2a,配线层14形成在基板10上,在后面的处理步骤中其形成多个配线。在一个非限定性示例中,配线层14可沉积在基板上至约0.05至4μm的深度,且优选至0.25μm的深度;尽管本发明也预期其它尺寸。在实施例中,配线层14可为难熔金属,例如,Ti、TiN、TiN、Ta、Ta₂N和W等,或者AlCu,或者贵金属,例如,在其它配线材料中的Au、Pt、Ru、Ir等。例如,在实施例中,配线层14可由纯难熔金属、铝或铝合金(例如,AlCu、AlSi或AlCuSi)形成。在实施例中,配线层14可掺杂有Si,例如,1%的Si,以防止诸如Al的金属与诸如硅的上腔体层材料反应。在实施例中,配线层14的铝部分可掺杂有Cu,例如,0.5%的Cu,以增加配线的抗电迁移能力。在实施例中,配线可用Ti覆盖且用抗反射层TiN覆盖,例如,Ti/Al/Ti/TiN。在实施例中,配线可为镶嵌配线,用诸如TiN或Ta的难熔金属装衬,用钨、铜和本领域已知的类似物填充。

[0041] 如图 2b 所示,配线层 14 图案化为形成多个配线(下电极) 14a,其间具有配线间隔(间隙) 14b。在实施例中,配线层可采用传统的光刻和蚀刻工艺图案化。例如,抗蚀剂可形成在配线层上且曝光以形成开口,例如,图案,暴露下面的配线层的部分。暴露的配线层然后可经受反应离子蚀刻(RIE)工艺,例如以形成配线 14a。在实施例中,配线 14a'的至少一个与互连 12 接触(直接电接触)。在实施例中,配线可在沉积后或图案化后退火。

[0042] 在实施例中,配线间隔深宽比例如可为低深宽比或高深宽比。例如,通过形成 50nm 高的配线 14a 与 1000nm 的间隔 14b,本发明预期 1:20 的低深宽比;而 1:1 的高深宽比可由 500nm 高的配线 14a 与 500nm 的间隔 14b 形成。这里提供的这些深宽比值仅为参考,而不应看作本发明的限制特征。作为选择,配线 14a 可采用镶嵌工艺(damascene process)形成,例如,镶嵌 Cu 或 W,如本领域所知。

[0043] 仍参见图 2b,绝缘体层(电介质层) 16 形成在多个配线 14a 和基板 10 的暴露部分上。优选坚固的绝缘体层 16,以防止在随后的腔体形成期间形成难以去除的金属间化合物,并且,如果形成了,则在活化金属间化合物期间通过阻挡梁完全下陷可能阻挡 MEMS 梁致动。在实施例中,绝缘体层 16 是氧化物材料,例如, SiO_2 或 Al_2O_3 ,在与铝配线兼容的温度被沉积,例如,在约 420°C 下,并且优选在约 400°C 下被沉积。绝缘体层 16 的沉积选项例如包括等离子体增强 CVD (PECVD)、亚大气压的 CVD (SACVD)、大气压 CVD (APCVD)、高密度等离子体 CVD (HDPCVD)、物理气相沉积(PVD)或原子层沉积(ALD)的一种或多种。

[0044] 在实施例中,绝缘体层 16 是氧化物,沉积到约 80nm 的深度;尽管本发明也预期其它尺寸。该绝缘体层 16,仅在制造 MEMS 电容器时是需要的,将形成下电容器板电介质。绝缘体层 16 也用作配线 14a 中诸如铝的金属和诸如硅的用于形成 MEMS 腔体的随后材料之间的屏障。

[0045] 在图 3 中,可选致动器凸块 16a 的阵列形成在一个或多个配线 14a 上。在实施例中,可选凸块 16a 的阵列由诸如二氧化硅的电介质材料组成;尽管本发明也预期其它材料。例如,致动器凸块 16a 的阵列可由金属例如,与配线 14a 相同的材料组成。在实施例中,凸块 16a 的阵列例如可以与以下描述的随后形成的 MEMS 梁、MEMS 梁的隔离部分或其它构造中的间隔对齐。再者,在实施例中,可选致动器凸块 16a 的阵列以预定的间隔和高度形成在致动器电极上,以防止 MEMS 梁接触致动器电极。这将在重复梁循环期间防止和/或减小粘滞作用和梁下陷。然而,致动器凸块的阵列的预定间隔和高度,例如,尺寸和形状,仍将允许 MEMS 梁和固定电极(例如,电容器电极)之间的接触。作为示例性非限定示例,凸块 16a 的阵列可为约 10nm 至 80nm 高和约 0.1 至 1 μm 宽。在实施例中,可选致动器凸块 16a 的阵列可通过图案化和蚀刻配线 14a 之下的氧化物而形成,或者可是配线 14a 之下的沉积和图案化材料。

[0046] 凸块 16a 的阵列可在形成绝缘体层 16 的沉积前形成。例如,可选凸块 16a 的阵列可为沉积的 PECVD SiO_2 膜,其采用传统的光刻和蚀刻工艺直接在配线 14a 上图案化和蚀刻。对于该选项,凸块 16a 的阵列可首先图案化和蚀刻,然后是配线 14a 的图案化和蚀刻。在选择性实施例中,配线 14 可首先被图案化和蚀刻,然后形成可选凸块 16a 的阵列。在图案化和蚀刻配线 14a 前图案化和蚀刻凸块 16a 的阵列避免了由于在配线间隔 14a 之间的配线 14 之下过蚀刻进入氧化物造成的引入到绝缘体层 16 的沉积的深宽比的增加。这是因为配线 14a 之间的氧化物在凸块 16a 的阵列蚀刻期间没有被蚀刻。

[0047] 在图 4 中, 牺牲腔体材料层 18 沉积在绝缘体层 16 上, 或者作为选择, 沉积在配线 14a 上 (如果绝缘体层 16 不存在)。在实施例中, 层 18 例如可为硅、钨、钽、锆或对绝缘体层 16 或配线 14a (如果绝缘体层 16 不存在) 可随后采用例如 XeF_2 气体选择性去除的任何材料。层 18 可采用任何传统的等离子体气相沉积 (PVD)、PECVD、快速热 CVD (RTCVD) 或者以与配线 14a 兼容的温度 (例如, $<420^\circ\text{C}$) 操作的 LPCVD 沉积。在实施例中, 层 18 沉积到约 0.1 至 $10\ \mu\text{m}$ 的高度, 其由 MEMS 间隙要求决定, 并且采用传统的光刻和反应离子蚀刻 (RIE) 步骤图案化。一个示例可采用约 $2\ \mu\text{m}$ 的硅厚度。为了避免在硅层 18 的蚀刻后在晶片上留下氧化裂痕, 本发明预期氩稀释剂与施加到晶片的 rf 偏压功率的结合以同时溅射和 RIE 蚀刻该表面。作为选择, 诸如旋涂聚合物的任何牺牲材料可用于形成这个和其它的牺牲腔体。

[0048] 在实施例中, 绝缘体层 16 也用于阻挡配线 14a 和层 (腔体材料) 18 的反应、合金化或相互扩散。例如, 如果配线 14a 包含铝, 则铝可与硅反应而形成硅化铝, 其在随后的层 (牺牲层) 18 的排出或去除步骤期间很难或不可能去除。为了防止这样的反应, 共形氧化屏障, 例如, ALD Al_2O_3 (氧化铝)、ALD Ta_2O_5 (五氧化钽) 或者二者的结合, 可沉积为绝缘体层 16。在一个示范性实施例中, 层 16 包括 80nm 的 HDPCVD 氧化物, 接着是 15nm 的 ALD 氧化铝。在实施例中, 采用快速沉积 SiO_2 和慢速沉积氧化铝的结合是理想的。ALD 氧化铝或类似的膜可用在 80nm 的氧化物之下; 并且也可用在上 MEMS 电极下以阻挡硅与上 MEMS 电极反应。

[0049] 作为可选工艺步骤, 层 18 可采用例如化学机械抛光 (CMP) 平坦化, 然后, 选择性地, 附加材料 (硅) 可沉积在抛光的层 18 上, 以在下硅 MEMS 腔体的表面上提供无缝层 (例如, 硅层)。传统的 CMP 和随后的清洗工艺, 例如, 刷洗 (brush clean)、稀释的氢氟酸 (DHF)、缓冲氢氟酸 (BHF)、低温清洗 (cryogenic clean) 等可在任何的 CMP 步骤后执行, 以去除硅表面上形成的自然氧化物。

[0050] 更具体而言, 层 18 采用诸如 PVD 的传统沉积工艺沉积在绝缘体层 16 上。层 18 例如采用 CMP 工艺平坦化, 并且诸如硅的第二层材料沉积在平坦化的层 18 上。该层采用传统的光刻和反应离子蚀刻 (RIE) 步骤图案化。该硅沉积、CMP 和第二沉积工艺消除了硅表面中的草皮块 (divots), 消除了氧化接缝的机会, 并且部分地或者完全平坦化由于引入配线 14a 和配线间隔 14b 地形引起的硅表面上的地形。

[0051] 一组示例厚度可为 250nm 高的配线 14、500nm 的配线 14a 之间的间隔 14a、 $0.9\ \mu\text{m}$ 的初始硅沉积厚度、CMP 去除配线 14a 之上的 400nm 硅以平坦化配线 14a 上的 250nm 台阶, 以及随后的硅沉积厚度足以在随后的反向氧化物平坦化工艺后再蚀刻最后的厚度目标。在一个示范性实施例中, 200nm 的硅从配线 14a 之上的区域被去除, 在配线 14a 之间的间隔 14b 上实质上小于 50nm, 这部分地平坦了配线 14a 和间隔 14b 之上的区域。

[0052] 硅 CMP 通常执行为形成深沟槽 DRAM 电容器, 如本领域所知。对于这种类型的硅 CMP, 该 CMP 工艺最优化为最大化对晶片表面上的焊垫绝缘体 (例如, SiO_2 或氧化物) 膜的选择性, 即该硅 CMP 的速率最大化, 并且氧化物 CMP 的速率最小化, 从而硅对氧化物的选择性为 50:1。这种类型的硅 CMP 工艺最优化用于采用 CVD 沉积的硅膜, 但是可能导致采用 PVD 沉积的硅膜的问题。例如, 用传统选择性硅 CMP 工艺抛光的 PVD 硅膜可能具有在 PVD 硅膜中具有缺陷的问题, 这导致局部抛光率降低。这些 PVD 硅缺陷, 可能是由于氧化的硅、其它的杂质或者硅晶粒结构, 可导致选择性硅 CMP 工艺在抛光的硅表面上留下抛光不足的点缺陷。然而, 为了避免这些由硅 CMP 引起的点缺陷, 可采用较小选择性或者非选择性的硅抛光

工艺,例如,采用 SiO₂ 抛光化学和工艺代替硅 CMP 抛光化学和工艺。

[0053] 利用较小选择性硅抛光工艺消除了抛光后的点表面缺陷。选择性硅抛光的示例是碱性介质,例如,具有硅土磨料的 TMAH,其 pH 足够高以溶解硅,即 pH>12,其具有 50:1 的硅:SiO₂ 的选择性。非选择性硅抛光的示例是碱性介质,例如采用硅土磨料的 KOH,其 pH<12,这太低了而不能溶解硅。该非选择性硅 CMP 工艺可具有小于 50:1 的硅:SiO₂ 选择性,并且在一个示范性实施例中,可在 2:1 至 1:2 的范围内。

[0054] 参见图 6,绝缘体材料(例如,氧化物) 20 沉积在层 18、绝缘体层 16 的任何暴露部分以及任何任选凸块 16a 上。该沉积例如可为传统的共形沉积工艺,沉积绝缘体材料 20 至约与层 18 的高度相同的深度,例如,对于 2.3 μm 厚的层 18 为约 2.3 μm。在选择性实施例中,绝缘体材料 20 与 2.3 μm 相比可沉积到约 3.3 μm 的厚度;尽管本发明也预期其它的深度。

[0055] 在实施例中,绝缘体材料 20 采用 400°C 的 PECVD 氧化物沉积、采用 TEOS 或硅烷作为硅源以及氧或 N₂O 作为氧源被沉积。如果氧化物层的厚度故意地薄于层 18 的高度,则随后的氧化物 CMP 将过抛光并且平坦化层 18 的表面。相反,如果层 20 的厚度故意地厚于层 18 的高度,则随后的氧化物 CMP 将对层 18 的表面抛光不足,并且留下它埋在氧化物(绝缘体)表面之下。两个工艺选择可能是希望的,取决于最小化层 18 的表面的过抛光与平坦化绝缘体材料 20 或层 18 表面距配线层 14a 的地形的重要性。在一个示范性实施例中,层 18 为约 2.3 μm,层 20 为约 2.1 μm,并且可选氧化物回蚀刻步骤的目标是全部氧化物(绝缘体)去除,即 >2.1 μm。这导致随后的氧化物抛光工艺进一步平坦化层 18。

[0056] 在实施例中,可选反向蚀刻(反向镶嵌工艺)可根据本发明各方面实施。更具体而言,抗蚀剂沉积在绝缘体材料 20 上,并且图案化以形成开口,且抗蚀剂边缘与下层 18 的边缘重叠。就是说,抗蚀剂将略微遮蔽下层 18。在实施例中,重叠大于 0,例如可为 3 μm,并且最小化以减少在随后的 CMP 工艺期间将被平坦化的留下的氧化物层。绝缘体材料 20 采用传统的 RIE 工艺蚀刻,这导致围绕下层 18 的“镜框(picture frame)”,如 2010 年 12 月 21 日提交的美国申请 No. 12/974,854 中所公开的,其全部内容通过引用结合于此。绝缘体材料 20 然后被平坦化,例如,平坦化为与下层 18 在同一平面上(例如,几乎平坦或平的表面)。在实施例中,该工艺也平坦化下层 18,这导致在随后的加工步骤中的平面腔体结构(例如,具有平坦或平的表面)。平坦化工艺例如可为 CMP 工艺。作为选择,随后的 MEMS 梁可直接形成在图 5 所示的腔体之上,而没有图 6 所示的氧化物层的反向平坦化。

[0057] 在图 7 中,沟槽 33 的阵列,例如,沟槽 33a、33b、33c 等的阵列形成在层 18 中,在各配线之上和 / 或与间隔 14b 对齐。应注意,每个沟槽 33a、33b 和 33c 表示沟槽阵列,并且可形成在如下描述的其它位置。在实施例中,沟槽 33 的阵列通过传统的图案化和蚀刻工艺形成。为了保证硅(例如,层 18)均匀地蚀刻,在硅蚀刻前可在抗蚀剂被图案化的晶片上执行可选的氧化物 RIE 工艺。另外,具有或者没有可选的氧化物 RIE 工艺,在蚀刻硅之前,可执行在晶片上对光致抗蚀剂的 HF 清洗以氢钝化硅表面,例如,硅层 18 的表面。硅例如采用 SF₆-基 RIE 化学蚀刻,如本领域所知。作为选择,可选的氧化物 RIE 工艺,采用如本领域所知的诸如 CF₄ 的全氟化碳气体和诸如 CO₂ 的氧化剂,这可蚀刻 50nm 或更多的硅(或其它牺牲材料),可用于蚀刻硅。氧化物 RIE 蚀刻例如可执行在平行板 rf 反应器中,采用一种或多种全氟化碳和氧源,例如,氧或二氧化碳,如本领域所知。

[0058] 在实施例中,沟槽 33 的阵列可形成在不同的位置,单独地或以任何的结合。例如,沟槽 33a 可形成在致动器配线 $14a_1$ 之上;而沟槽 33b 的阵列可形成为与致动器配线 $14a_1$ 和虚设配线 $14a_2$ 之间的间隔 14b 对齐。在实施例中,沟槽 33c 也可形成在虚设配线 $14a_2$ 之上。在进一步的实施例中,沟槽 33 的任何一个可形成为与 MEMS 梁的间隔或开口对齐,如下面进一步的详细描述。

[0059] 在进一步的实施例中,沟槽 33 的阵列在层 18 (例如,牺牲腔体材料)中形成为约 10nm 至 100nm 的深度和约 0.1 至 $1\mu\text{m}$ 宽;尽管本发明预期其它尺寸,取决于设计参数。这些沟槽 33 将形成微型凸块以阻挡致动器接触。如果在金属层 14 的表面上或者金属层 38 的下侧上具有地形(图 10),例如,金属小丘(hillock),则微型凸块可能略高于该地形,以防止因地形而致动器接触。例如,根据位置,沟槽 33 可改变尺寸,例如,较深和较宽或者较浅和较窄,以便形成致动器凸块的变化尺寸(例如,氧化物短桩(oxide pegs))。更具体而言,沟槽可改变深度和宽度(或者周围),取决于它们相对于致动器区域和下层电极(例如,配线)的接触区域的位置,如下面更加详细的讨论。在一个示范性实施例中,沟槽 33 为 0.5 微米宽,设计成圆形形状,且为 50nm 深。

[0060] 在图 8 中,诸如 SiO_2 的电介质沉积在沟槽 33 的阵列之上。在实施例中,绝缘体层 36 形成 MEMS 电容器电介质的部分或全部。诸如氧化物的电介质层 36 形成在层 18 和绝缘体层 20 上。在实施例中,电介质层 36 是上电容器电介质或氧化物沉积,其形成在 MEMS 梁的底部上。在实施例中, MEMS 电容器电介质 36,在 MEMS 梁被致动时,包括电介质层 16 和 36,它们分开小的间隙,这是由于 MEMS 电容器电极的表面粗糙度。在实施例中,电介质层 36 可沉积到约 80nm 的高度;尽管本发明预期其它尺寸。在实施例中,电介质层 36 可在形成致动器凸块 34a、34b、34c 等之前形成;就是说,随后的电介质层 40 (图 10)可沉积在沟槽 33 中。

[0061] 绝缘体材料 36,与随后的材料结合,将在 MEMS 梁的下侧上形成致动器凸块的阵列,例如,致动器凸块 34a、34b、34c 等。除了防止在 MEMS 循环或压测试期间的致动器粘滞作用外,在实施例中,致动器凸块 34a、34b、34c 等,与凸块 16a 一样,在 MEMS 梁和诸如多个配线的下配线层之间提供缓冲器,以防止由于 MEMS 梁中的配线和配线的紧密接近在 MEMS 运行期间引起的电弧;或者减小或消除致动器粘滞作用的可能性。当高 dc 电压,即 5-100V,例如在配线中施加到 MEMS 致动器时,可能产生电弧。在实施例中,可选电介质层 36 可在形成致动器凸块 34a、34b、34c 等之前形成在层 18 上和沟槽 33 的阵列内。这些和其它截面图中所示的微型凸块的布局是任意的,并且为了使微型凸块防止 MEMS 粘滞作用,它们设计为避免致动器接触,如图 13-17 所示在下面被描述。

[0062] 致动器凸块 34a、34b、34c 等的阵列根据沟槽 33 的各阵列的不同尺寸确定尺寸和形状。更具体而言,致动器凸块 34a、34b、34c 等的阵列结构化为当电压呈现在致动器电极上时在 MEMS 梁和致动器电极之间提供预定量的物理间隔;或者它们设置为使接地和 dc 偏压的致动器决不物理接触。就是说,致动器凸块 34a、34b、34c 等的阵列构造为在 dc 电压呈现在致动器电极上时防止 MEMS 梁中的 dc 偏压致动器接触固定的致动器电极。再者,在实施例中,致动器凸块的阵列允许 MEMS 梁接触接触电极,例如,电容器电极。换言之,致动器凸块 34a、34b、34c 等的阵列被尺寸化,例如,依大小和间隔制造,以保证 MEMS 梁在致动期间,即在致动器电极上施加电压时,可接触固定接触电极。这些相同的优点从致动器凸块 16a

也可看见。尽管本发明涉及利用 dc 电压致动 MEMS,但是本发明也预期利用 dc、ac 和 / 或 rf 电压,因为偏压致动器之间的引力与电压的平方成比例。尽管本发明集中在利用微型凸块防止致动器粘滞作用,但是微型凸块也可用于防止电容器头粘滞作用,这可减小致动梁的电容,这是由于 MEMS 梁和固定配线层的电容器头之间较大的间隔。

[0063] 图 9 和 10 示出了根据本发明各方面的附加加工步骤和各结构以形成 MEMS 梁、上 MEMS 腔体和盖(lid)。通道 Xi 可形成在绝缘体层 20 和 36 中至下层配线 14a'。通道 Xi 可为锥形的通道,采用传统的光刻、蚀刻和清洗工艺形成,或者可以为任何其它类型的通道,例如,如本领域已知的镶嵌钨柱(tungsten stud)。锥形通道的利用减小了硅表面的 CMP 暴露,导致较小的硅厚度变化,避免了抛光或损坏上 MEMS 电容器绝缘体,以及较低的形成深草皮块的机会。在实施例中,应注意,锥形通道不过度氧化下层的 TiN、TiAl₃ 或 AlCu 表面,这可能导致很高的通道电阻。可选地,柱状通道 RIE 光致抗蚀剂剥离可在低温即 100°C 下进行,以最小化氧化。

[0064] 在实施例中,通道 Xi 应使用在硅腔体区域的外面,因为如果它设置在硅腔体内,则用于制造它的氧化物蚀刻会受到层 18 的阻挡。在实施例中,如果随后的金属沉积工艺具有很差的共形性或侧壁覆盖,则锥形通道的深宽比可能很低,例如,0.5:1。例如,对于 2 μm 厚的绝缘体 20,可采用 4 μm 宽的锥形通道。作为选择,如果采用共形铝工艺,即热回流 PVD 或 CVD 工艺,则锥形通道可采用较高的深宽比。作为选择,镶嵌钨柱的通道可如本领域所知而制造。

[0065] 仍参见图 9,在绝缘体材料 36 上且在通道内形成且图案化随后的金属层 38。在实施例中,金属层 38 用于形成 MEMS 梁下电极。金属层 38 可沉积且图案化为覆盖致动器凸块 34a、34b、34c 等,或者在另外的实施例中,使致动器凸块 34a、34b、34c 等不被覆盖,或者这两种情况都有。如果致动器凸块 34a、34b、34c 等没有被覆盖,则减少或消除了粘滞作用、电弧或致动器板之间的其它电介质损坏。如果致动器凸块 34a、34b、34c 等没有被金属层 38 覆盖且由于所选的工艺方法具有向下进入致动器凸块 34a、34b、34c 等中的台阶,则可能沿着致动器凸块 34a、34b、34c 等的侧壁具有很薄的金属间隔物留下。金属层 38 也将形成在通道中,与配线(电极) 14a' 接触。在选择性实施例中,金属层 38 也可沉积在沟槽 33 中或沟槽 33 的上面直接与沟槽中的材料 34 接触。

[0066] 在实施例中,金属层 38 可为在其它材料当中的 TiN、TiN 或 W、Ru、Pt、Ir。这个和其它电极和 / 或配线的厚度可根据具体的设计参数变化。例如,Ti/AlCu/Ti/TiN 层可分别采用 10nm、5000nm、10nm 和 32nm 的厚度,其可在 400°C 退火后在 AlCu 之下和之上形成 TiAl₃。为了最小化任何的小丘,在实施例中,可选的 Ti 层可沉积和 / 或形成为与 Al 直接接触。在此情况下,在金属层(电极) 38 与上表面相反的下表面上可抑制小丘。作为选择,金属层 38 可由贵金属例如, Au 形成;或者由例如, W 或 Ta 的难熔金属形成;或者没有 Ti-AlCu 界面,例如, Ti/TiN/AlCu/TiN。

[0067] 绝缘体材料 40 共形地沉积在金属层 38 之上。在实施例中,绝缘体材料 40 采用上面讨论的任何方法沉积氧化物。在实施例中,绝缘体材料 40 沉积到约 0.5 至 5 μm 的高度,取决于梁的弹簧常数和氧化物对金属厚度比的要求。在一个示范性实施例中,绝缘体材料 40 为 400°C PECVD 的 2 μm 厚的氧化物且具有被很好控制的残余应力和厚度。在实施例中,通道形成在绝缘体材料 40 中以暴露下层金属层 38 的部分,以类似于前面描述在绝缘体层

20 中的通道的方式。绝缘体层 40 的厚度或残余应力的变化导致弹簧常数和整个 MEMS 梁中的应力梯度变化,这可负面影响梁的曲率和挠度。

[0068] 上电极(金属层)42 形成且图案化在绝缘体层 40 之上,并且也沉积在通道 Xii 内,以接触下电极(金属层)38。在实施例中,上电极 42 由与下电极 38 相同的材料形成。例如,在一个示范性实施例中,电极 38 和 42 由 Ti/AlCu/Ti/TiN 组成。对于锥形通道,它可希望为在沉积用于电极 38 和 42 的金属,即 Ti/AlCu/Ti/TiN 前完全去除 TiN 层,通过采用 TiN RIE 化学将其蚀刻,采用氩溅射将其溅射,或者二者的结合以消除通道抵抗高飞(via resistance high flyers)的可能。电极 38 和 42 的金属体积应为相同的或基本上相同的,以便平衡装置的全部体积和应力,并且因此不在 MEMS 结构的梁上产生不适当的应力,如美国申请 No. 12/974, 854 中所讨论的。

[0069] 仍参见图 9,可选的绝缘体材料 44 沉积在上电极 42 和绝缘体材料 40 的暴露部分上。在实施例中,绝缘体材料 44 沉积到约 80nm 的厚度;尽管本发明也预期其它尺寸。为了平衡 MEMS 梁,在 MEMS 梁之上的绝缘体材料 44 与 MEMS 梁下的绝缘体材料 36 应为基本上相同的厚度。层 36 和 44 的该厚度平衡应包括在随后的排出孔(vent hole)电介质沉积密封步骤期间发生的层 44 上任何附加的电介质沉积。通过图案化和蚀刻通过绝缘体,腔体通道形成为穿过绝缘体材料 44、40 和 36 至下层 18。在实施例中,在随后的材料沉积之前,例如,可采用 HF 酸清洗任何不希望的氧化物,例如,通过暴露层 18 到空气形成的自然氧化物。

[0070] 图 9 进一步示出了层 46,其沉积在绝缘体材料 44 上和通道内,延伸到下层 18。在实施例中,层 46 与层 18 为相同的材料,例如,硅,其可沉积到约 4 μm 的厚度;尽管本发明也预期其它尺寸。在实施例中,由于 HF 酸清洗,两个硅层(例如,层 18 和层 46)之间没有氧化物。作为选择,可采用任何牺牲腔体材料,例如,旋涂聚合物。

[0071] 层 46 可沉积为使层 46 的地形根据下层特征而变化,例如,形成退化开口(regressive openings)。为了避免可能导致 MEMS 梁钉扎(pinning)的一定地形,层 46 的沉积应优化。这可通过沉积厚层 46 以夹断或部分夹断(pinch off)形成有退化开口的任何通道而实现,或者通过 CMP 工艺,接着随后的硅沉积,或者上面的结合而实现。作为示例性、非限定的示例,层 46 具有 3 μm 的初始厚度,经受 1 μm CMP 去除,并且具有第二硅沉积以实现 4 μm 厚度。在选择性实施例中,层 46 可经受采用反向掩模(reverse mask)的选择性光刻和 RIE 工艺,类似于上面的讨论。

[0072] 如图 9 进一步所示,绝缘体(氧化物)材料 48 可沉积在材料 46 和任何暴露的绝缘体材料 44 上。材料 48 可被平坦化,使得材料(例如,氧化物)留在层 48 之上,或者可与下层 48 共平面。是否层 48 平坦化回到层 46 的表面,都可能需要沉积附加的电介质以在 MEMS 腔体之上形成所需的氧化物盖厚度,如下面所讨论。作为选择,绝缘体材料 48 可部分地平坦化或不被平坦化。作为可选步骤,绝缘体材料 48 可沉积到约 5 μm 的厚度,与 2.3 μm 相比,例如具有沉积在厚氧化物材料上的 Si 层。

[0073] Si 层(和绝缘体材料 48 的部分)采用诸如 CMP 的传统工艺平坦化。绝缘体材料 48 的沉积应充分填充配线层的间隔,使氧化物中的空隙不交叉 CMP 平坦化的氧化物表面,例如,用 HDPCVD 氧化物沉积初始氧化物膜以填充间隔、沉积 / 蚀刻 / 沉积氧化物、或 PECVD TEOS-基氧化物,用于初始氧化物沉积或整个膜。对于所有这些实施例,反向掩模回蚀刻步骤是可选的。附加的氧化物材料也可沉积,以在硅去除前决定盖的厚度。例如,氧化物材料

在可具有去除前的约 $3\mu\text{m}$ 的厚度。

[0074] 在实施例中, 排出孔 50 在盖 48 中图案化且开口, 暴露下层 46 的一部分。应理解, 绝缘体材料 48 中可形成一个以上的排出孔 50。排出孔 50 可采用本领域的技术人员已知的传统光刻和蚀刻工艺形成。排出孔 50 的宽度和高度决定了硅去除后应沉积以夹断排出孔的材料量。通常, 夹断排出孔 50 应沉积的材料量随着排出孔宽度的减小而减少; 并且随着排出孔的深宽比而增加, 排出孔深宽比是排出孔高度对宽度的比。在实施例中, $3\mu\text{m}$ 厚的前排出盖(pre venting lid)可具有 $1\mu\text{m}$ 直径。

[0075] 排出孔 50 可为圆形或接近圆形以最小化夹断它所需后续材料的量。在一个示范性实施例中, 排出孔 50 成形为八角形, 其最小化了上面讨论的计算要求。在一个示范性实施例中, 接近 $1\mu\text{m}$ 的氧化物盖需要每个 $10,000\mu\text{m}^2$ 的腔体面积以避免盖在排出后破裂。排出孔 50 可形成在几个位置至上层 46、下层 18 或上层和下层 46、18 二者的部分(暴露部分)。例如, 排出孔形成在腔体通道 56 的内侧和外侧。

[0076] 在图 10 中, 牺牲层 46 和 18 通过排出孔 50 被排出或剥离。在实施例中, 结构, 且特别是暴露的下层 46, 可在排出前用 HF 溶液清洗, 以去除自然氧化物以及钝化层 46 的表面的氢钝化的暴露硅表面。在实施例中, 剥离(例如, 蚀刻)可采用 XeF_2 蚀刻剂通过排出孔 50 实现。蚀刻将剥离形成上腔体或室 52 和下腔体或室 54 的所有材料(硅), 并且对很多其它材料(包括 SiO_2)是选择性的。在实施例中, 上部 52 中的层 46 的蚀刻速率比下部 56 中的层 18 的蚀刻更快, 因此保证了没有不适当的应力产生在下部 56 上(上部 52 和下部 54 将形成 MEMS 结构的上腔体和下腔体)。

[0077] 如图 10 所示, 排出孔 50 可用材料 58 例如, 电介质或金属密封。为了避免密封材料进入腔体且沉积在 MEMS 梁上的问题, 在实施例中, 排出孔 50 应设置为足以远离通道, 例如, 大于 $1\mu\text{m}$, 或者在示范性实施例中, 大于 $5\mu\text{m}$, 从而释放的 MEMS 梁不因排出口密封沉积而连接到盖。作为选择, 排出孔 50 可设置在腔体区域中远离 MEMS 梁, 从而没有排出孔密封材料沉积在释放的 MEMS 梁上。可选层 60 沉积为接下来提供气密封。层 60 例如可为 500nm PECVD 氮化硅膜或者已知的其它膜, 以在氧化物层 62 之上提供气密封。

[0078] 图 11 示出了根据本发明一个方面的侧视截面图。特别是, 图 11 示出了致动器微型凸块 34 的阵列, 其从 MEMS 梁 75 向下延伸, 并且与致动器电极 $14a_1$ 对齐。在实施例中, 致动器微型凸块 34 的阵列, 在致动 MEMS 梁时, 例如, 在施加电压时, 将接触(着陆在)致动器电极 $14a_1$, 因此保证了 MEMS 梁 75 的致动器部分与致动器电极 $14a_1$ 物理地分开; 然而, 致动器凸块 34 的阵列的大小和形状选择为允许 MEMS 梁 75 的电容器头部分接触电极的接触区域 $14a_2$ 。在实施例中, 致动器凸块 34 可为约 $0.5\mu\text{m}$ 宽和约 50 纳米高。在进一步实施例中, 致动器凸块 34 的阵列的大部分可为相同的尺寸和形状, 其较深(较宽和 / 或较长)的致动器凸块(bump) 34a 设置为距接触区域 $14a_2$ 最远, 并且较窄的致动器凸块 34 靠近接触区域 $14a_2$, 例如, 电容器头。

[0079] 图 11 还示出了可选的大缓冲器(bumper)Xiii, 其可除了微型凸块 34 之外设置。如果设置可选的大缓冲器 Xiii, 则会需要附加的光刻、蚀刻和清洗步骤, 以在形成沟槽 33a、33b 和 33c 之前或之后立即执行, 或者较宽的缓冲器可采用如下所示。

[0080] 图 12 示出了根据本发明一个方面的侧视截面图。特别是, 图 12 示出了致动器凸块 34 的阵列, 其从 MEMS 梁 75 向下延伸, 并且与致动器电极 $14a_1$ 对齐。在图 12 的实施例

中,致动器凸块 34 的阵列可具有可变的宽度和可变的深度。尽管示出了随意变化的深度,但是它应希望在致动器靠近电容器头处设置较浅的微型缓冲器,以最小化或消除由致动器之上的微型凸块引起的电容的任何减小,并且较深的微型凸块进一步远离电容器头;或者设置较浅的微型凸块在电容器头上且较深的微型凸块在致动器上,以减小致动器上由于 dc 致动电压引起的粘滞作用和电容器头由于 rf 电压引起的粘滞作用。

[0081] 如所附的曲线图所示,诸如宽度的变化尺寸可在致动器凸块的阵列的制造期间通过变化蚀刻速率获得。例如,约 0.5 和 2 微米宽的微型凸块分别以每分钟 0.4 和 0.8 微米被蚀刻。而且,约 0.5 微米宽、25nm 深的微型凸块可设置为恰好相邻于电容器头 $14a_2$, 并且 2 微米宽、50nm 深的微型凸块可设置为远离电容器头 $14a_2$, 以允许使较近的电容器头接触在固定配线 34 和 MEMS 梁配线 38 之间以增加致动的 MEMS 电容。可变宽度的范围例如可为约 $0.1\ \mu\text{m}$ 至约 $5.0\ \mu\text{m}$; 尽管本发明预期其它尺寸。

[0082] 在实施例中,由于不同的尺寸,某些致动器凸块 34 的阵列将接触致动器电极 $14a_1$, 因此保证了 MEMS 梁 75 与致动器电极 $14a_1$ 物理地分开;然而,致动器凸块 34 的阵列的大小和形状设置为允许 MEMS 梁 75 接触电极的接触区域 $14a_2$ 。在实施例中,变化的深度和/或宽度可通过两个或更多个掩模步骤形成。

[0083] 在实施例中,微型凸块 34 设置在下 MEMS 配线 38 内的孔、开口或间隔中,以防止电压偏置的 MEMS 梁致动器接触电压偏置的固定致动器 34。MEMS 梁粘滞作用在电场流动在两个 MEMS 致动器之间时发生,并且随着电场的增加而增加。如果微型凸块设置在下 MEMS 配线 38 内的孔中,则 MEMS 配线 38 和固定致动器配线 34 之间的电场在 MEMS 梁配线 38 下的微型凸块接触固定致动器配线 34 时显著减小。这意味着微型凸块接触固定致动器配线 34 的表面。

[0084] 图 13 示出了根据本发明一个方面的图 11 或图 12 的结构俯视图。特别是,图 13 示出了致动器凸块 34 的阵列,其从 MEMS 梁的下电极 38 延伸,并且与致动器电极 $14a_1$ 对齐。如所示,致动器凸块 34 的阵列在施加电压时将着陆在致动器电极 $14a_1$ 上,因此保证了 MEMS 梁的下电极 38 与致动器电极 $14a_1$ 物理地分开;然而,致动器凸块 34 的阵列的大小和形状设置为为允许 MEMS 梁的下电极 38 接触电极的接触区域 $14a_2$ 。

[0085] 图 14 示出了根据本发明一个方面的侧视截面图。特别是,图 14 示出了致动器凸块 34 的阵列,其从 MEMS 梁 75 向下延伸,并且与隔离的致动器电极 $14a_3$ 对齐。在实施例的任何一个中,隔离的致动器电极 $14a_3$ 例如可为 (i) 单独电浮置的虚设导体、(ii) 连接的但电浮置的虚设导体、(iii) 单独电浮置或连接的但电浮置的虚设导体、或者 (iv) 连接到电压,例如,接地或者已知的 ac 和 dc 电压的任何组合。在实施例中,作为一个示例,已知的电压可等于梁致动器电压。

[0086] 在图 14 的实施例中,在运行中,致动器凸块 34 的阵列将着陆在隔离的致动器电极 $14a_3$ 上。这样,致动器凸块 34 的阵列将保证 MEMS 梁 75 中的致动器与固定致动器电极物理地分开;然而,致动器凸块 34 的阵列的大小和形状设置为允许 MEMS 梁 75 中的电容器头接触电极的电容器接触 $14a_2$ 。这些虚设接触区域 $14a_3$ 可为电浮置的,与 MEMS 梁致动器偏置在相同的电压电势上,或者偏置在任何的电压上。优选地,虚设接触区域 $14a_3$ 被电浮置或与 MEMS 梁致动器偏置在相同的电压。与前面的实施例一样,致动器凸块 34 的阵列也可通过调整蚀刻速率在致动器凸块的阵列制造期间也具有变化的宽度和深度。此外,宽度的范

围例如可为约 $0.4\ \mu\text{m}$ 至约 $5.0\ \mu\text{m}$; 尽管本发明预期其它尺寸。在物理接触区域中, 该实施例减小了在下 MEMS 配线 38 和固定致动器配线 34 之间的电场, 因为在下 MEMS 配线 38 和固定致动器配线 34 中的虚设形状之间没有电压差。

[0087] 图 15 示出了图 14 所示的实施例的俯视图。特别是, 图 15 示出了致动器凸块 34 的阵列, 其从下电极 38 向下延伸, 并且与隔离的致动器电极 $14a_3$ 对齐。如所示, MEMS 梁致动器凸块 34 的阵列在施加电压时将着陆在致动器电极间隔 $14a_3$ 上, 因此保证了 MEMS 梁的下电极 38 与致动器电极物理地分开; 然而, 致动器凸块 34 的阵列的大小和形状设置为允许 MEMS 梁的下电极 38 的 MEMS 梁电容器头部分接触电极的电容器头接触区域 $14a_2$ 。在该实施例中, 在偏压 MEMS 梁和固定致动器电极 $14a_5$ 之间没有任何种类的物理接触。

[0088] 图 16 示出了示出了根据本发明一个实施例的侧视截面图。特别是, 图 16 示出了致动器微型凸块 34 的阵列, 其从 MEMS 梁 75 向下延伸, 并且与隔离的致动器电极 $14a_3$ 之间的间隔 $14a_4$ 对齐。在图 16 的实施例中, 致动器凸块 34 的阵列将着陆在隔离的致动器电极 $14a_3$ 之间的基板 10 上。致动器凸块 34 的阵列的大小尽管保证了 MEMS 梁 75 将与致动器电极物理地分开, 同时仍与电极的接触区域 $14a_2$ 接触。例如, 如果固定致动器配线为 250nm 高, 则微型凸块 34 可为 300nm 高, 以在接触的 MEMS 梁和固定致动器之间提供 50nm 的间隙。与前述的实施例一样, 致动器凸块 34 的阵列可通过在致动器凸块的阵列制造期间调整蚀刻速率而具有变化的宽度和深度; 尽管该实施例示出了致动器凸块 34 的阵列的不变深度。此外, 该宽度的范围例如可为约 $0.4\ \mu\text{m}$ 至约 $5.0\ \mu\text{m}$; 尽管本发明预期其它尺寸。

[0089] 图 17 示出了图 16 所示实施例的俯视图。特别是, 图 17 示出了致动器凸块 34 的阵列, 其从下电极 38 向下延伸, 并且与隔离的致动器电极 $14a_3$ 之间的间隔 $14a_4$ 对齐。如所示, 致动器凸块 34 的阵列将着陆在隔离的致动器电极 $14a_3$ 的间隔 $14a_4$ 之间, 并且接触下层基板 10。致动器凸块 34 的阵列的尺寸设置为保证 MEMS 梁的下电极 38 与致动器电极物理地分开, 同时也接触电极的接触区域 $14a_2$ 。

[0090] 图 18a 至 22b 示出了致动器凸块 34 的阵列和 / 或 16a 的各种构造。特别是, 图 18a 至 22b 示出了 MEMS 梁 75 的底部电极, 其与下固定致动器电极 14” 对齐。在这些实施例中, MEMS 梁 75 和下层的固定致动器电极 14” 包括完全包封或部分包封的绝缘体材料, 如不同的截面阴影线所示。在图 22a 和 22b 中, 下固定致动器电极 14” 形成在绝缘体材料或下层基板 10 上。再者, 在实施例的每一个中, 致动器凸块 34 的阵列和 / 或 16a 将着陆在各 MEMS 梁 75 或下固定致动器电极 14” 的绝缘体材料上或在下层基板上。在这些实施例的每一个中, 致动器凸块 34 的阵列和 / 或 16a 防止 MEMS 梁 75 和下层的固定致动器电极 14” 之间的接触。就是说, 致动器凸块 34 的阵列和 / 或 16a 保证了 MEMS 梁 75 和下层的固定致动器电极 14” 之间具有物理间隔。

[0091] 在图 18a 中, 微型凸块 34 的阵列从 MEMS 梁 75 向下延伸。在图 18b 中, 微型凸块 34 的阵列从 MEMS 梁 75 向下延伸, 并且与其开口 75a 对齐。应理解, 对于微型凸块 34 着陆在虚设形状上或者配线中的孔 75a 内的结构, 布局中应包括宽度和对准不良 (mis-registration) 的公差。例如, 如果微型凸块 34 是 0.5 微米宽, 具有 0.1 微米的宽度公差, 并且具有 ± 0.1 微米的对准不良公差, 则其着陆的虚设特征应为约至少 0.7 微米宽, 以完全着陆微型凸块或它所着陆的孔的内部为大于 0.7 微米宽。在一个示范性实施例中, 微型凸块的宽度为 0.5 微米, 对准不良公差为 ± 0.1 微米, 并且它所着陆的孔的内部宽度为

0.9 \pm 0.1 微米。相同的逻辑应用于着陆在虚设形状上的微型凸块,其中它可希望不使微型凸块着陆在虚设形状的拐角上,并且它不希望使微型凸块着陆在偏压启动的致动器上。

[0092] 在图 18c 中,微型凸块 34 的阵列从 MEMS 梁 75 向下延伸,与开口 75a 和隔离的(虚设)致动器电极 14_{a3} 二者对齐。在实施例中,没有电压施加到隔离的(虚设)致动器电极 14_{a3},并且由于微型凸块 34 的阵列不直接在致动器导体之上,没有电场通过凸块,并且因此,该实施例避免在致动器电极之上的梁下陷。当微型凸块 34 的阵列(或 16)位于致动器电极中的间隔或开口之上时,该相同现象也等同地可应用,例如,见图 21b、21d、22a 和 22b。

[0093] 在图 18d 中,微型凸块 34 的阵列从 MEMS 梁 75 向下延伸,与开口 75a 和固定致动器电极 14”之间的开口 14_{a4} 二者对齐。图 18e 和 18f 类似于图 18c 和 18d,除了 MEMS 梁致动器位于微型凸块之上外。

[0094] 在图 19a 中,微型凸块 16a 的阵列从固定致动器电极 14”向上延伸,与 MEMS 梁 75 对齐。在图 19b 中,微型凸块 16a 的阵列从固定致动器电极 14”向上延伸,与 MEMS 梁 75 的开口 75a 对齐。在图 19c 中,微型凸块 34 的阵列 16a 从固定致动器电极 14”向上延伸,与 MEMS 梁 75 的隔离部分 75b 对齐。

[0095] 在图 20a 中,微型凸块 16a 的阵列为金属或金属合金,并且从固定致动器电极 14”向上延伸,且与 MEMS 梁 75 对齐。在图 20b 中,微型凸块 16a 的阵列为金属或金属合金,并且从固定致动器电极 14”向上延伸,与 MEMS 梁 75 的开口 75a 对齐。在图 20c 中,致动器梁 16 的阵列为金属或金属合金,并且从固定致动器电极 14”向上延伸,与 MEMS 梁 75 的隔离部分 75b 对齐。在实施例中,梁 16a 的金属或金属合金优选为与固定致动器电极 14”相同的材料,形成在上述的工艺中。

[0096] 在图 21a 中,微型凸块 34 的阵列为金属或金属合金,并且从 MEMS 梁 75 向下延伸。在图 21b 中,微型凸块 34 的阵列为金属或金属合金,并且从 MEMS 梁 75 向下延伸,与致动器电极 14”之间的开口 14”a 对齐。在图 21c 中,微型凸块 34 的阵列为金属或金属合金,并且从 MEMS 梁 75 向下延伸,与两个隔离致动器电极 14a₃ 对齐。在图 21d,微型凸块 34 的阵列为金属或金属合金,并且从 MEMS 梁 75 向下延伸,与固定致动器电极 14”之间的开口 14a₄ 对齐。

[0097] 在图 22a 中,微型凸块 34 的阵列为金属或金属合金,并且从 MEMS 梁 75 向下延伸,与隔离致动器电极 14a₃ 对齐。在图 22b 中,微型凸块 34 的阵列为金属或金属合金,并且从 MEMS 梁 75 向下延伸,与固定致动器电极 14”之间的开口 14a₄ 对齐。

[0098] 图 23a-23d 示出了固定致动器电极 14”和 MEMS 梁的不同布局。在这些实施例中,不同图案的形状是圆形的;尽管本发明也预期其它的形状,例如,椭圆形、三角形、八角形、正方形、五角形、六角形、七角形、八角形或其它敞开的形状。图 23a 示出了固定致动器电极 14”和隔离致动器电极 14a₃。在实施例中,图 23a 也可为致动器凸块 16a 的表征。间隔 14a₄ 提供在固定致动器电极 14”和隔离致动器电极 14a₃ (或致动器凸块 16a) 之间。在实施例中,隔离致动器电极 14a₃ (例如,单独的电浮置) 为约 5 μ m,并且间隔 14a₄ 之间的间隔也为约 5 μ m;尽管本发明也预期其它尺寸。

[0099] 图 23b 示出了在固定致动器电极 14”中的开口 14a₄。在实施例中,开口 14a₄ 为约 1.5 μ m;尽管本发明也预期其它尺寸。

[0100] 图 23c 示出了致动器凸块 34 (凸块的阵列),其从 MEMS 梁的下配线层 38 延伸。在

该实施例中,致动器凸块 34 为约 $0.5\ \mu\text{m}$ 。在图 23d 中,致动器凸块 34(凸块的阵列)从 MEMS 梁的下配线层 38 延伸,且与开口 75a 对齐。

[0101] 现在应理解,在 MEMS 梁循环或电压保持期间的 MEMS 致动器粘滞作用通常通过减小致动器接触面积或者在 MEMS 梁和固定致动器电极接触时减小其间的电场而减小。这样,本发明通过设计微型凸块的阵列以减小致动器的接触面积而减小或消除了 MEMS 致动器粘滞作用,从而仅微型凸块接触。另外,在接触的 MEMS 梁和固定致动器之间的致动器氧化物上的电场可通过在微型凸块之上和 / 或之下不设置电偏置致动器配线而减小;并且在致动器氧化物上的电场可通过仅在虚设形状上着陆微型凸块而消除。下面的表 1 中对图 18-22 的布局进行了总结。

[0102] 表 1

[0103]

仅减小接触面积	减小接触面积和通过接触致动器氧化物的电场	减小接触面积且消除通过接触致动器氧化物的电场
图 18a、19a、20a 和 21a 所示的代表结构	图 18b、19b、20b 和 21b 所示的代表结构	图 18c、18d、18e、18f、19c、20c、21c、21d、22a 和 22b 所示的代表结构

[0104] 图 24a、24b、25a 和 25b 示出了根据本发明一个方面制造的结构的不同俯视图,示出了四端子的 MEMS 装置,具有用于驱动和信号的分开的电极。例如,驱动可为 dc 偏压,并且信号可为 rf 信号。图 24a 和 24b 示出了根据本发明的第一结构的俯视图,其是桥型的 MEMS 梁;而图 25a 和 25b 示出了根据本发明的第二结构的不同俯视图,其是悬臂的 MEMS 梁。这些图被简化了,并且可包括横向弹簧或其它结构,以改善 MEMS 电性能或者可靠性,如本领域所知。

[0105] 在两种情况下, MEMS 梁包括金属 / 绝缘体 / 金属,如果 MEMS 装置是电容器,则在堆叠之下和之上具有附加的可选薄绝缘体层。为了形成 MEMS 电容器,在要接触的至少一个电极上需要绝缘体。一个示范性实施例可采用 $0.5\ \mu\text{m}$ 下金属厚度和上金属厚度以及 $2\ \mu\text{m}$ 的绝缘体厚度,80nm 的绝缘体层在梁之上和之下,如果装置是电容器。另外,在 MEMS 梁或者 MEMS 梁下的固定配线中的致动器可接地,从而,当致动电压施加在没有接地的致动器之间时, MEMS 梁可致动且弯曲,如本领域所知。在另一个实施例中,致动器和电容器固定配线层和 / 或 MEMS 梁配线层可连接在一起,并且会需要采用 dc 接地而接地,例如,感应器。该实施例,可采用简单布局结合致动器和电容器头的设计,导致较高的电容器头或欧姆接触头面积,但是引起 rf 或 ac 信号和 dc 致动电压都施加到电容器头或欧姆接触。在该实施例中,可选感应器可连接其中以提供 dc 接地和 ac 断开,如本领域所知。

[0106] 在这些情况的任何一个中,致动器凸块的阵列将防止 MEMS 梁致动器接触致动器电极。致动器凸块的阵列也实质上减小重复循环后梁粘滞作用的可能性。另外,该致动器凸块的阵列可例如通过减少电弧而增加 MEMS 梁的总体寿命。

[0107] 图 24a 和 24b 示出了根据本发明各方面制造的 MEMS 桥结构的不同截面的俯视图。

如图 24a 所示, MEMS 梁包括夹在薄电介质之间的一层或多层金属; 图 24b 示出了在 MEMS 梁下的腔体底部的固定配线层。梁和固定配线层的中间区域是电容器头。在实施例中, 梁和固定配线层的中间区域可为暴露的金属以形成欧姆接触。在 MEMS 腔体内但从电容器头偏移的是致动器。当足够的 dc 电压施加到 MEMS 梁和固定配线层中的致动器之间时, MEMS 梁下陷, 从而梁电容器头与固定配线层电容器头接触, 这显著地增加了电容器头之间的电容。类似的构造可用于形成欧姆接触开关, 这需要暴露的金属接触而不是电容器头。

[0108] 尽管图 24a 和 24b 中示出了桥式梁, 但是 MEMS 装置可形成有悬臂或者任何可移动的梁构造。例如, 悬臂梁构造例如示出在图 25a 和 25b 中, 具有致动器 115 和 115' 以及电容器头 110。应理解, MEMS 梁中的任何配线应布设到 MEMS 梁的固定端。在 MEMS 梁下的固定配线中的配线可连接到配线下的通道或者与配线布设在相同的平面中。

[0109] 图 26 是在半导体设计、制造和 / 或测试中使用的设计过程的流程图。图 26 示出了例如在半导体 IC 逻辑设计、仿真、测试、布图和制造中使用的示例性设计流程 900 的方块图。设计流程 900 包括用于处理设计结构或器件以产生上述以及图 1-25b 中示出的设计结构和 / 或器件的逻辑上或其他功能上等效表示的过程、机器和 / 或机制。由设计流程 900 处理和 / 或产生的设计结构可以在机器可读传输或存储介质上被编码以包括数据和 / 或指令, 所述数据和 / 或指令在数据处理系统上执行或以其他方式处理时, 产生硬件组件、电路、器件或系统的逻辑上、结构上、机械上或其他功能上的等效表示。机器包括但不限于用于 IC 设计过程 (例如设计、制造或仿真电路、组件、器件或系统) 的任何机器。例如, 机器可以包括: 用于产生掩模的光刻机、机器和 / 或设备 (例如电子束直写仪)、用于仿真设计结构的计算机或设备、用于制造或测试过程的任何装置, 或用于将所述设计结构的功能上的等效表示编程到任何介质中的任何机器 (例如, 用于对可编程门阵列进行编程的机器)。

[0110] 设计流程 900 可随被设计的表示类型而不同。例如, 用于构建专用 IC (ASIC) 的设计流程 900 可能不同于用于设计标准组件的设计流程 900, 或不同于用于将设计实例化到可编程阵列 (例如, 由 **Altera®** Inc. 或 **Xilinx®** Inc. 提供的可编程门阵列 (PGA) 或现场可编程门阵列 (FPGA)) 中的设计流程 900。

[0111] 图 26 示出了多个此类设计结构, 其中包括优选地由设计过程 910 处理的输入设计结构 920。设计结构 920 可以由设计过程 910 生成和处理以产生硬件器件的逻辑上等效的功能表示的逻辑仿真设计结构。设计结构 920 还可以或备选地包括数据和 / 或程序指令, 所述数据和 / 或程序指令由设计过程 910 处理时, 生成硬件器件的物理结构的功能表示。无论表示功能和 / 或结构设计特性, 均可以使用例如由核心开发人员 / 设计人员实施的电子计算机辅助设计 (ECAD) 生成设计结构 920。当编码在机器可读数据传输、门阵列或存储介质上时, 设计结构 920 可以由设计过程 910 内的一个或多个硬件和 / 或软件模块访问和处理以仿真或以其他方式在功能上表示例如图 1-25b 中示出的那些电子组件、电路、电子或逻辑模块、装置、器件或系统。因此, 设计结构 920 可以包括文件或其他数据结构, 其中包括人类和 / 或机器可读源代码、编译结构和计算机可执行代码结构, 当所述文件或其他数据结构由设计或仿真数据处理系统处理时, 在功能上仿真或以其他方式表示电路或其他级别的硬件逻辑设计。此类数据结构可以包括硬件描述语言 (HDL) 设计实体或遵循和 / 或兼容低级 HDL 设计语言 (例如 Verilog 和 VHDL) 和 / 或高级设计语言 (例如 C 或 C++) 的其他数据结构。设计过程 910 优选地采用和结合硬件和 / 或软件模块, 所述模块用于合成、转换

或以其他方式处理图 1-25b 中示出的组件、电路、器件或逻辑结构的设计 / 仿真功能等价物以生成可以包含设计结构(例如设计结构 920)的网表 980。网表 980 例如可以包括编译或以其他方式处理的数据结构,所述数据结构表示描述与集成电路设计中的其他元件和电路的连接的光纤、分离组件、逻辑门、控制电路、I/O 设备、模型等的列表。网表 980 可以使用迭代过程合成,其中网表 980 被重新合成一次或多次,具体取决于器件的设计规范和参数。对于在此所述的其他设计结构类型,网表 980 可以记录在机器可读数据存储介质上或编程到可编程门阵列中。所述介质可以是非易失性存储介质,例如磁或光盘驱动器、可编程门阵列、压缩闪存或其他闪存。此外或备选地,所述介质可以是可在其上经由因特网或其他适合联网手段传输和中间存储数据分组的系统或高速缓冲存储器、缓冲器空间或导电或光导器件和材料。

[0112] 设计过程 910 可以包括用于处理包括网表 980 在内的各种输入数据结构类型的硬件和软件模块。此类数据结构类型例如可以驻留在库元件 930 内并包括一组常用元件、电路和器件,其中包括给定制造技术(例如,不同的技术节点,32 纳米、45 纳米、90 纳米等)的模型、布图和符号表示。所述数据结构类型还可包括设计规范 940、特征数据 950、检验数据 960、设计规则 970 和测试数据文件 985,它们可以包括输入测试模式、输出测试结果和其他测试信息。设计过程 910 还可例如包括标准机械设计过程,例如用于诸如铸造、成型和模压成形等操作的应力分析、热分析、机械事件仿真、过程仿真。机械设计领域的技术人员可以在不偏离本发明的范围和精神的情况下理解在设计过程 910 中使用的可能机械设计工具和应用的范围。设计过程 910 还可包括用于执行诸如定时分析、检验、设计规则检查、放置和路由操作之类的标准电路设计过程的模块。

[0113] 设计过程 910 采用和结合逻辑和物理设计工具(例如 HDL 编译器)以及仿真建模工具以便与任何其他机械设计或数据(如果适用)一起处理设计结构 920 连同示出的部分或全部支持数据结构,从而生成第二设计结构 990。

[0114] 设计结构 990 以用于机械设备和结构的数据交换的数据格式(例如以 IGES、DXF、Parasolid XT、JT、DRC 或任何其他用于存储或呈现此类机械设计结构的适合格式)驻留在存储介质或可编程门阵列上。类似于设计结构 920,设计结构 990 优选地包括一个或多个文件、数据结构或其他计算机编码的数据或指令,它们驻留在传输或数据存储介质上,并且由 ECAD 系统处理时生成图 1-25b 中示出的本发明的一个或多个实施例的逻辑上或以其他方式在功能上等效的形式。在一个实施例中,设计结构 990 可以包括在功能上仿真图 1-25b 中示出的器件的编译后的可执行 HDL 仿真模型。

[0115] 设计结构 990 还可以采用用于集成电路的布图数据交换的数据格式和 / 或符号数据格式(例如以 GDSII (GDS2)、GL1、OASIS、映射文件(map file)或任何其他用于存储此类设计数据结构的适合格式存储的信息)。设计结构 990 可以包括信息,例如符号数据、映射文件、测试数据文件、设计内容文件、制造数据、布图参数、配线、金属级、通道、形状、用于在整个生产线中规定路线的数据,以及制造商或其他设计人员 / 开发人员制造上述以及图 1-25b 中示出的器件或结构所需的任何其他数据。设计结构 990 然后可以继续到阶段 995,例如,在阶段 995,设计结构 990 :继续到流片(tape-out),被发布到制造公司、被发布到掩模室(mask house)、被发送到其他设计室,被发回给客户等。

[0116] 上述方法用于集成电路芯片制造。制造者可以以原始晶片形式(即,作为具有多个

未封装芯片的单晶片)、作为裸小片或以封装的形式分发所得到的集成电路芯片。在后者的情况中,以单芯片封装(例如,引线固定到母板的塑料载体或其他更高级别的载体)或多芯片封装(例如,具有一个或两个表面互连或掩埋互连的陶瓷载体)来安装芯片。在任何情况下,所述芯片然后都作为(a)中间产品(如母板)或(b)最终产品的一部分与其他芯片、分离电路元件和/或其他信号处理装置集成。最终产品可以是任何包括集成电路芯片的产品,范围从玩具和其他低端应用到具有显示器、键盘或其他输入设备及中央处理器的高级计算机产品。

[0117] 这里所用的术语仅为描述特定实施例的目的,而不意味着限制本发明。如这里所用,单数形式“一”和“该”也旨在包括复数形式,除非上下文另有清楚表示。还应理解词语“包括”和/或“包含”,在该说明书中使用时,表示所述特征、整体、步骤、操作、元件和/或部件的存在,而不排除一个或多个其它特征、整体、步骤、操作、元件、部件和/或其组的存在或附加。

[0118] 权利要求中所有手段或步骤加功能元件的对应的结构、材料、动作和等同物,如果可用,旨在包括为了执行功能与特定要求的其它所要求元件结合的任意的结构、材料或动作。为了说明和描述的目的已经进行了本发明的描述,但是不意味着是详尽的或者以公开的形式限制本发明。在不脱离本发明的范围和精神的情况下,很多修改和变化对本领域的技术人员来说是显见的。所选择和描述的实施例是为了更好地说明本发明的原理和实际应用,并且能使本领域的其它普通技术人员理解本发明使具有各种修改的各种实施例适合于所预期的特定应用。从而,尽管本发明已经根据实施例进行了描述,但是本领域的技术人员应认识到本发明可以以修改进行实施且在所附权利要求的精神和范围内实施。

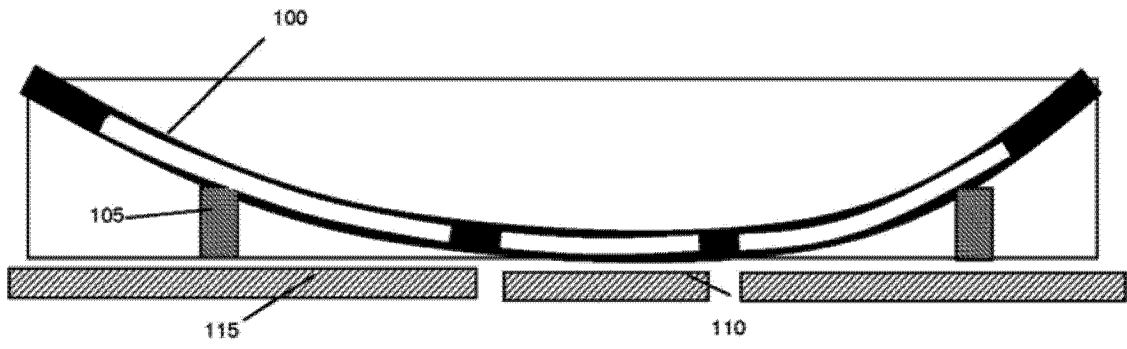


图 1a

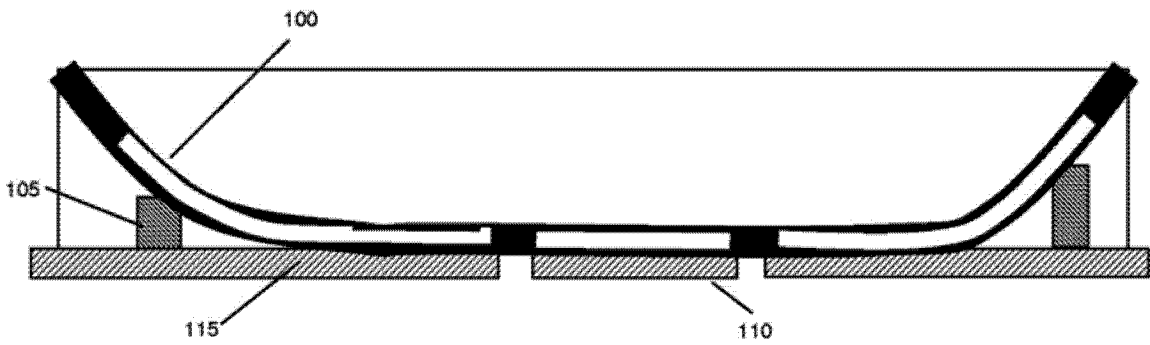


图 1b

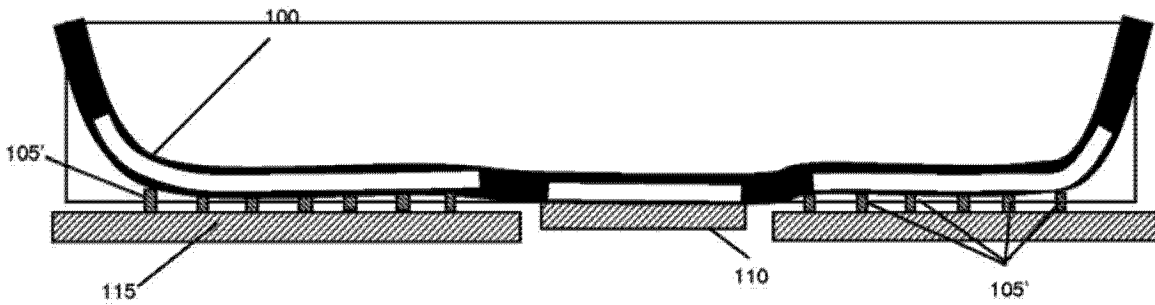


图 1c

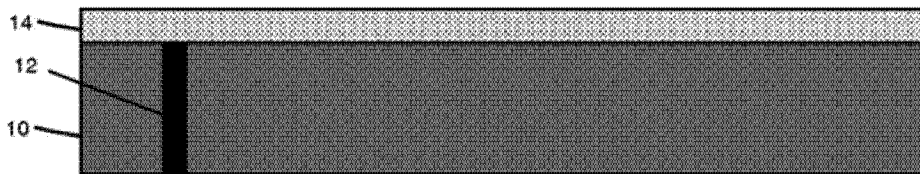


图 2a

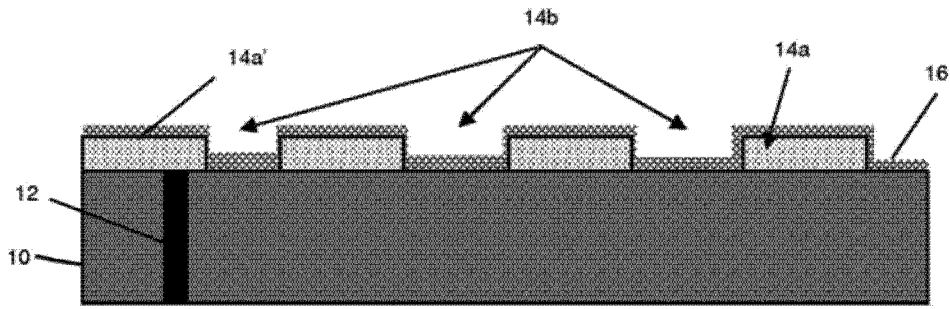


图 2b

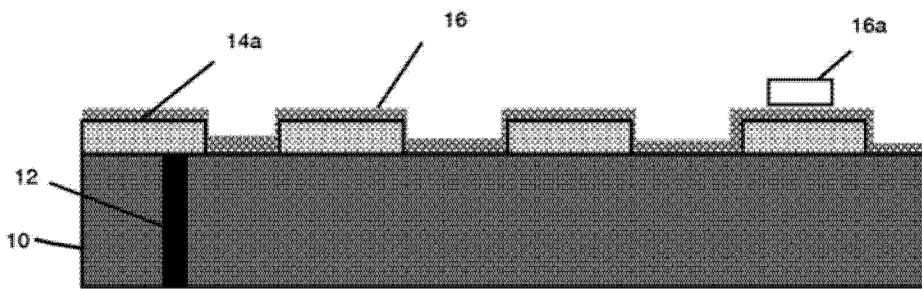


图 3

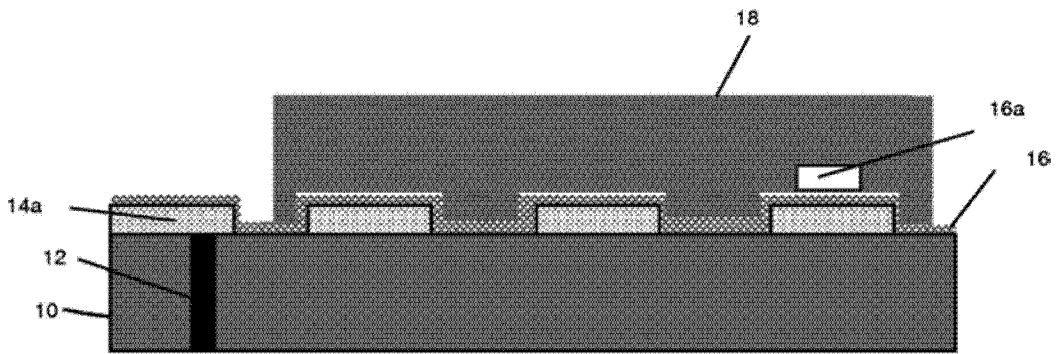


图 4

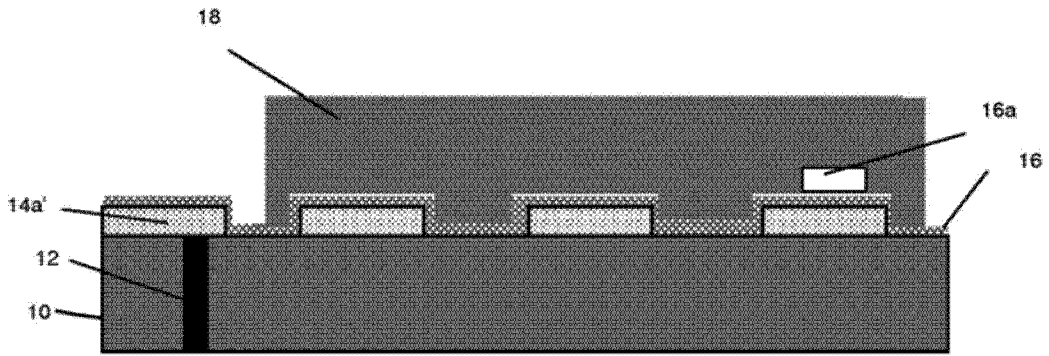


图 5

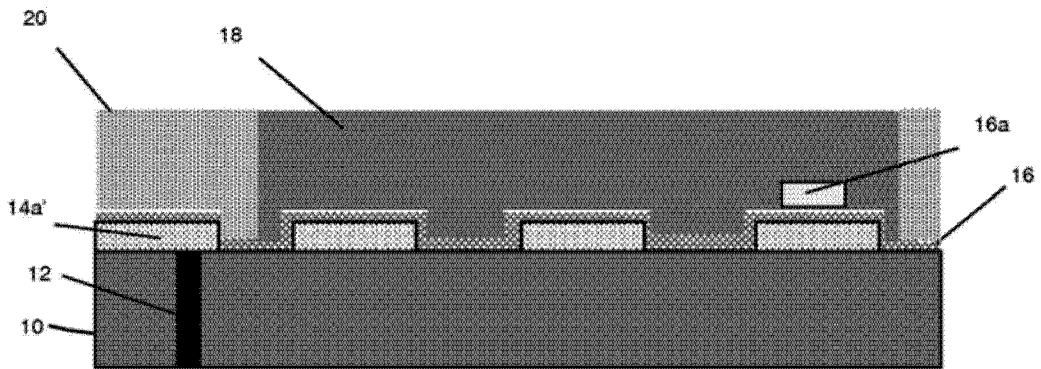


图 6

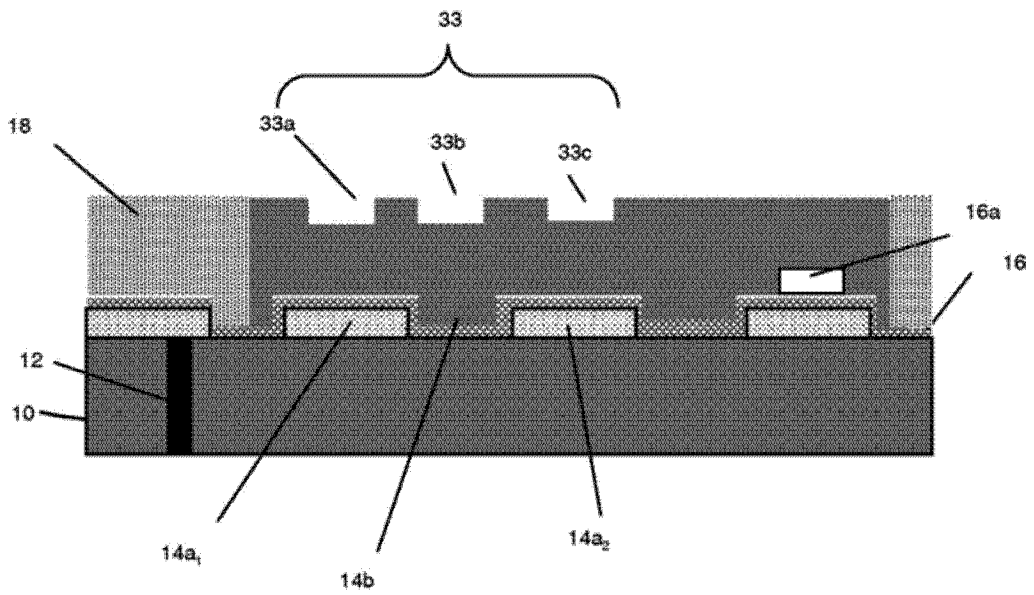


图 7

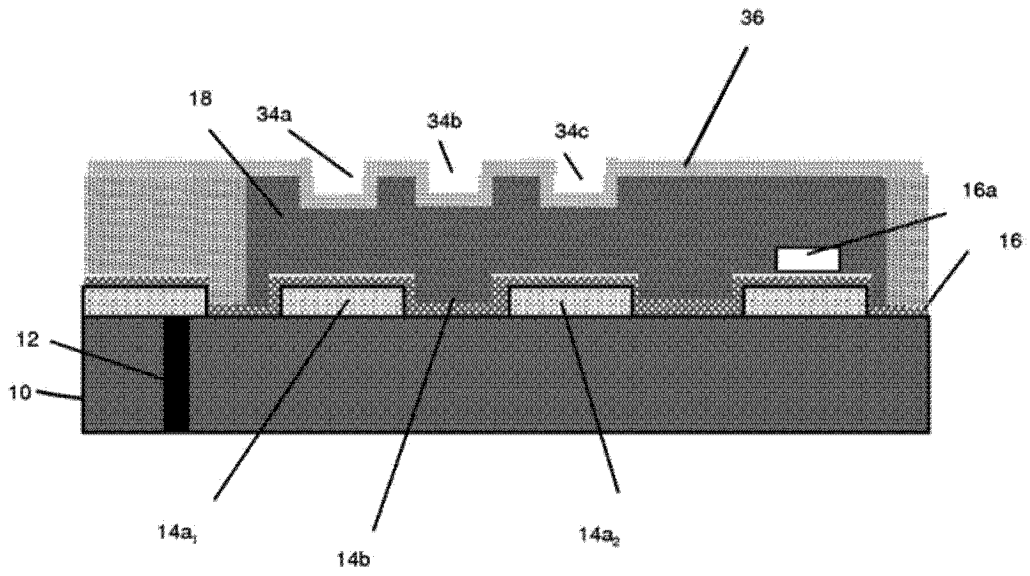


图 8

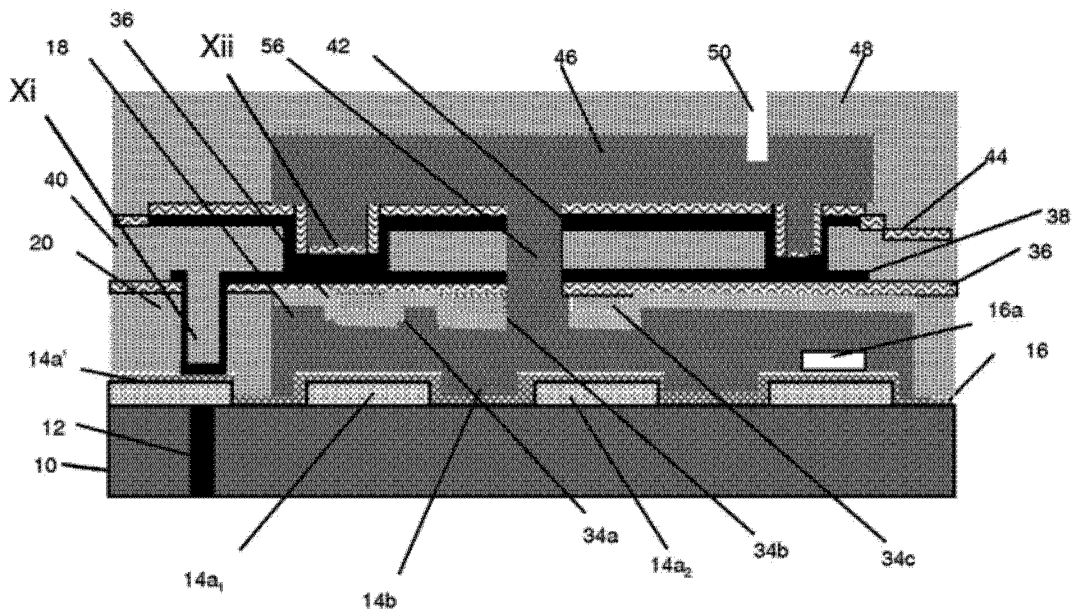


图 9

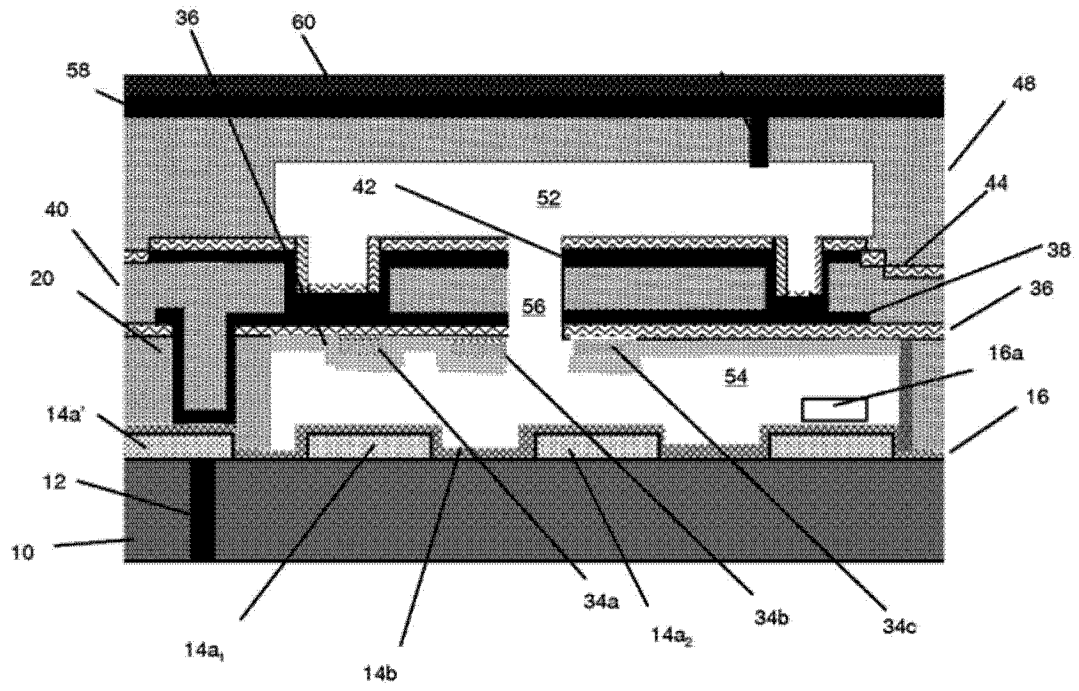


图 10

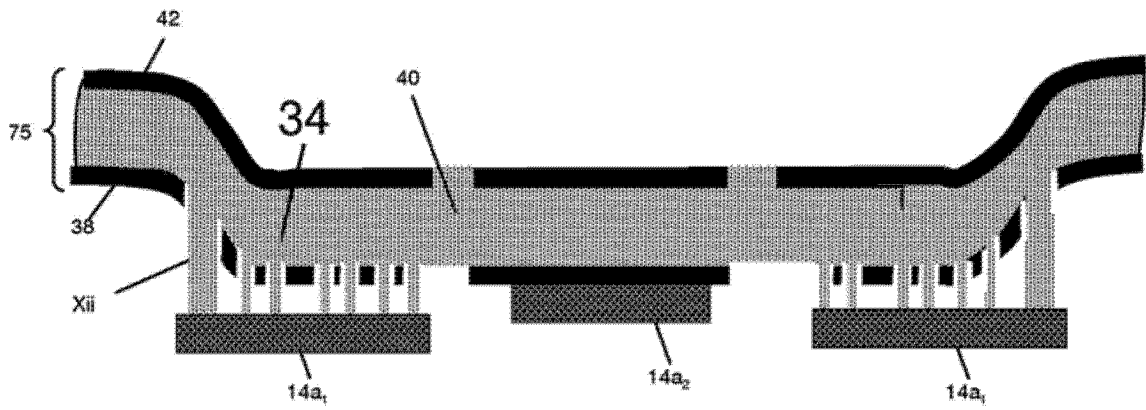


图 11

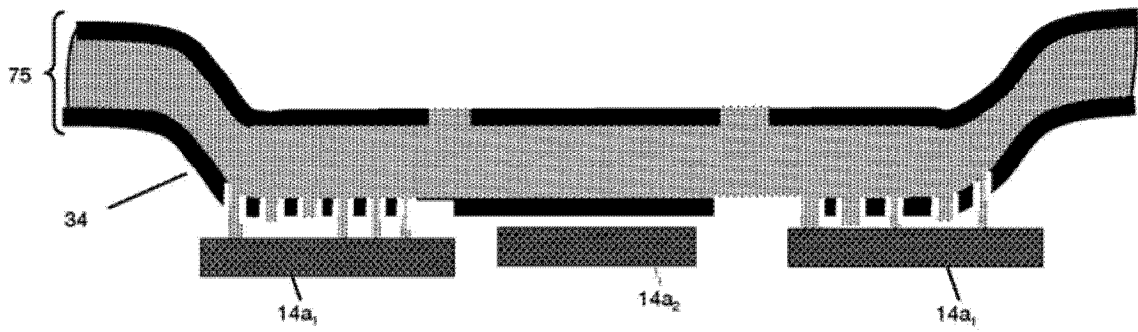
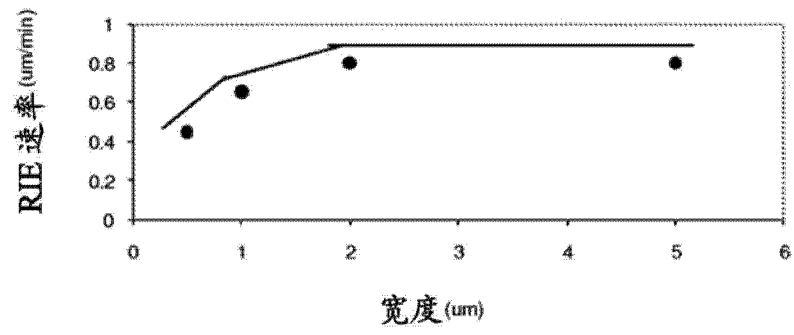


图 12

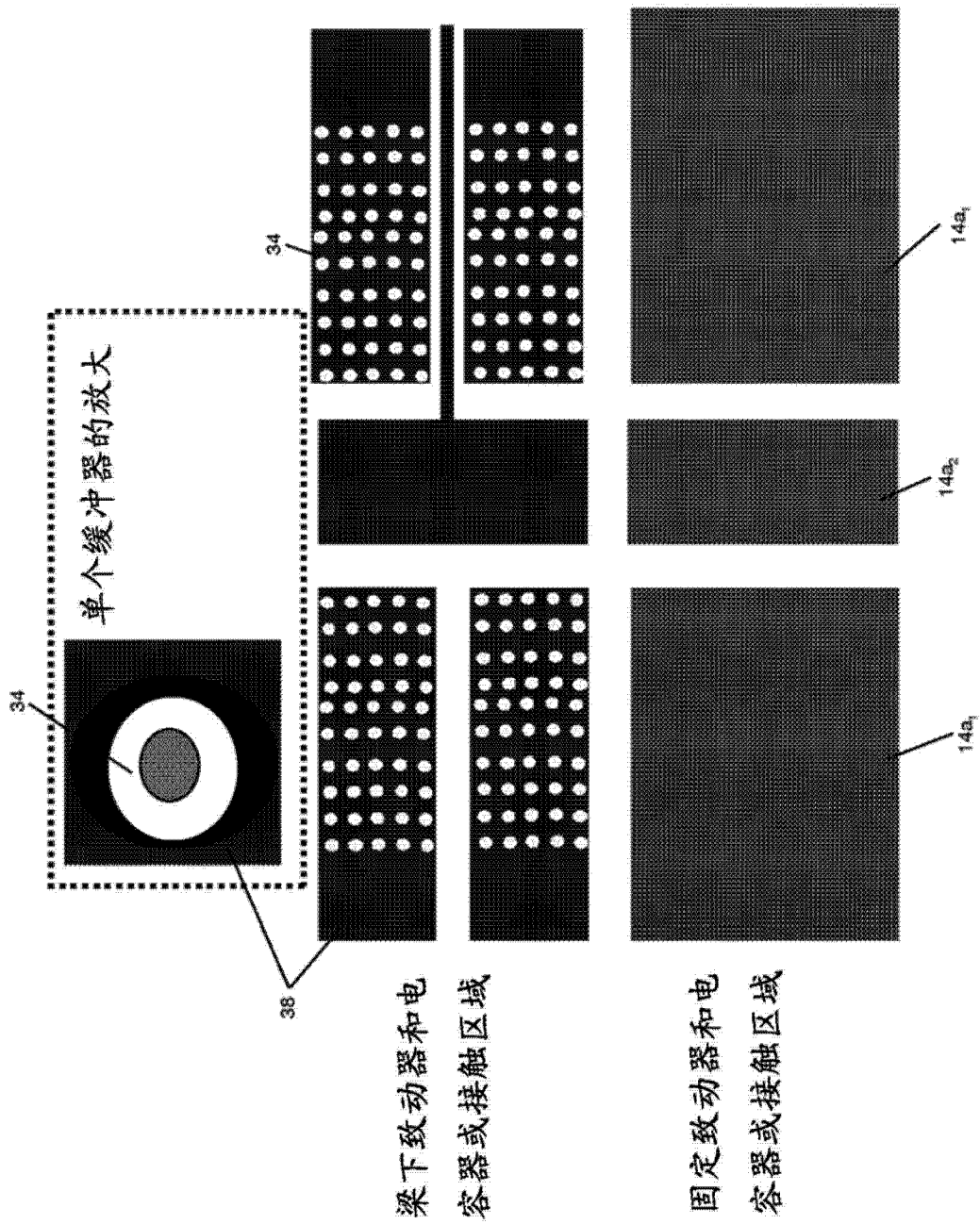


图 13

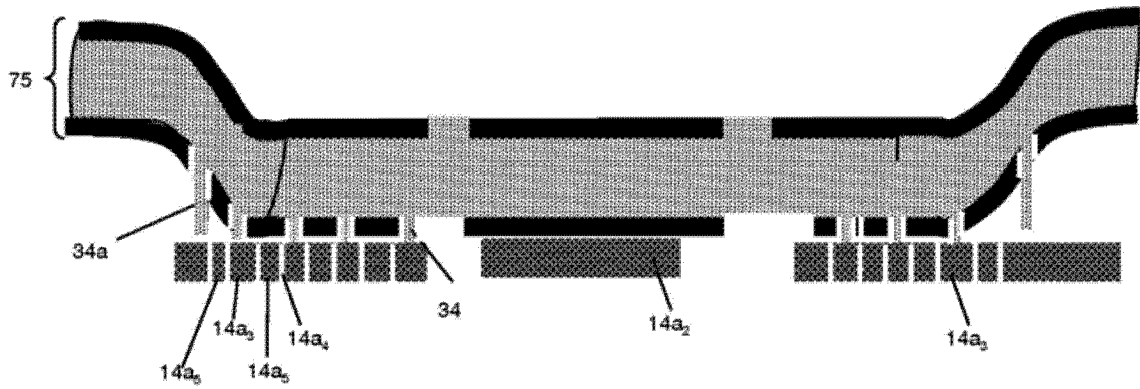


图 14

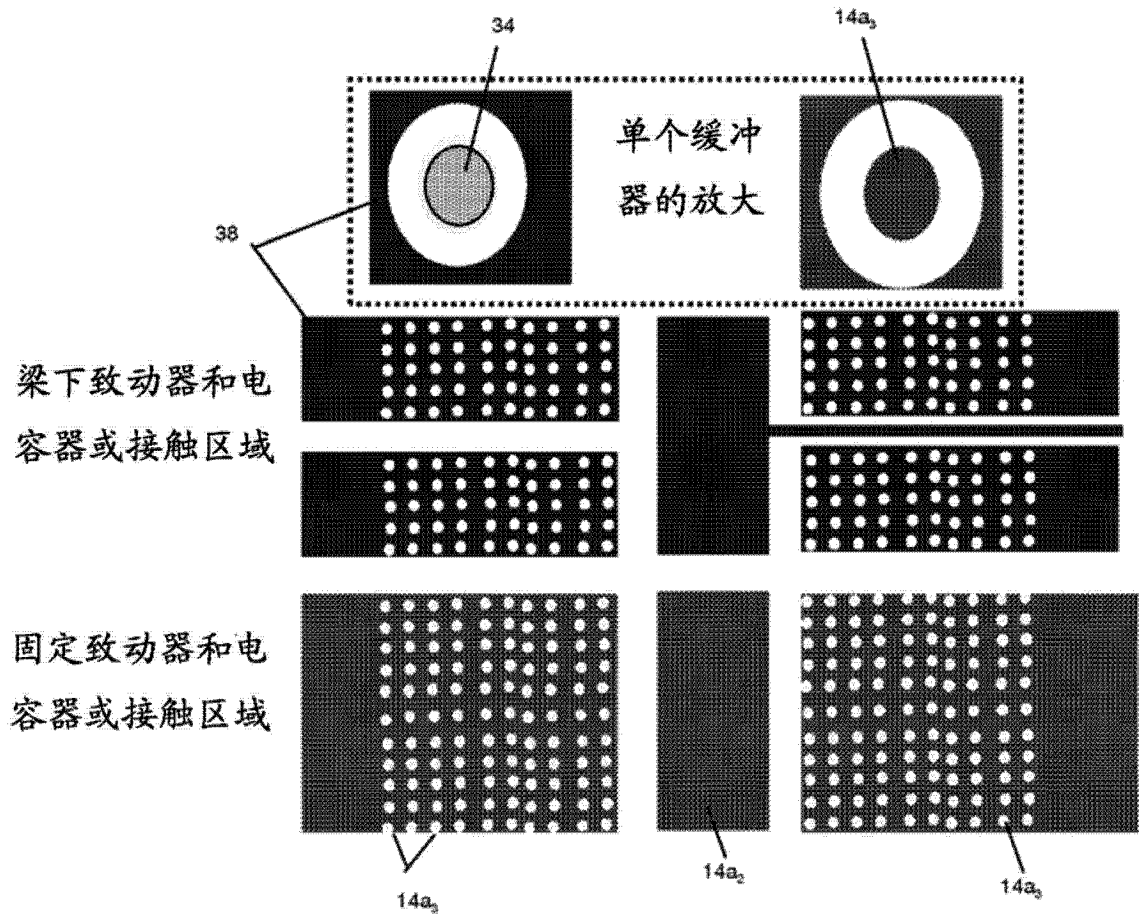


图 15

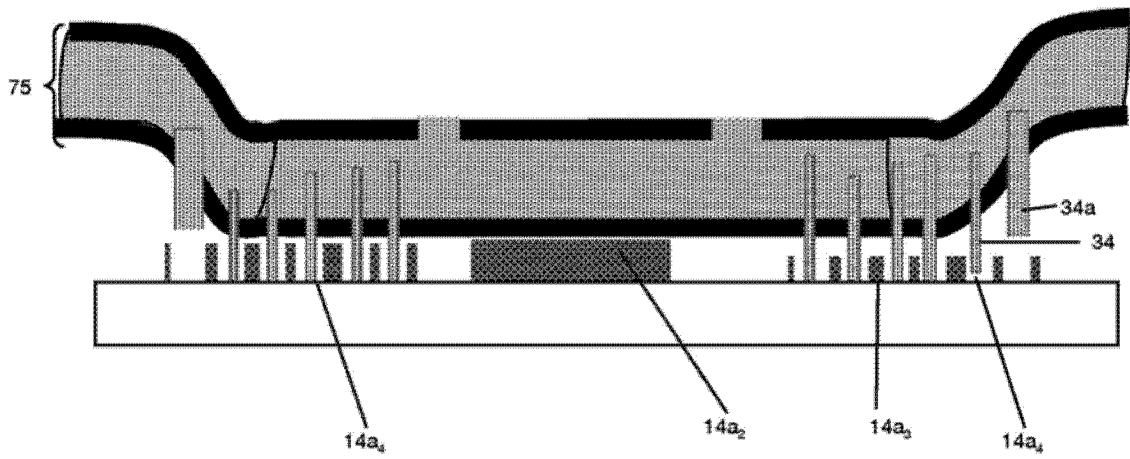


图 16

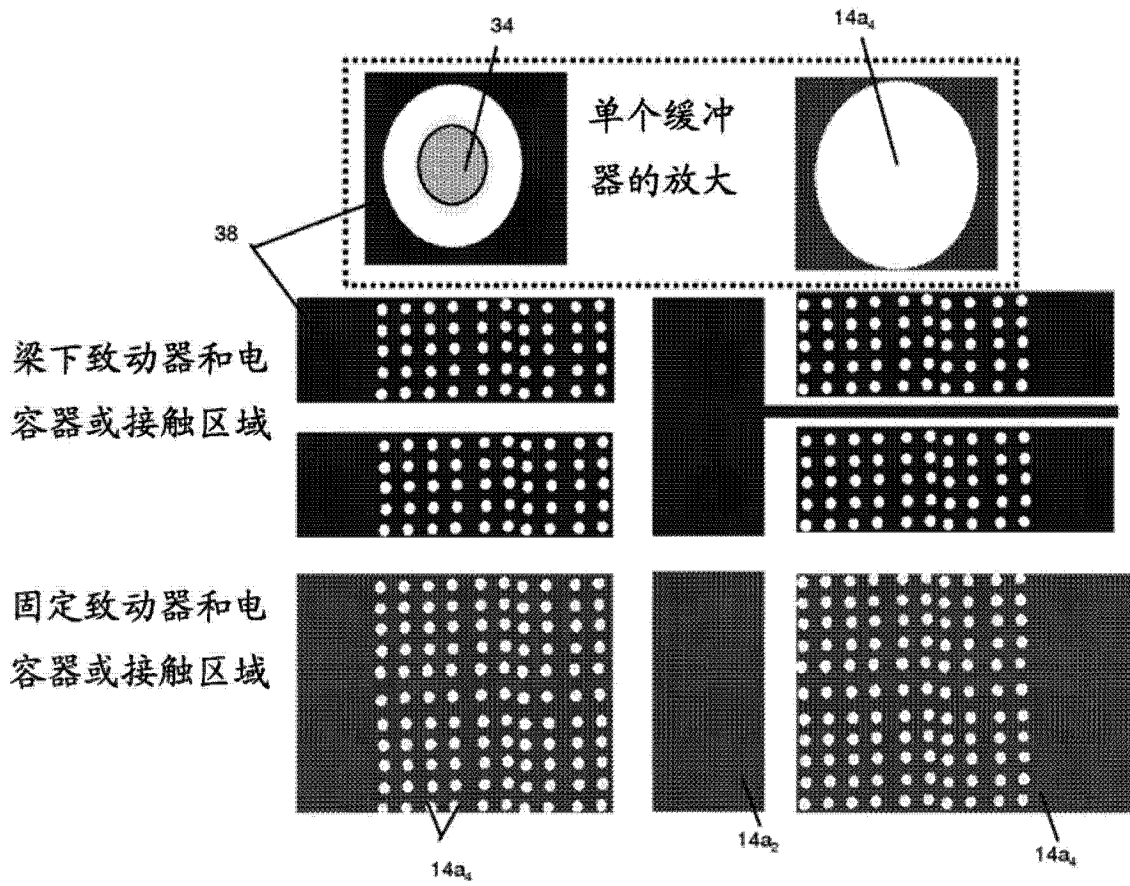


图 17

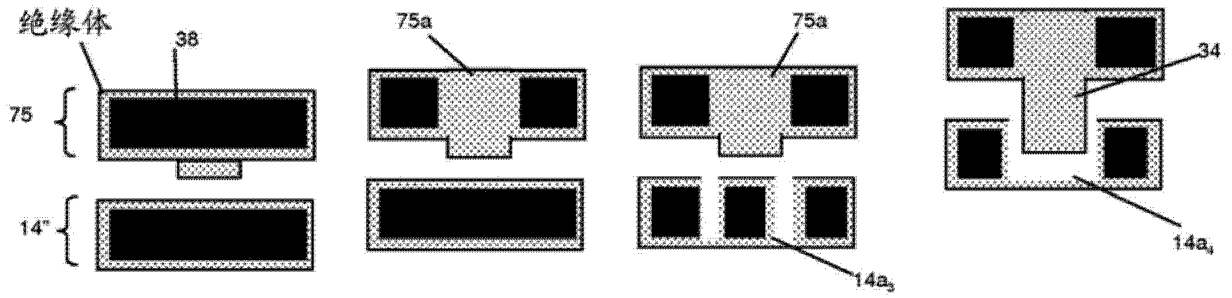


图 18a

图 18b

图 18c

图 18d

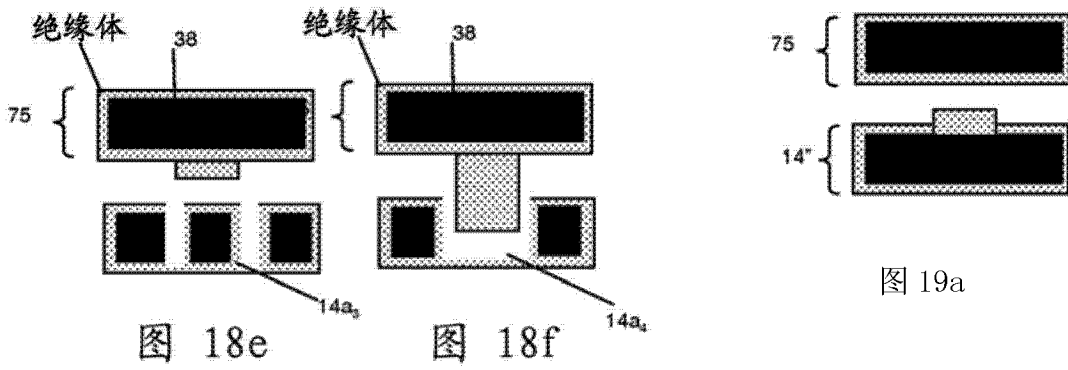


图 18e

图 18f

图 19a

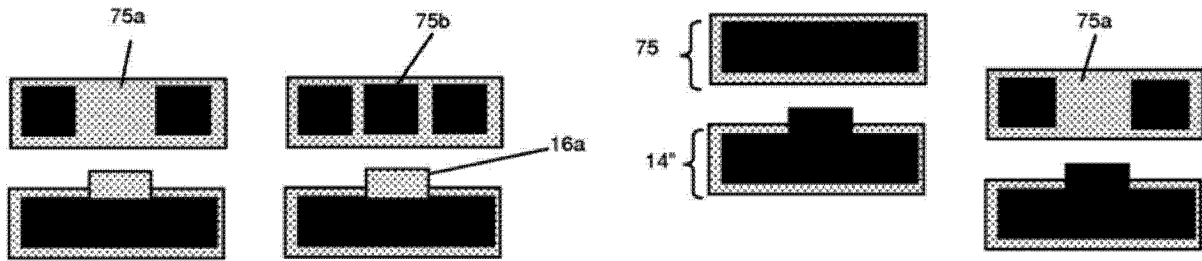


图 19b

图 19c

图 20a

图 20b

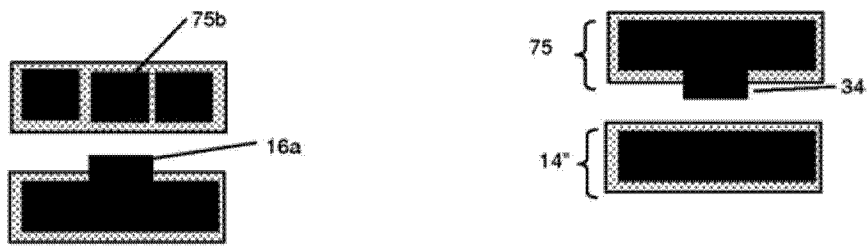
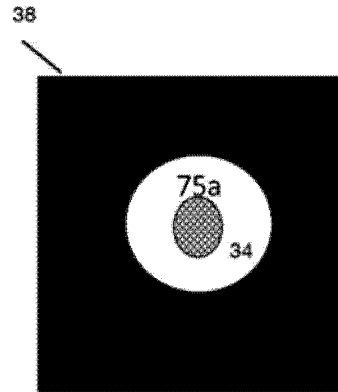
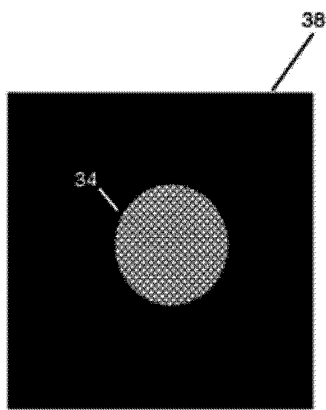
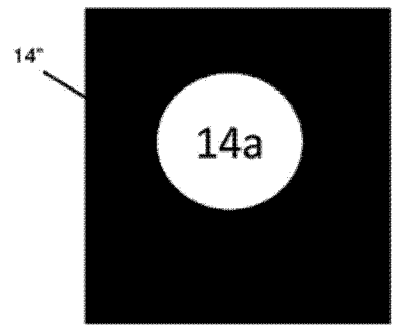
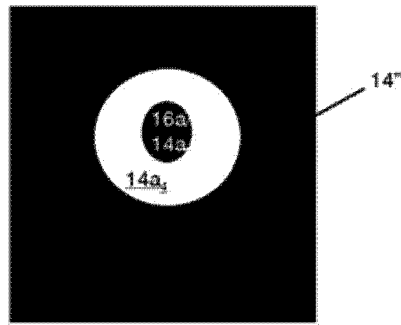
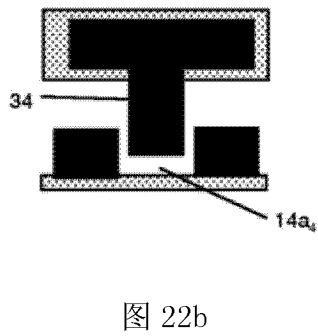
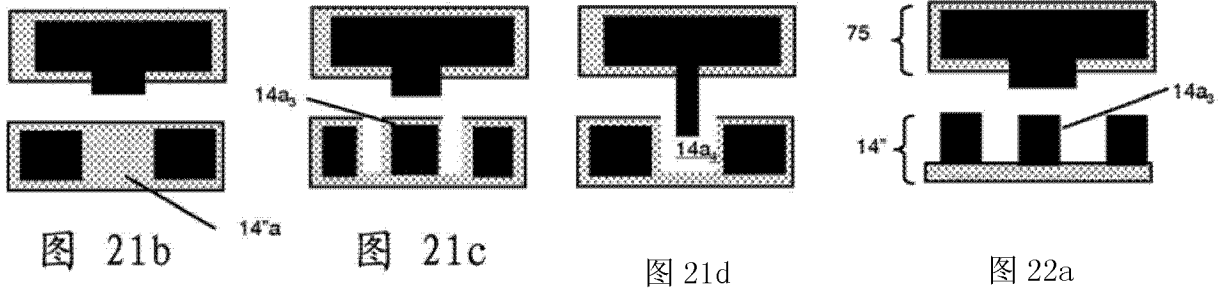
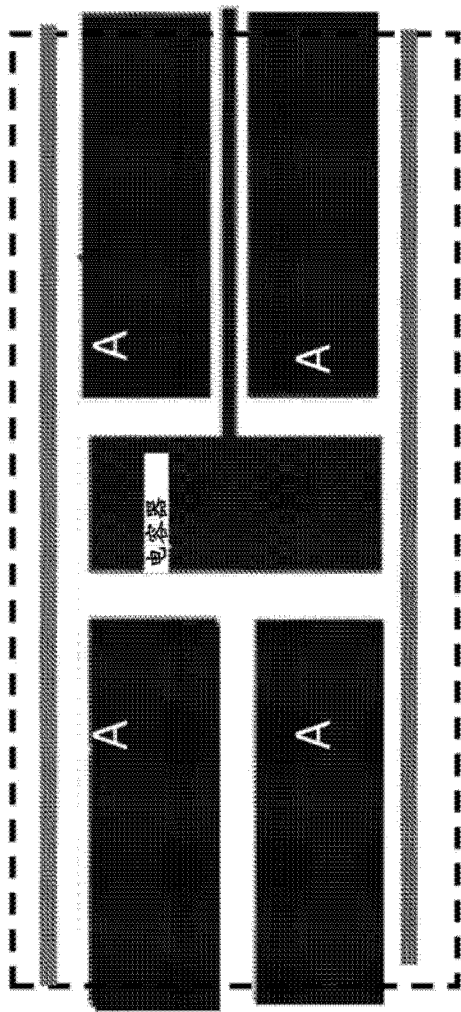


图 20c

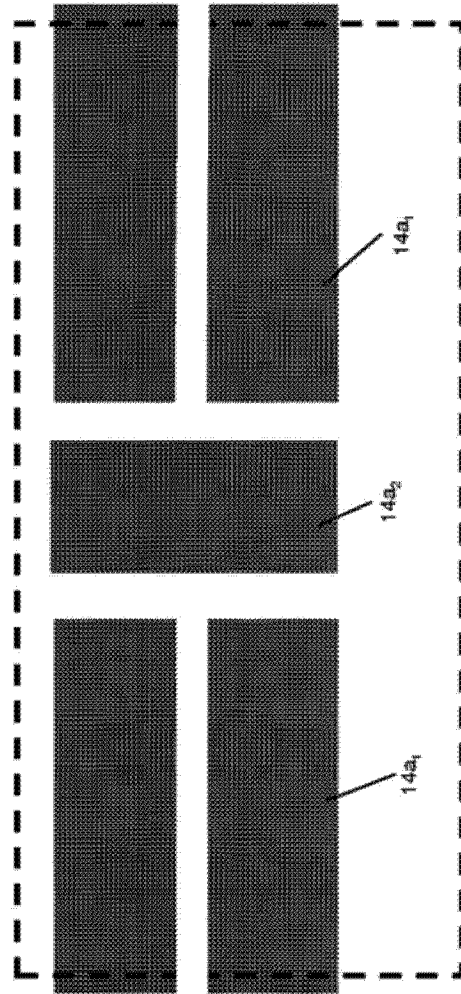
图 21a





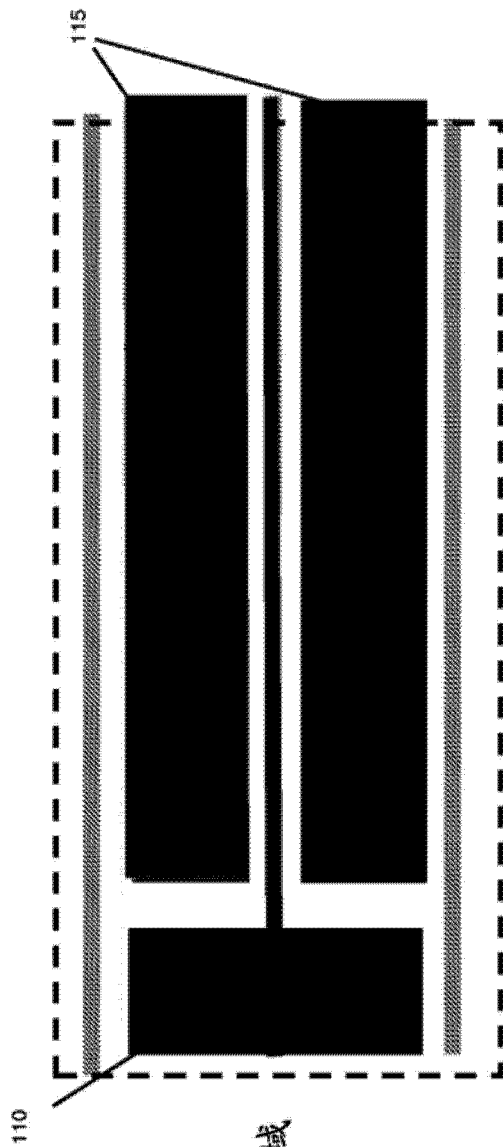
电致动器和电
容器或接触区域

图 24a



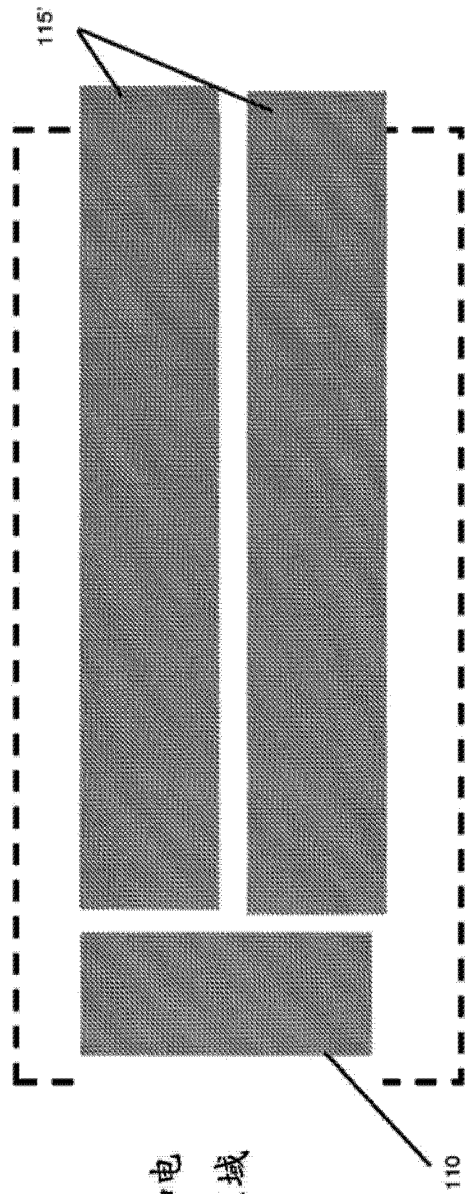
固定致动器和电
容器或接触区域

图 24b



梁致动器和电
容器或接触区域

图 25a



固定致动器和电
容器或接触区域

图 25b

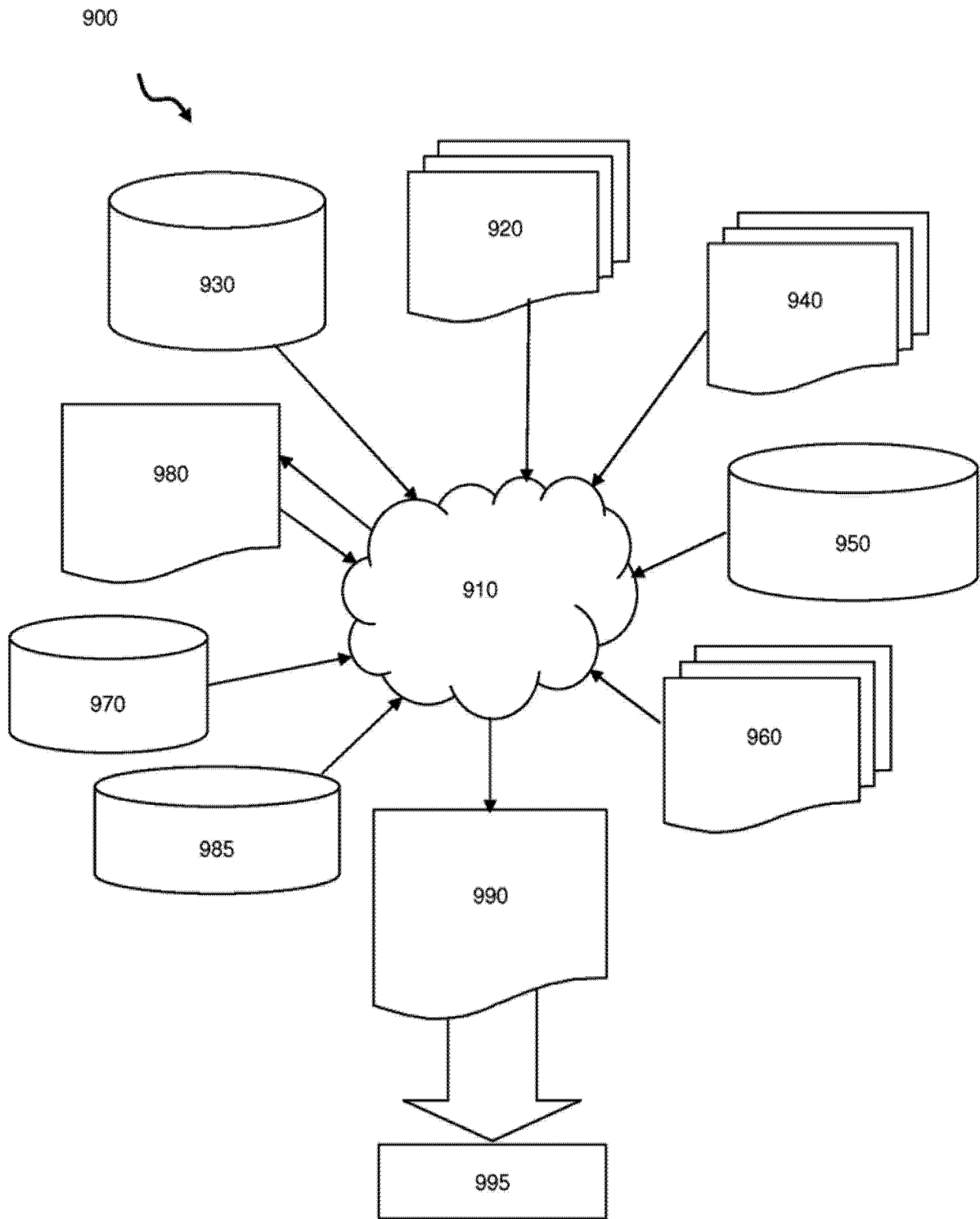


图 26