



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년05월25일
 (11) 등록번호 10-1624194
 (24) 등록일자 2016년05월19일

(51) 국제특허분류(Int. Cl.)
 H03G 3/10 (2006.01) H03G 3/00 (2006.01)
 (21) 출원번호 10-2009-0113976
 (22) 출원일자 2009년11월24일
 심사청구일자 2014년10월02일
 (65) 공개번호 10-2010-0058412
 (43) 공개일자 2010년06월03일
 (30) 우선권주장
 12/276,552 2008년11월24일 미국(US)
 (56) 선행기술조사문헌
 US5684431 A
 US6731160 B1
 US7205817 B1
 US20070105517 A1

(73) 특허권자
 리니어 테크놀로지 코퍼레이션
 미합중국 캘리포니아 95035-7487 밀피타스 맥카씨
 불러바드 1630
 (72) 발명자
 스트리플리어, 윌터 앤드류
 미국, 캘리포니아 94086, 썬니베일, 로제트 테라
 스 902
 (74) 대리인
 특허법인씨엔에스

전체 청구항 수 : 총 28 항

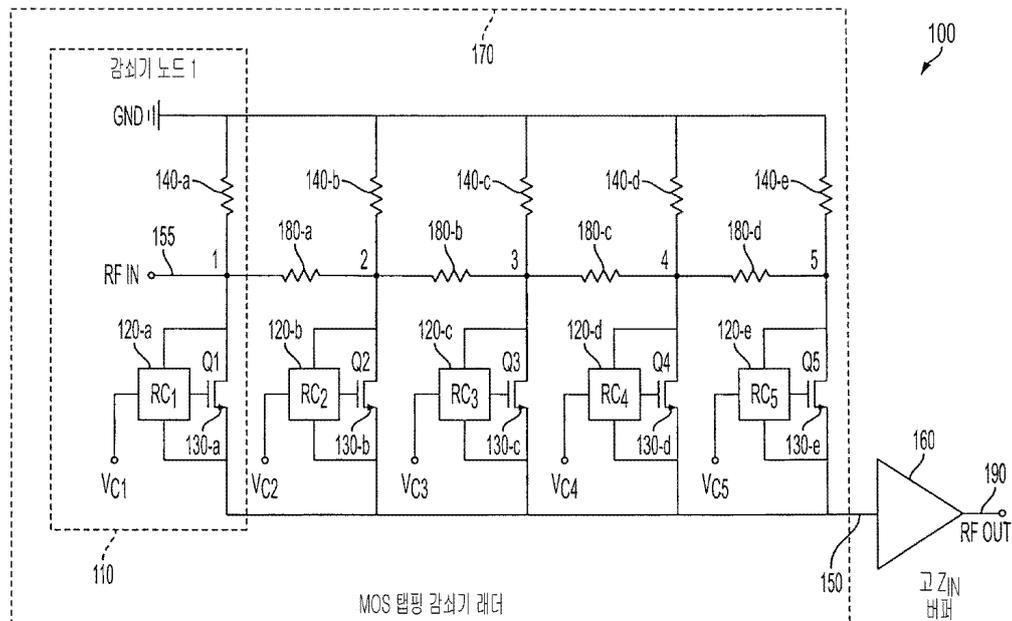
심사관 : 박정근

(54) 발명의 명칭 **가변 이득 증폭기 방법 및 시스템**

(57) 요약

가변 이득 증폭기(variable-gain amplifier, VGA)가 제공된다. 복수의 감쇠기 노드는 인접한 감쇠기 노드 사이에서 제1 세트의 저항을 통해 직렬로 연결되어 감쇠기 래더를 형성하고, 상기 가변 이득 증폭기의 AC 입력에 커플링된다. 각각의 상기 감쇠기 노드는 트랜지스터 및 상기 트랜지스터의 드레인, 게이트 및 소스 단자를 상기 (뒷면에 계속)

대표도



감쇠기 노드에 대한 제어 신호에 커플링하는 RC 회로를 포함한다. 또한, VGA는 각각이 상기 복수의 감쇠기 노드의 하나로부터 나오는 복수의 커플링 단자에 연결되고, 입력에 기초하여 생성되는 출력을 갖는 증폭기를 포함한다. 각 감쇠기 노드에 대한 상기 RC 회로는 상기 트랜지스터가 ON 상태와 OFF 상태 사이에서 전이하는 동안, 상기 트랜지스터에 의해 기여되는 왜곡의 감소를 가져오도록 제1 시간 스케일에 따라 상기 감쇠기 노드의 상기 트랜지스터의 게이트 단자에 제어 신호를 통과시키고 제2 시간 스케일에 따라 상기 게이트 단자가 플로팅하는 것을 허용하도록 구성된다.

명세서

청구범위

청구항 1

가변 이득 증폭기(variable-gain amplifier, VGA)에 있어서,

인접한 감쇠기 노드 사이에서 제1 세트의 저항을 통해 직렬로 연결되어 감쇠기 래더를 형성하고, 상기 가변 이득 증폭기의 AC 입력에 커플링된 복수의 감쇠기 노드 - 각각의 상기 감쇠기 노드는 트랜지스터 및 상기 트랜지스터의 드레인, 게이트 및 소스 단자를 상기 감쇠기 노드에 대한 제어 신호에 커플링하는 RC 회로를 포함함 -;

및

각각의 상기 복수의 감쇠기 노드의 하나로부터 나오는 복수의 커플링 단자에 연결되고, 입력에 기초하여 생성되는 출력을 갖는 증폭기;

를 포함하고,

각 감쇠기 노드에 대한 상기 RC 회로는 상기 트랜지스터가 ON 상태와 OFF 상태 사이에서 전이하는 동안, 상기 트랜지스터에 의해 기여되는 왜곡의 감소를 가져오도록 제1 시간 스케일에 따라 상기 감쇠기 노드의 상기 트랜지스터의 게이트 단자에 제어 신호를 통과시키고 제2 시간 스케일에 따라 상기 게이트 단자가 플로팅하는 것을 허용하도록 구성되는,

가변 이득 증폭기.

청구항 2

제1항에 있어서,

상기 제1 시간 스케일은 10 AC 사이클보다 더 큰,

가변 이득 증폭기.

청구항 3

제1항에 있어서,

상기 제2 시간 스케일은 상기 제1 시간 스케일보다 실질적으로 더 짧은,

가변 이득 증폭기.

청구항 4

제1항에 있어서,

상기 제2 시간 스케일은 실질적으로 1 AC 사이클인,

가변 이득 증폭기.

청구항 5

제1항에 있어서,

상기 왜곡은 상호 변조 왜곡 및 고조파 왜곡 중 적어도 하나를 포함하는,

가변 이득 증폭기.

청구항 6

제1항에 있어서,

각 감쇠기 노드에서의 상기 트랜지스터의 드레인은 상기 AC 입력에 커플링된 상기 제1 세트의 저항 중 적어도 하나에 연결되고, 제2 저항을 통해 접지로 연결되며, 상기 트랜지스터의 소스는 다른 감쇠기 노드의 트랜지스터의 소스와 함께 상기 증폭기의 입력에 커플링된,

가변 이득 증폭기.

청구항 7

제1항에 있어서,

상기 감쇠기 노드의 상기 RC 회로는,

상기 감쇠기 노드의 상기 트랜지스터의 게이트 및 소스를 커플링하는 제1 RC 지로;

상기 감쇠기 노드의 상기 트랜지스터의 게이트 및 드레인을 커플링하는 제2 RC 지로; 및

상기 감쇠기 노드의 상기 트랜지스터의 게이트에 상기 제어 신호를 통과시키는 제3 저항;

을 포함하는,

가변 이득 증폭기.

청구항 8

제7항에 있어서,

상기 제1 RC 지로는 제4 저항 및 제1 커패시터를 포함하며, 상기 제4 저항은 상기 트랜지스터의 게이트에 커플링되고, 상기 트랜지스터의 소스에 연결된 상기 제1 커패시터에 직렬로 연결된,

가변 이득 증폭기.

청구항 9

제7항에 있어서,

상기 제2 RC 지로는 제5 저항 및 제2 커패시터를 포함하며, 상기 제5 저항은 상기 트랜지스터의 게이트에 커플링되고, 상기 트랜지스터의 드레인에 연결된 상기 제2 커패시터에 직렬로 연결된,

가변 이득 증폭기.

청구항 10

제7항에 있어서,

상기 제1 및 제2 RC 지로의 저항은 상기 감쇠기 래터에 최소 부하를 제공하고, 상기 제2 시간 스케일에 따라 상기 게이트가 플로팅할 수 있도록 선택된,

가변 이득 증폭기.

청구항 11

제7항에 있어서,

상기 제3 저항은 상기 제어 신호에서의 변화에 반응할 수 있으면서 게이트 플로팅을 허용하도록 선택된, 가변 이득 증폭기.

청구항 12

제1항에 있어서,

인접한 노드 사이의 감쇠 스텝 크기는 6dB 이하인,

가변 이득 증폭기.

청구항 13

제1항에 있어서,

연속 이득 제어가 상기 감쇠기 래더를 따라 매 2개의 인접한 감쇠기 노드 사이에서의 연속된 2스텝 전이를 통해 실현되며, 각 2스텝 전이에서 단지 2개의 인접한 감쇠기 노드만이 상기 2개의 인접한 감쇠기 노드에 공급된 상기 제어 신호를 이용하여 활성화되고, 활성화된 상기 2개의 인접한 감쇠기 노드 중 적어도 하나는 각 2스텝 전이 구간 동안 ON 상태인,

가변 이득 증폭기.

청구항 14

가변 이득 증폭기(variable-gain amplifier, VGA)에 있어서,

인접한 감쇠기 노드 사이에서 제1 세트의 저항을 통해 직렬로 연결되어 감쇠기 래더를 형성하고, 상기 가변 이득 증폭기의 AC 입력에 커플링된 복수의 감쇠기 노드 - 각각의 상기 감쇠기 노드는 제1 트랜지스터, 상기 제1 트랜지스터의 드레인, 게이트 및 소스 단자를 상기 감쇠기 노드에 대한 제어 신호에 커플링하는 RC 회로, 및 RC 이네이블링 회로를 포함함 -; 및

각각이 상기 복수의 감쇠기 노드의 하나로부터 나오는 복수의 커플링 단자에 연결되고, 입력에 기초하여 생성되는 출력을 갖는 증폭기;

를 포함하고,

각 감쇠기 노드에 대한 상기 RC 회로는 상기 제1 트랜지스터가 ON 상태와 OFF 상태 사이에서 전이하는 동안, 상기 제1 트랜지스터에 의해 기여되는 왜곡의 감소를 가져오도록 제1 시간 스케일에 따라 상기 감쇠기 노드의 상기 제1 트랜지스터의 게이트 단자에 제1 제어 신호를 통과시키고 제2 시간 스케일에 따라 상기 게이트 단자가 플로팅하는 것을 허용하고,

각 감쇠기 노드의 상기 RC 이네이블링 회로는 상기 증폭기로의 입력에 대한 부하를 최소화하도록 동작할 때 상기 RC 회로를 디커플링할 수 있는,

가변 이득 증폭기.

청구항 15

제14항에 있어서,

각 감쇠기 노드에서의 상기 제1 트랜지스터의 소스는 상기 AC 입력에 커플링된 상기 제1 세트의 저항 중 적어도 하나에 연결되고, 제2 저항을 통해 접지에 연결되고, 상기 제1 트랜지스터의 드레인은 상기 증폭기의 입력에 커플링된,

가변 이득 증폭기.

청구항 16

제14항에 있어서,

상기 감쇠기 노드의 상기 RC 회로는,

상기 감쇠기 노드의 상기 제1 트랜지스터의 게이트와 소스를 커플링하고, 제3 저항 및 제1 커패시터를 갖는 제1 RC 지로 - 상기 제3 저항은 상기 제1 트랜지스터의 게이트에 커플링되고, 상기 제1 트랜지스터의 소스에 연결된 상기 제1 커패시터에 직렬로 연결됨 -;

상기 감쇠기 노드의 상기 제1 트랜지스터의 게이트 및 드레인을 커플링하고, 제4 저항 및 제2 커패시터를 갖는 제2 RC 지로 - 상기 제4 저항은 상기 제1 트랜지스터의 게이트에 연결되고, 상기 RC 이네이블링 회로에 연결된 상기 제2 커패시터에 직렬로 연결됨 -; 및

상기 감쇠기 노드의 상기 제1 트랜지스터의 게이트에 상기 제1 제어 신호를 통과시키는 제5 저항;
을 포함하는,

가변 이득 증폭기.

청구항 17

제16항에 있어서,

상기 RC 이네이블링 회로는 제2 트랜지스터와 제6 저항을 포함하고, 상기 제2 트랜지스터의 소스는 상기 제2 커패시터에 직렬로 연결되고, 상기 제2 트랜지스터의 드레인은 상기 증폭기의 입력에 연결되고, 상기 제2 트랜지스터의 게이트는 상기 제6 저항을 통하여 제2 제어 신호에 직렬로 커플링되는,

가변 이득 증폭기.

청구항 18

제17항에 있어서,

상기 VGA의 연속 이득 제어가 상기 감쇠기 래더를 따라 매 2개의 인접한 감쇠기 노드 사이에서의 연속된 2스텝 전이를 통해 실현되며, 각 2스텝 전이에서 단지 2개의 인접한 감쇠기 노드만이 상기 2개의 인접한 감쇠기 노드에 공급된 상기 제1 제어 신호를 통해 활성화되고, 활성화된 상기 2개의 인접한 감쇠기 노드 중 적어도 하나는 각 2스텝 전이 구간 동안 ON 상태인,

가변 이득 증폭기.

청구항 19

제18항에 있어서,

상기 제2 제어 신호는 대응하는 상기 감쇠기 노드가 활성화되거나 또는 활성화된 감쇠기에 인접할 때 상기 RC 회로를 상기 증폭기의 입력에 연결하는 것을 허용하도록 상기 제2 트랜지스터를 턴 ON하고, 상기 증폭기에 대한 입력으로부터 상기 RC 회로를 디커플링하기 위하여 대응하는 상기 감쇠기 노드가 활성화되지 않고 활성화된 감쇠기에 인접하지 않을 때 상기 제2 트랜지스터를 턴 OFF하는,

가변 이득 증폭기.

청구항 20

가변 이득 증폭기(variable-gain amplifier, VGA)에 있어서,

인접한 감쇠기 노드 사이에서 제1 세트의 저항을 통해 직렬로 연결되어 감쇠기 래더를 형성하고, 상기 가변 이득 증폭기의 AC 입력에 커플링된 복수의 감쇠기 노드 - 각각의 상기 감쇠기 노드는 제1 트랜지스터, 및 상기 제1 트랜지스터의 드레인, 게이트 및 소스 단자를 상기 감쇠기 노드에 대한 제어 신호에 커플링하는 RC 회로를 포함함 -; 및

각각이 상기 복수의 감쇠기 노드의 하나로부터 나오는 복수의 커플링 단자에 연결되고, 입력에 기초하여 생성되는 출력을 갖는 증폭기;

를 포함하고,

각 감쇠기 노드에 대한 상기 RC 회로는 상기 제1 트랜지스터가 ON 상태와 OFF 상태 사이에서 전이하는 동안, 상기 제1 트랜지스터에 의해 기여되는 왜곡의 감소를 가져오도록 제1 시간 스케일에 따라 상기 감쇠기 노드의 상기 제1 트랜지스터의 게이트 단자에 제1 제어 신호를 통과시키고 제2 시간 스케일에 따라 상기 게이트 단자가 플로팅하는 것을 허용하고,

상기 감쇠기 래더의 초기 스테이지에서 적어도 일부 감쇠기 노드는 게이트 클램핑 회로를 포함하며, 각 게이트 클램핑 회로는 상기 제1 트랜지스터의 게이트, 제2 제어 신호 및 접지에 각각 연결되는 3개의 단자를 갖는,

가변 이득 증폭기.

청구항 21

제20항에 있어서,

각 감쇠기 노드에서의 상기 제1 트랜지스터의 소스는 상기 AC 입력에 커플링된 상기 제1 세트의 저항 중 적어도 하나에 연결되고, 제2 저항을 통해 접지에 연결되며, 상기 제1 트랜지스터의 드레인은 상기 증폭기의 입력에 커플링된,

가변 이득 증폭기.

청구항 22

제20항에 있어서,

상기 감쇠기 노드의 상기 RC 회로는,

상기 감쇠기 노드의 상기 제1 트랜지스터의 게이트와 소스를 커플링하고, 제3 저항 및 제1 커패시터를 갖는 제1 RC 지로 - 상기 제3 저항은 상기 제1 트랜지스터의 게이트에 커플링되고, 상기 제1 트랜지스터의 소스에 연결된 상기 제1 커패시터에 직렬로 연결됨 -;

상기 감쇠기 노드의 상기 제1 트랜지스터의 게이트 및 드레인을 커플링하고, 제4 저항 및 제2 커패시터를 갖는 제2 RC 지로 - 상기 제4 저항은 상기 제1 트랜지스터의 게이트에 연결되고, 상기 증폭기의 입력에 회로에 연결된 상기 제2 커패시터에 직렬로 연결됨 -; 및

상기 감쇠기 노드의 상기 제1 트랜지스터의 게이트에 상기 제1 제어 신호를 통과시키는 제5 저항;

을 포함하는,

가변 이득 증폭기.

청구항 23

제20항에 있어서,

상기 게이트 클램핑 회로는 제2 트랜지스터와 제6 저항을 포함하고, 상기 제2 트랜지스터의 소스는 상기 제6 저항을 통해 상기 제1 트랜지스터의 게이트에 커플링되고, 상기 제2 트랜지스터의 드레인은 접지에 연결되고, 상기 제2 트랜지스터의 게이트는 상기 제2 제어 신호에 연결된,

가변 이득 증폭기.

청구항 24

제20항에 있어서,

상기 VGA의 연속 이득 제어가 상기 감쇠기 래더를 따라 매 2개의 인접한 감쇠기 노드 사이에서의 연속된 2스텝 전이를 통해 실현되며, 각 2스텝 전이에서 단지 2개의 인접한 감쇠기 노드만이 상기 2개의 인접한 감쇠기 노드

에 공급된 상기 제1 제어 신호를 통해 활성화되고, 활성화된 상기 2개의 인접한 감쇠기 노드 중 적어도 하나는 각 2스텝 전이 구간 동안 ON 상태인,

가변 이득 증폭기.

청구항 25

제23항에 있어서,

감쇠기 노드에 대응하는 게이트 클램핑 회로에 공급된 상기 제2 제어 신호는 대응하는 상기 감쇠기 노드가 비활성화되거나 활성화된 감쇠기 노드에 인접하지 않을 때 대응하는 상기 감쇠기 노드로부터의 누설을 방지하기 위하여 상기 제2 트랜지스터를 턴 ON하는,

가변 이득 증폭기.

청구항 26

차동 가변 이득 증폭기(differential variable-gain amplifier, DVGA)에 있어서,

인접한 제1 세트의 감쇠기 노드 사이에서 제1 세트의 저항을 통해 직렬로 연결되어 제1 감쇠기 노드를 형성하고, 상기 DVGA의 제1 AC 입력에 커플링되는 제1 세트의 감쇠기 노드;

각각이 상기 제1 세트의 감쇠기 노드 중 하나로부터 나오는 제1 복수의 커플링 터미널에 연결되어, 입력에 기초하여 생성되는 제1 출력을 갖는 제1 증폭기;

인접한 제2 세트의 감쇠기 노드 사이에서 제2 세트의 저항을 통해 직렬로 연결되어 제2 감쇠기 노드를 형성하고, 상기 DVGA의 제2 AC 입력에 커플링되는 제2 세트의 감쇠기 노드; 및

각각이 상기 제2 세트의 감쇠기 노드 중 하나로부터 나오는 제2 복수의 커플링 터미널에 연결되어, 입력에 기초하여 생성되는 제2 출력을 갖는 제2 증폭기;

를 포함하고,

상기 제1 및 제2 세트의 감쇠기 노드 각각은 트랜지스터 및 상기 트랜지스터의 드레인, 게이트 및 소스 단자를 상기 감쇠기 노드에 대한 제어 신호에 커플링하는 RC 회로를 포함하고,

각 감쇠기 노드에 대한 상기 RC 회로는 상기 트랜지스터가 ON 상태와 OFF 상태 사이에서 전이하는 동안, 상기 트랜지스터에 의해 기여되는 왜곡의 감소를 가져오도록 제1 시간 스케일에 따라 상기 감쇠기 노드의 상기 트랜지스터의 게이트 단자에 제어 신호를 통과시키고 제2 시간 스케일에 따라 상기 게이트 단자가 플로팅하는 것을 허용하도록 구성되는,

차동 가변 이득 증폭기.

청구항 27

제26항에 있어서,

각각의 상기 제1 세트의 감쇠기 노드에서의 상기 트랜지스터의 소스는 상기 제1 AC 입력에 커플링된 상기 제1 세트의 저항 중 적어도 하나에 연결되고, 제3 저항을 통해 접지에 연결되며, 각각의 상기 제1 세트의 감쇠기 노드에서의 상기 트랜지스터의 드레인은 상기 제1 증폭기의 입력에 커플링된,

차동 가변 이득 증폭기.

청구항 28

제27항에 있어서,

각각의 상기 제2 세트의 감쇠기 노드에서의 상기 트랜지스터의 소스는 상기 제2 AC 입력에 커플링된 상기 제2 세트의 저항 중 적어도 하나에 연결되고, 제4 저항을 통해 접지에 연결되며, 각각의 상기 제2 세트의 감쇠기 노

드에서의 상기 트랜지스터의 드레인은 상기 제2 증폭기의 입력에 커플링된, 차동 가변 이득 증폭기.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 명세서에서 제공된 본 개시 내용은 가변 이득 증폭기에 관한 것이다. 더욱 상세하게는, 본 개시 내용은 탭핑된(tapped) 감쇠기 래더(ladder)를 사용하는 개선된 가변 이득 증폭기에 관한 것이다.

배경 기술

[0002] 가변 이득 증폭기(variable gain amplifier, VGA)는 광범위한 통신 시스템 애플리케이션에서 사용된다. 대부분의 애플리케이션에서, 전체 이득 제어 범위에서 VGA가 양호한 동적 범위를 유지하는 것이 필수적이다. VGA의 다른 바람직한 특성은 높은 선형성, dB 선형(linear-in-dB) 이득 제어, 저잡음, 낮은 DC 전력 소비, CMOS 호환성, 고주파수 동작, 큰 신호 처리 능력, 및 주변 온도에 민감하지 않은 이득 제어 관계를 포함한다.

[0003] VGA는 오랫동안 사용되어 왔으며, 많은 기술이 이러한 중요한 회로 기능을 획득하기 위하여 사용되어 왔다. 문헌에 보고된 VGA의 종류는 여러 가지 광의의 카테고리 분류된다. 전류 조종(current steering)은 ΔV_{be} 제어 전압에 따라 전류의 비율을 조종하기 위하여 일반적으로 소정 종류의 이미터 결합(emitter-coupled) BJT(bipolar junction transistor) 쌍을 사용하는 많은 방법 중 하나이다. 바이어스 제어 방법은 gm과 결과 이득에 영향을 미치기 위하여 트랜지스터 장치의 바이어스 지점을 변경한다. PIN 다이오드 또는 MOSFET 저항이 연속 가변 방법으로 증폭기의 이득을 변화시키는데 종종 사용된다. 다른 방법은 gm 블록의 이득에 영향을 미치기 위하여 멀티-Tanh 셀로 알려진 회로 종류에 의존한다. 구현하기 단순하지만, VGA를 실현하기 위한 이러한 4 가지 일반적인 방법은 열악한 선형성과 작은 입력 신호 처리 능력을 갖는다.

[0004] 종래의 VGA에 대한 일부 단점을 해결하기 위한 한 방법이 1991년 12월 31일 발행된 Gilvert의 미국 등록 특허 No. 5,077,541호, "Variable-Gain Amplifier Controlled by an Analog Signal and Having a Large Dynamic Range"에 개시된다. 이 특허는 각 감쇠기 노드에서 신호를 샘플링하기 위하여 복수의 고임피던스 탭 지점을 갖는 고정 저항 감쇠기 래더를 사용하는 가변 이득 증폭기를 설명한다. 이러한 탭 지점에서의 신호 전압은 합성 이득 기능을 생성하도록 연산 증폭기로 더하여 입력되는 신호 전류로 변환된다. 각 탭 지점에서의 효율적인 상호 컨덕턴스 이득은 연속 이득 기능을 생성하기 위하여 특정 방법에서 가변된다. 고정 감쇠기 래더는 전체 dB 선형 이득 범위에 걸쳐 큰 입력 신호 처리 능력을 안정된 입력 임피던스에 제공하는 것을 목적으로 한다.

[0005] 신호 탭핑 및 이득 보간 제어에 대한 Gilbert 방법이 바이폴라 기술에서 매력적이지만, CMOS 기술에서는 덜 바람직하다. gm 탭을 CMOS에서 구현하는 것은 전류 운반 MOS 트랜지스터의 성질 때문에 업컨버팅된 1/f 잡음에 영향을 받기 쉬우며, BJT V_{be} 매칭에 비하여 열악한 MOSFET V_{th} 매칭 때문에 gm 에러가 실질적으로 더 크다.

[0006] CMOS에 호환되는 감쇠기 기반의 VGA가 2007년 4월 7일 발행된 Huang의 미국 등록 특허 No. 7,205,817, "Analog Control Integrated FET Based Variable Attenuator"에 개시된다. 이 특허는 가변 감쇠기를 구현하기 위하여 복수의 직렬 및 병렬 MOS 장치를 어셈블링하고 제어하는 방법을 설명한다. Huang은 중요한 V_{th} 매칭 문제를 방지하고, 감쇠기 내에서 DC 바이어스 전류를 제거하지만, 감쇠기 래더를 따라 직렬 및 병렬 소자 모두를 제어하는 것을 포함한다. 이것은 이상적인 dB 선형 이득 법칙으로부터의 상당하게 기복이 심한 편차를 갖는 이득 제어 기능을 종종 가져다 주는 더욱 어려운 제어 회로의 원인이 된다. 또한, 이득 제어 범위 전체를 걸친 왜곡을 제어하는 것은 어려우며, 표준 N-웰 CMOS 공정에서 일반적으로 볼 수 없는 일종의 플로팅 P-웰을 필요로 한다.

발명의 내용

[0007] 개선된 가변 이득 증폭기(variable-gain amplifier, VGA)가 개시된다. 본 개시 내용의 일 양태에 따르면, 개선된 VGA는 인접한 감쇠기 노드 사이에서 제1 세트의 저항을 통해 직렬로 연결되어 감쇠기 래더를 형성하고, 상기 가변 이득 증폭기의 AC 입력에 커플링된 복수의 감쇠기 노드를 포함한다. 각각의 상기 감쇠기 노드는 트랜지스터 및 상기 트랜지스터의 드레인, 게이트 및 소스 단자를 상기 감쇠기 노드에 대한 제어 신호에 커플링하는 RC 회로를 포함한다. 개선된 VGA는 각각이 상기 복수의 감쇠기 노드의 하나로부터 나오는 복수의 커플링 단자에 연결되고, 입력에 기초하여 생성되는 출력을 갖는 증폭기를 더 포함한다. 개선된 VGA에서, 각 감쇠기 노드에 대한 상기 RC 회로는 상기 트랜지스터가 ON 상태와 OFF 상태 사이에서 전이하는 동안, 상기 트랜지스터에 의해 기여되는 왜곡의 감소를 가져오도록 제1 시간 스케일에 따라 상기 감쇠기 노드의 상기 트랜지스터의 게이트 단자에 제어 신호를 통과시키고 제2 시간 스케일에 따라 상기 게이트 단자가 플로팅하는 것을 허용하도록 구성된다. "플로팅(float)"이란 용어는 AC 게이트 전압이 소스 및 드레인 AC 전압의 가중 평균을 추종하는 효과를 나타낸다.

[0008] 본 개시 내용의 다른 양태에 따르면, 개선된 VGA는 인접한 감쇠기 노드 사이에서 제1 세트의 저항을 통해 직렬로 연결되어 감쇠기 래더를 형성하고, 상기 가변 이득 증폭기의 AC 입력에 커플링된 복수의 감쇠기 노드를 포함한다. 각각의 상기 감쇠기 노드는 제1 트랜지스터, 상기 트랜지스터의 드레인, 게이트 및 소스 단자를 상기 감쇠기 노드에 대한 제어 신호에 커플링하는 RC 회로, 및 RC 이네이블링 회로를 포함한다. 또한, 개선된 VGA는 각각이 상기 복수의 감쇠기 노드의 하나로부터 나오는 복수의 커플링 단자에 연결되고, 입력에 기초하여 생성되는 출력을 갖는 증폭기를 포함한다. 본 개시 내용의 본 양태에 따른 개선된 VGA에서, 각 감쇠기 노드에 대한 상기 RC 회로는 상기 제1 트랜지스터가 ON 상태와 OFF 상태 사이에서 전이하는 동안, 상기 제1 트랜지스터에 의해 기여되는 왜곡의 감소를 가져오도록 제1 시간 스케일에 따라 상기 감쇠기 노드의 상기 제1 트랜지스터의 게이트 단자에 제1 제어 신호를 통과시키고 제2 시간 스케일에 따라 상기 게이트 단자가 플로팅하는 것을 허용한다. 또한, 각 감쇠기 노드의 상기 RC 이네이블링 회로는 상기 증폭기의 입력에 대한 부하를 최소화하도록 동작할 때 상기 RC 회로를 디커플링할 수 있다.

[0009] 본 개시 내용의 다른 양태에 따르면, 개선된 VGA는 인접한 감쇠기 노드 사이에서 제1 세트의 저항을 통해 직렬로 연결되어 감쇠기 래더를 형성하고, 상기 가변 이득 증폭기의 AC 입력에 커플링된 복수의 감쇠기 노드를 포함하며, 각각의 상기 감쇠기 노드는 제1 트랜지스터, 및 상기 트랜지스터의 드레인, 게이트 및 소스 단자를 상기 감쇠기 노드에 대한 제어 신호에 커플링하는 RC 회로를 포함한다. 또한, 개선된 VGA는 각각이 상기 복수의 감쇠기 노드의 하나로부터 나오는 복수의 커플링 단자에 연결되고, 입력에 기초하여 생성되는 출력을 갖는 증폭기를 포함한다. 각 감쇠기 노드에 대한 상기 RC 회로는 상기 제1 트랜지스터가 ON 상태와 OFF 상태 사이에서 전이하는 동안, 상기 제1 트랜지스터에 의해 기여되는 왜곡의 감소를 가져오도록 제1 시간 스케일에 따라 상기 감쇠기 노드의 상기 제1 트랜지스터의 게이트 단자에 제1 제어 신호를 통과시키고 제2 시간 스케일에 따라 상기 게이트 단자가 플로팅하는 것을 허용한다. 개선된 VGA는 상기 감쇠기 래더의 초기 스테이지에서 적어도 일부 감쇠기 노드는 게이트 클램핑 회로를 포함하며, 각 게이트 클램핑 회로는 상기 제1 트랜지스터, 제2 제어 신호 및 접지를 각각 연결하는 3개의 단자를 갖는다.

[0010] 또한, 본 개시 내용은 개선된 차동 가변 이득 증폭기(differential variable-gain amplifier, DVGA)를 개시한다. 개선된 DVGA는 인접한 제1 세트의 감쇠기 노드 사이에서 제1 세트의 저항을 통해 직렬로 연결되어 제1 감쇠기 노드를 형성하고, 상기 DVGA의 제1 AC 입력에 커플링되는 제1 세트의 감쇠기 노드와, 각각이 상기 제1 세트의 감쇠기 노드 중 하나로부터 나오는 제1 복수의 커플링 터미널에 연결되어, 입력에 기초하여 생성되는 제1 출력을 갖는 제1 증폭기를 포함한다. 또한, 개선된 DVGA는 인접한 제2 세트의 감쇠기 노드 사이에서 제2 세트의 저항을 통해 직렬로 연결되어 제2 감쇠기 노드를 형성하고, 상기 DVGA의 제2 AC 입력에 커플링되는 제2 세트의 감쇠기 노드와, 각각이 상기 제2 세트의 감쇠기 노드 중 하나로부터 나오는 제2 복수의 커플링 터미널에 연결되어, 입력에 기초하여 생성되는 제2 출력을 갖는 제2 증폭기를 포함한다. 상기 제1 및 제2 세트의 감쇠기 노드 각각은 트랜지스터 및 상기 트랜지스터의 드레인, 게이트 및 소스 단자를 상기 감쇠기 노드에 대한 제어 신호에 커플링하는 RC 회로를 포함한다. 각 감쇠기 노드에 대한 상기 RC 회로는 상기 트랜지스터가 ON 상

태와 OFF 상태 사이에서 전이하는 동안, 상기 트랜지스터에 의해 기여되는 왜곡의 감소를 가져오도록 제1 시간 스케일에 따라 상기 감쇠기 노드의 상기 트랜지스터의 게이트 단자에 제어 신호를 통과시키고 제2 시간 스케일에 따라 상기 게이트 단자가 플로팅하는 것을 허용하도록 구성하도록 구성된다.

발명의 실시를 위한 구체적인 내용

- [0011] 본 개시 내용은 개선된 VGA를 개시한다. 본 명세서에서 설명되는 예시적인 구현에는 단일 3V 공급으로 동작하는 NMOSFET에 대하여 0.7 V의 문턱값, 즉, $V_{th} = 0.7V$ 를 갖는 N-웰 CMOS 공정을 설명한다. 여기에서 예시된 예시적인 감쇠기 회로는 50Ω의, 단일 단말의, 레퍼런스로서 접지되고, 스테이지 당 4dB의 감쇠를 갖는 5 노드의 감쇠기 래더를 사용한다. 이러한 예시적인 실시예는 여기에서 포함된 상세한 설명을 단순화하고 분명하게 하도록 의도되며, 본 개시 내용의 범위를 제한하려고 의도되지 않는다.
- [0012] 도 1은 본 개시 내용의 일 실시예에 따라, 직렬로 연결된 감쇠기 래더(170) 및 증폭기(160)를 포함하는 예시적인 VGA 회로(100)를 도시한다. 감쇠기 래더(170)는 일반적으로 직렬로 연결된 복수의 감쇠기 노드를 포함한다. 예시적인 본 실시예에서, 감쇠기 래더는 5개의 직렬로 연결된 감쇠기 노드를 포함하며, 그 중 하나는 도 1에서 110으로 표시되고, 나머지 모두는 유사하게 구축된다. 예시적인 본 실시예에서, 각 감쇠기 노드는 NMOS 탭 트랜지스터(예를 들어, Q1(130-a), Q2(130-b), Q3(130-c), Q4(130-d) 및 Q5(130-e))와, FET 장치의 드레인, 게이트 및 소스를 제어 신호(예를 들어, V_{c1} , V_{c2} , V_{c3} , V_{c4} , V_{c5})에 커플링시키는 일반화된 RC 네트워크(예를 들어, 120-a, 120-b, 120-c, 120-d 및 120-e)를 사용한다. 상이한 감쇠기 노드는 저항 세트(예를 들어, 180-a, 180-b, 180-c 및 180-d)를 통해 탭 트랜지스터의 소스 단자에 직렬로 연결되며, VGA(100)의 출력(155)에 함께 커플링된다. 또한, 탭 트랜지스터의 소스는 해당 저항(예를 들어 140-a, 140-b, 140-c, 140-d 및 140-e)을 통해 접지에 개별적으로 연결된다. 도 1에 도시된 예시적인 실시예에서, 모든 탭 트랜지스터의 드레인은 VGA(100)의 출력(190)을 생성하는 증폭기(160)의 입력(150)에 함께 커플링된다.
- [0013] 일반적으로, 각 감쇠기 노드에 대한 탭 트랜지스터와 RC 네트워크는 개별적으로 맞추어질 수 있다. 일부 실시예에서, 여기에서 도시된 것과 같이, 동일한 NMOS 트랜지스터 및 RC 네트워크가 모든 스테이지의 감쇠기 노드에 대하여 사용될 수 있다.
- [0014] 동작시, 제어 신호가 단일 감쇠기 노드를 탭핑하는데 사용될 때, 감쇠기 회로는 공통 디지털 감쇠기의 원리에 따라 동작한다. 이 경우, 탭핑된 트랜지스터는 충분히 양인 전압이 NMOS 트랜지스터의 게이트에 공급될 때 ON으로 스위칭된다. 모든 다른 나머지 트랜지스터가 OFF로 스위칭된 상태를 유지하기 위하여, 충분히 낮은 제어 전압이 이러한 트랜지스터의 게이트 단자에 공급될 수 있다. 이러한 예시적인 상황에서, 증폭기(160)(또는 고(high) Z_{IN} 버퍼)에 대한 전압 이득은 탭핑된 감쇠기 노드에 대한 대응하는 감쇠이다.
- [0015] 2 이상의 인접한 감쇠기 노드가 대응하는 제어 신호를 이용하여 탭핑될 때, VGA 회로(100)의 동작은 더 복잡하다. 이 경우, 탭핑된 감쇠기 노드의 커플링된 드레인으로부터의 증폭기(160)에 대한 입력은 이러한 여러 감쇠기 노드의 가중 합계이다. 또한, 트랜지스터 도전(conduction)은 감쇠기 래더에 대한 바람직하지 않은 부하와 왜곡을 생성한다. 일부 부하 효과는 이러한 종류의 수동형 NMOS 신호 탭핑에 대하여 불가피할 수 있다. 그러나, 주어진 시간에서 2개 이상의 인접한 탭 트랜지스터가 도전되지 않고, 인접한 노드 사이에서의 감쇠 스텝 크기가 대략 6dB보다 작을 때에는 부하 효과는 일반적으로 무시할만 하다.
- [0016] 부하 효과 외에도, 2 이상의 인접한 감쇠기 노드가 탭핑되면, 감쇠기 노드도 왜곡 효과를 생성할 수 있다. 이것은 상호 변조 왜곡(intermodulation distortion) 및 고조파 왜곡(harmonic distortion)을 포함한다. 이러한 왜곡 효과는 억제하기 더 어려운 것으로 알려져 있다. 완전하게 ON 되거나 완전하게 OFF된 트랜지스터의 왜곡이 일반적으로 무시할만하다면, 부분적으로 도전되는 트랜지스터는, 특히, 문턱 전압에 가까울 때, 완전히 ON

또는 OFF 상태일 때보다 종종 30-50dB 더 높은 두드러진 왜곡을 생성할 수 있다. 광범위한 컴퓨터 시뮬레이션은 이러한 왜곡이 제거될 수 없더라도 적합한 제어 시퀀스가 적절하게 설계된 VGA 회로에 적용될 때 실질적으로 억제될 수 있다는 것을 보여준다.

[0017] 제어 시퀀스는 감쇠기 래더를 따라 각 감쇠기 노드에서 트랜지스터를 탭핑하는데 사용되는 일련의 제어 신호를 말한다. 예시적인 실시예에서, 이러한 제어 시퀀스는 V_{c1} , V_{c2} , V_{c3} , V_{c4} , V_{c5} 에 대응한다.

[0018] 일부 실시예에서, 바람직한 제어 시퀀스는 인접한 FET 장치가 문턱 영역을 통해 전이할 때마다 하나의 FET 장치를 항상 완전하게 ON으로 유지하는 것은 목적으로 하는 것이다. 여기에서, 전이는 OFF 상태에서 ON 상태로의 전이 및 ON 상태에서 OFF 상태로의 전이 모두를 포함한다. 예를 들어, Q1과 Q2 사이에서, Q2가 OFF에서 ON 상태로 전이하고 있는 동안 Q1을 ON으로 유지하거나 또는 Q1이 ON 상태에서 OFF 상태로 전이하고 있는 동안 Q2를 ON으로 유지한다. 이것은 이른바 2스텝 전이(two-step transition)라 한다. 이것이 전이하는 FET에 최대 병렬 저항 부하를 제공하고, 감쇠기에서의 트랜지스터가 문턱 상태에 가까울 때, 즉 전이를 겪는 동안, 왜곡 산물을 감소시키는 효과를 갖는 것으로 밝혀졌다. 2스텝 전이는 감쇠기 래더를 따라 연속된 방법으로 적용될 수 있다. 예를 들어, 감쇠기 노드 #2가 OFF에서 ON 상태로 전이하는 동안 감쇠기 노드 #1은 ON으로 유지될 수 있다. 그 다음, 감쇠기 노드 #1이 ON에서 OFF 상태로 전이하는 동안 감쇠기 노드 #2는 ON으로 유지될 수 있다. 감쇠기 노드 #3이 OFF에서 ON 상태로 전이하는 동안 감쇠기 노드 #2는 ON으로 유지될 수 있다.

[0019] 이러한 제어 시퀀스를 이용하여, 탭핑된 스테이지의 효율적 감쇠를 제어하기 위하여, 이득 제어 시퀀스를 따라 임의의 지점에서, 2개의 트랜지스터는 활성화(active), 즉, ON 상태 또는 전이 상태에 있게 된다. 다른 트랜지스터 또는 스테이지는 이에 따라 비활성화(inactive)되거나 OFF로 된다. 이것을 이네이블하기 위하여, 제어 신호의 시퀀스, 즉, V_{c1} , V_{c2} , V_{c3} , V_{c4} , V_{c5} 가 임의의 주어진 시간에 인접한 노드에 있는 단지 2개의 트랜지스터가 활성화되는 방법으로 트랜지스터(Q1, Q2, Q3, Q4, Q5(130-a, ..., 130-e))에 공급된다. 다른 감쇠기 노드에 있는 NMOS 트랜지스터가 비활성화된 것을 보장하기 위하여, 낮은 제어 신호가 이러한 NMOS 트랜지스터가 완전하게 OFF 되도록 이러한 NMOS 트랜지스터에게 인가될 수 있다. 도 4는 예시적인 제어 시퀀스를 도시하며 도 4를 참조하여 상세하게 논의될 것이다.

[0020] 도 1에서, RC 회로는 대응하는 제어 신호를 NMOS 트랜지스터의 게이트로 통과시킨다. 일부 실시예에서, 왜곡을 감소시키기 위하여, 여기에서 논의되는 바와 같이, RC 회로는 제어 신호가 10 AC 사이클보다 더 큰 시간 스케일로 트랜지스터의 게이트 단자로 통과되고, 동시에 1 AC 사이클보다 더 작은 것과 같이 훨씬 더 짧은 시간 스케일로 게이트를 플로팅시키는 방법으로 설계된다. 이것은 문턱 상태에 가까운 트랜지스터의 상호 변조 및 고조파 왜곡 기여분을 실질적으로 감소시키는 효과를 생성하는 것이 알려졌다. 감소된 왜곡의 기본적인 효과가 일반적으로 관측되고, 이러한 RC 네트워크에 대한 매우 강력한 회로 설계는 신호 주파수, 제어 속도, 감쇠기 임피던스 및 버퍼 임피던스와 같은 다양한 애플리케이션 요건에 의존할 수 있다.

[0021] 상세한 RC 회로 설계를 포함하는 본 개시 내용에 따른 VGA(200)의 예시적인 일 실시예가 도 2에 도시된다. 도시된 VGA 회로(200)는 VGA(100)와 유사한 구조를 가지며, 5개의 감쇠기 노드를 갖는 감쇠기 래더(205)와 증폭기(240)를 포함한다. 이 예시적인 실시예에서 유사하게 배치된 구성 요소는 별도의 도면부호를 갖지 않는다. 도시된 바와 같이, 감쇠기 래더(205)는 50Ω의 특성 임피던스와 인접한 노드 사이의 4dB의 스텝 크기로 구축된다. 각 감쇠기 노드의 소스가 통과하여 접지로 연결되는 다른 저항은 140Ω이다. 한 세트의 5개의 동일한 NMOS 탭 트랜지스터는 각 감쇠기 노드를 고 Z_{IN} 버퍼 증폭기(240)의 입력으로 공급되는 공통 노드에 커플링한다. 최소 노이즈 레벨을 요구하는 설계를 위하여, NMOS 탭 트랜지스터는 감쇠기 래더 임피던스의 10분의 1보다 작은 ON 저항, 이 경우에는 대략 2-4 Ω의 크기로 구축된다.

[0022] 도 2에서, 하이패스(high pass) 직렬 RC 회로가 도 1에서의 RC 회로의 구현예로서 사용된다. 본 예시에서, 각

RC 회로는 대응하는 NMOS 트랜지스터의 게이트에 제어 신호를 통과시키는 R_c 저항(225-a)과 2개의 RC 지로(branch)를 포함한다. 상부 RC 지로는 탭 트랜지스터의 게이트와 소스를 연결한다. 구체적으로는, 상부 RC 지로는 탭 트랜지스터의 게이트에 연결되고, 그 다음 탭 트랜지스터의 소스에 연결된 커패시터(205-a)에 직렬로 연결된 저항(210-a)을 포함한다. 하부 RC 지로는 탭 트랜지스터의 게이트 및 드레인을 연결한다. 구체적으로는, 하부 RC 지로는 탭 트랜지스터의 게이트에 연결되고, 그 다음 탭 트랜지스터의 드레인에 연결된 커패시터(220-a)에 직렬로 연결된 저항(215-a)을 포함한다. 직렬 RC 지로의 저항은 감쇠기 래더에 최소 부하를 주고 게이트 단자가 단일 AC 사이클의 시간 스케일로 플로팅하기에 적합한 시정수를 제공하도록 선택된다. 각 탭핑 스테이지의 R_c 는 충분한 게이트 플로팅을 허용할 수 있을 정도로 충분히 크지만, 게이트로 통과된 제어 전압에서의 변동에 신속하게 응답할 수 있을 정도로 충분히 작도록 선택된다. R_c 의 값은 내재적인 설계 트레이드 오프인 설계 선택 사항이다. 2개의 직렬 RC 지로에서의 소자의 값의 비율은 회로 시뮬레이션 및 최적화로부터 경험적으로 결정된다.

[0023] R_c 의 값이 증가할 때, 왜곡에 관한 일부 긍정적인 효과가 있다. 도 3(a) 및 3(b)는 2스텝 전이와 연계하여 더 큰 값의 R_c 의 이점을 도시한다. 도 3(a)의 상부 곡선은 Q1이 ON이고 Q2가 OFF에서 ON 상태로 전이하는 2스텝 전이 동안에 Q2에 대하여 낮은 R_c 값이 사용될 때, 증폭기(예를 들어, 240)에 대한 3차 왜곡(IM3 또는 HD3)을 나타낸다. 알 수 있는 바와 같이, Q2의 게이트가 게이트에서 드레인으로 그리고 게이트에서 소스로 연결된 직렬 RC 지로를 통해 커플링하는 평균 신호에 응답할 수 없도록, Q2의 게이트에 연결된 R_c 의 낮은 값은 게이트 전압을 효율적으로 고정시킨다. Q2와 관련된 R_c 값이 Q2와 연결된 직렬 RC 지로에서의 저항 이상으로 증가할 때, 게이트 전위는 Q2의 드레인/소스에서 AC 사이클로 플로팅하기 시작하며, 피크 3차 왜곡은 대략 20-30dB 감소된다. R_c 가 직렬 RC 지로의 저항의 대략 50배보다 더 클 때, 한계 체감(diminishing returns) 지점에 도달한다. 도 3(a)에서의 곡선은 2스텝 전이의 Q1 턴 OFF 및 Q2 ON 부분 동안 생성된 왜곡에 관한 유사한 변동을 나타낸다. 유사하게, 왜곡 생성의 실질적 감소가 R_c 값이 증가될 때 관측된다. 따라서, R_c 의 값을 증가시키는 것은 2스텝 전이의 양 스텝 모두에서 왜곡에 긍정적인 효과를 도입하는 것을 가능하게 한다.

[0024] 감쇠기 노드 #1에서 #5까지 연속적인 방법으로 예시적인 5 스테이지 감쇠기 래더에 적용되는 바와 같은 완전한 세트의 전이는 도 4에서 도시된다. 감쇠기 노드 #1에서 #2까지의 기본 전이는, 여기에서 설명된 바와 같이, 16dB의 범위에 대한 원하는 연속 이득 제어 응답을 생성하기 위하여 각각의 인접한 노드 및 모든 인접한 노드 쌍에 반복된다. 알 수 있는 바와 같이, 도 4에서의 상부 2개의 곡선은 감쇠기 노드 #1 및 #2 사이에서의 전이를 도시한다. 이 구간 동안, 스테이지 #1 및 #2는 활성화되고(하나가 ON이고 하나가 전이하고 있다) 스테이지 #3, #4 및 #5는 비활성화된다(어느 것도 ON 또는 전이중이 아니다). 그러나, 스테이지 #3이 비활성화되더라도, 활성화된 스테이지에 인접한 것으로 고려된다. 이러한 특별한 상태는 중요하며, 도 5를 참조한 논의에 사용될 차이점이다.

[0025] 여기에서 논의되는 바와 같이, 감쇠기 래더에 대한 직렬 RC 지로의 부하 효과는 일반적으로 중요하지 않다. 그러나, 고 Z_{IN} 버퍼 또는 증폭기(240)의 입력에 대한 부하는, 특히 다수의 탭핑된 노드를 갖는 감쇠기 래더에 대하여 더 높은 주파수에서 중요할 수 있다. 증폭기 입력에 대한 부하 효과의 문제점을 해결하기 위하여, 적절하다면, 각 감쇠기 노드에서 RC 회로를 효율적으로 이네이블하거나 디커플링하기 위하여 개시된 VGA 회로에 회로가 추가될 수 있다. 도 5는 활성화되지 않거나 또는 활성화된 노드에 인접하지 않은 감쇠기 노드와 관련된 RC 회로를 디커플링할 수 있는 RC 이네이블링 회로를 포함하는 VGA 회로(500)의 실시예를 도시한다. 도 5에서, 각 감쇠기 노드에 대하여, RC 이네이블링 회로는 트랜지스터(예를 들어, 510-a) 및 저항(예를 들어, 520-a)을 포함한다. 유사하게, 다른 감쇠기 노드는 이러한 회로(예를 들어, 노드 #2에 대한 510-b, 520-b, 노드 #3에 대한 510-c, 520-c, 노드 #4에 대한 510-d, 520-d, 및 노드 #5에 대한 510-e, 520-e)를 포함할 수 있다. 예시적인 구축예에서, RC 이네이블링 회로의 트랜지스터는 하부 RC 지로의 커패시터에 직렬로 연결된 소스와, 증폭기(240)(도 2 참조)에 대한 입력에 커플링된 드레인을 포함한다. 트랜지스터(510-a)의 게이트는 디커플링을 제어하기 위하여 사용되는 제어 신호에 연결된 RC 이네이블링 회로의 저항(520-a)에 연결된다. 감쇠기 래더를 따라

다른 노드에 관련된 RC 이네이블링 회로는 유사하게 구축될 수 있다.

[0026] 동작시, 감쇠기 노드가 활성화되지 않거나 또는 활성화된 노드에 인접하지 않을 때, 감쇠기는 다가오는 감쇠기 전이 또는 임의의 임박한 감쇠기 전이에 관여되지 않는다. 이 경우, 감쇠기 노드는 도 5에 도시된 바와 같이 저항(예를 들어, 520-a)에 연결된 제어 신호(V_{ENBL})에 낮은 전압을 이용하여 VGA 연산 회로로부터 효율적으로 제거될 수 있다. 이것은 비활성화된 스테이지로부터 고 Z_{IN} 노드로의 부하 효과를 감소시키기 위하여 RC 회로를 증폭기(240)에 대한 입력으로부터 효율적으로 디커플링하도록 동작하며, 기초적인 VGA의 고주파수 성능을 개선시킨다. 본 실시예의 이점은 감쇠기 스테이지의 개수가 증가함에 따라 더욱 가시적이다. 또한, 전체 감쇠기 래더 및 NMOS 탭이 대략 0.6V의 전압으로 플로팅되어, NMOS 드레인-서브스เตร이트 다이오드가 신호를 클리핑하기 전에 감쇠기 노드에서 허용 신호 진폭을 2배로 만든다.

[0027] 또한, 도 2에 도시된 바와 같은 직렬 RC 네트워크는 탭핑 FET 주위로 의도하지 않은 신호를 누설할 수 있는 신호 도전에 대한 대체 병렬 경로를 제공한다. 이것은 감쇠기 노드가 실질적으로 길 때 특히 그렇다. 실질적으로 긴 감쇠기 노드가 있고, 이득 제어기가 더 멀리 하부에 있는 감쇠기 래더(예를 들어, Q4, Q5)를 탭핑하도록 설정될 때, 이러한 긴 감쇠기 래더는 초기의 NMOS 장치 근처의 신호와 더 멀리 하부에 있는 래더에 의도된 탭핑 신호 사이에서 큰 비율을 생성할 수 있다. 예를 들어, 유사하게 설계된 감쇠기 래더가 처음의 10개 NMOS 탭 장치가 OFF이고 마지막 NMOS 탭 장치가 ON인 11개의 노드를 포함하고 있다면, Q1에서의 탭핑된 신호에 대한 Q1에서의 신호의 비가 40dB가 될 것이다. 따라서, Q1 트랜지스터를 통한 누설 신호의 매우 작은 부분은 Q1에서 원하는 탭핑된 신호를 실질적으로 오염시킬 수 있다.

[0028] 이러한 누설의 부정적 효과를 감소시키기 위하여, 게이트 클램핑 회로가 VGA 회로(200 또는 500)에 포함될 수 있다. 도 6은 본 개시 내용의 일 실시예에 따라 감쇠기 래더의 초기 스테이지에 위치되는 NMOS 장치(예를 들어, Q1 및 Q2)에 대하여 개선된 게이트 접지를 제공하기 위하여 VGA 회로(600)에 포함된 이러한 게이트 클램핑 회로의 예시적인 구현예를 도시한다. 도 6에 도시된 바와 같은 게이트 클램핑 회로는 저항(610-a) 및 트랜지스터(620-a)를 포함한다. 일단에서, 저항(610-a)은 동일한 감쇠기 노드에서의 탭 트랜지스터의 게이트 단자에 연결되고, 타단에서 트랜지스터(620-a)의 소스에 연결된다. 제어 신호 V_{CLAMP} 는 트랜지스터(620-a)의 상태를 제어하기 위하여 트랜지스터(620-a)의 게이트에 연결된다. 트랜지스터(620-a)의 드레인은 접지된다. 이 예시적인 VGA 회로에서의 다른 감쇠기 노드에 포함된 게이트 클램핑 회로는 유사하게 구축된다.

[0029] 이러한 게이트 클램핑 회로는 적합한 낮은 V_{CLAMP} 신호를 이용하여 Q1 또는 Q2와 같은 초기의 NMOS 장치를 OFF로 클램핑한다. 동작시, 이것은 나중의 스테이지로부터의 노드가 활성화되는 동안 초기 스테이지의 비활성화된 노드를 통해 큰 신호가 누설하는 것을 방지하기 위하여 트랜지스터의 게이트를 접지시킨다. 이러한 방법으로, 큰 신호의 진폭 성능을 개선시킨다. 트랜지스터를 접지시키는데 사용되는 낮은 전압은 일반적으로 감쇠기 노드가 비활성화된 상태에 있고 활성화된 노드에 인접하지 않은 후에 일반적으로 공급된다. 이러한 구성의 이점은 감쇠기 범위가 증가함에 따라 더 빠르게 판단될 것이다.

[0030] 도 7(a) 내지 7(e)는 도 6에 도시된 바와 같은 5개 노드의 감쇠기 래더를 채용한 예시적인 VGA 회로(600)에 사용되는 다양한 제어 전압을 도시한다. 모두 5개의 곡선이 있으며, 그 각각은 하나 이상의 제어 신호의 곡선을 나타낸다. 이러한 곡선에서, X-축은 입력 아날로그 이득 제어 신호 V_{GAIN} 을 나타낸다. 도 7(a) 내지 7(c)의 Y-축은 예시적인 제어 신호(V_C , V_{ENBL} , 및 V_{CLAMP})의 제어 전압 레벨을 각각 나타낸다. 도 7(d)의 Y-축은 도 7(a) 내지 7(c)에 도시된 3세트의 제어 신호의 합성 효과의 결과로서, 5개의 예시적인 NMOS 탭 트랜지스터의 게이트 단자에서의 원하는 DC 게이트 전압 V_G 의 전압 레벨을 나타낸다. 도 7(e)의 곡선은 도 7(a) 내지 7(c)에 도시된 제어 전압의 제어 하에서의 동작 결과로서, 감쇠기로부터 결과적으로 획득된 이득을 도시한다. 도 7(a) 내지 7(d)에서, 기본적인 트레이스는 명확함을 위하여 수직으로 오프셋이 주어진다.

[0031] 도 7(a)에서, 스테이지 제어 전압(V_{C1} , V_{C2} , V_{C3} , V_{C4} , V_{C5})은 공급 전압의 근처에 있는 곡선의 상부와 0.6V 주위에서 플로팅 전압(V_{FLOAT})의 레벨 근처에 있는 곡선의 하부를 갖는 한 세트의 중첩되고 성형된 사다리꼴을 형성하는 것을 알 수 있다. 성형된 측면은 도 7(e)에 도시된 선형 이득(V_{GAIN}) 관계를 생성하는 것을 돕기 위하여 NMOS 탭 장치의 비선형 $R_{DS}(V_G)$ 특성을 대략 매칭시킨다. 이러한 곡선은 임의의 개수의 표준 아날로그 회로 방법을 이용하여 생성될 수 있다. 이러한 특정 방법 및 다른 방법에 대한 여러 참조의 상세한 설명에 대하여, 예를 들어, Kachare, "Low-Voltage Fully Programmable CMOS Triangular/Trapezoidal Function Generator Circuit", IEEE J. Solid-State Circuit, vol. 52, no. 10, Dec. 2005를 참조하라.

[0032] 도 7(b)에서, 스테이지 이네이블 제어 전압(V_{ENBL1} , V_{ENBL2} , V_{ENBL3} , V_{ENBL4} , V_{ENBL5})은 적합한 논리 회로를 이용하여 스테이지 제어 전압에 기초하여 생성될 수 있다. 예를 들어, V_{ENBL3} 는 V_{C2} , V_{C3} , 및 V_{C4} 의 논리적인 AND 함수로서 취급될 수 있다. 다른 V_{ENBL} 신호는 유사한 방법으로 생성될 수 있다. 유사하게, 도 7(c)에서의 스테이지 클램핑 전압(V_{CLAMP})은 적합한 논리 회로를 이용하여 대응하는 V_{ENBL} 신호로부터 생성될 수 있다. 이러한 제어 신호의 순수한 효과는 스테이지 게이트 전압(V_G)으로서 도 7(d)에 제공된다. 도 7(d)에 도시된 바와 같이, DC V_G 전압은 대응하는 V_{CLAMP} 신호가 하이인 곳을 제외하고는 V_C 제어 전압을 추종한다. 이것이 발생할 때, V_G 신호가 초기 탭 트랜지스터를 OFF로 더 클램핑하기 위하여 0V 가까이 풀다운되기 때문이다. 다양한 NMOS 탭 트랜지스터의 AC VG 전압이 평균 소스/드레인 전압으로 플로팅하기 때문에, 예시적인 실시예에서 도시된 VGA 회로는 대응하는 V_{ENBL} 신호가 하이일 때 왜곡을 억제할 수 있다.

[0033] 도 8은 본 개시 내용의 실시예에 따라 VGA 회로 및 VGA 회로에 제어 신호를 공급하기 위하여 사용되는 회로를 포함하는 예시적인 회로(800)를 도시한다. 이러한 예시적인 실시예에서, 예시적인 회로(800)는 VGA(830), 사다리꼴 제어 신호 생성기(810) 및 이네이블 및 클램핑 논리 회로(820)를 포함한다. VGA(830)는 본 개시 내용에 따라 구축되며, MOS 탭핑(840) 및 증폭기(850)를 포함한다. VGA(830)는 입력으로서 RF IN을 취하고, 출력으로서 RF OUT을 생성한다. MOS 탭핑 감쇠기 래더(840)는 다양한 제어 신호를 입력으로서 취하고, 입력으로서 증폭기에 공급되는 커플링된 출력을 생성한다. 다양한 제어 신호를 생성하기 위하여, 여기에서 설명된 바와 같이, 사다리꼴 제어 신호 생성기(810)는 입력으로서 이득 제어 입력(V_{GAIN})을 취하고, MOS 탭핑 감쇠기 래더에 대한 출력으로서 스테이지 제어 전압(V_{C1} , V_{C2} , V_{C3} , V_{C4} , V_{C5})을 생성한다. 또한, 이러한 스테이지 제어 전압은 MOS 탭핑 감쇠기 래더(840)에 대한 출력으로서 제어 신호(V_{ENBL1} , V_{ENBL2} , V_{ENBL3} , V_{ENBL4} , V_{ENBL5}) 및 클램핑 제어 신호(V_{CLAMP1} , V_{CLAMP2} , V_{CLAMP3})를 생성하는 이네이블 및 클램핑 논리 회로(820)에 대한 입력으로서도 사용된다.

[0034] 도 1 내지 7에 도시된 예시적인 실시예는 레퍼런스로서 접지되고, 하나의 입력 단말과 하나의 출력 단말을 갖는 단일 단말의 회로이다. 현대의 아날로그 회로는 2차 왜곡을 억제하고 노이즈 면역성을 개선시키기 위하여 차동(differential) 회로를 종종 사용한다. 본 명세서에서 설명되는 모든 예시적인 실시예는 차동 회로 토폴로지로 변환될 수 있다. 예시로서, VGA 회로(200)는 도 9에 도시된 차동 VGA 회로(900)로 변환될 수 있다. 감쇠기 래더, NMOS 탭, 및 버퍼 증폭기는 복제되며, 예시적인 차동 회로를 형성하기 위하여 대칭 중심선에 대하여 거울상을 갖는다. 구체적으로는, 도 9에서, 대칭 중심선은 접지이다. 접지에 대한 상부 회로는 차동 VGA 회로(900)의 양의 절반이고, 접지에 대한 하부 회로는 차동 VGA 회로(900)의 음의 절반이다. 그러나, 관련된 제어 신호는 복제될 수 있거나 또는 복제되지 않을 수 있다. 예시된 차동 VGA 회로에서, 동일한 제어 신호가 회로의 양의 절반 및 음의 절반에 인가된다.

[0035] 도 5 및 도 6에 도시된 예시적인 실시예에 기초한 차동 VGA 회로는 유사하게 구축될 수 있다. 이러한 변환은 아날로그 회로 설계 분야에서 일반적으로 사용된다. 본 발명의 기술 분야에서 통상의 지식을 가진 자는 본 발명의 사상과 범위를 벗어나지 않으면서 본 명세서에서 설명된 본 개시 내용의 실시예에 상이한 애플리케이션에

의해 요구될 수 있는 바와 같이 다양한 수정을 용이하게 구성하거나 할 수 있다.

[0036] 본 발명이 소정의 예시적인 실시예를 참조하여 설명되었지만, 본 명세서에서 사용된 용어는 한정을 위한 용어라기 보다는 설명을 위한 용어이다. 첨부된 청구의 범위에 대한 한계 내에서, 본 발명의 범위 및 기술적 사상을 벗어나지 않으면서 그 양태에서 변경이 이루어질 수 있다. 본 발명이 특정 구조, 동작 및 재료를 참조하여 설명되었지만, 본 발명은 개시된 그 특정 사항에 한정되지 않으며, 오히려 개시된 실시예에서와는 매우 다를 수 있는 광범위한 형태로 구체화될 수 있으며, 모든 균등한 구조, 동작 및 재료까지 확장하며, 이는 첨부된 청구의 범위의 범위 내에 포함된다.

도면의 간단한 설명

[0037] 청구되고 그리고/또는 본 명세서에서 설명된 개시 내용은 예시적인 실시예에 의해 설명되었다. 이러한 예시적인 실시예는 도면을 참조하여 상세하게 설명된다. 이러한 실시예들은 예시적인 실시예를 한정하는 것이 아니며, 유사한 도면 부호는 다음의 여러 도면 전체를 통하여 유사한 구조를 나타낸다;

[0038] 도 1은 본 개시 내용의 실시예에 따라, 각각 FET 장치의 드레인, 게이트 및 소스를 제어 신호에 커플링하는 일 반화된 RC 네트워크를 각각 갖는 NMOS 랩 트랜지스터를 사용한 예시적인 VGA 회로를 도시한다;

[0039] 도 2는 본 개시 내용의 일 실시예에 따라 하이패스 RC 네트워크를 이용한 예시적인 VGA 회로를 도시한다;

[0040] 도 3은 본 개시 내용의 일 실시예에 따라 하나의 감쇠기 노드에서 인접한 감쇠기 노드로의 2스텝 전이에 대한 3차 왜곡의 예를 도시한다;

[0041] 도 4는 본 개시 내용의 일 실시예에 따라 16dB의 이득 제어 범위를 획득하기 위하여 5개의 노드의 감쇠기 래더를 통한 예시적인 전이 시퀀스를 도시한다;

[0042] 도 5는 본 개시 내용의 일 실시예에 따라 RC 네트워크를 디커플링할 수 있는 RC 이네이블 회로를 갖는 예시적인 VGA 회로를 도시한다;

[0043] 도 6은 본 개시 내용의 일 실시예에 따라 감쇠기 노드의 개선된 게이트 접지를 제공할 수 있는 게이트 클램핑 회로를 갖는 예시적인 VGA 회로를 도시한다;

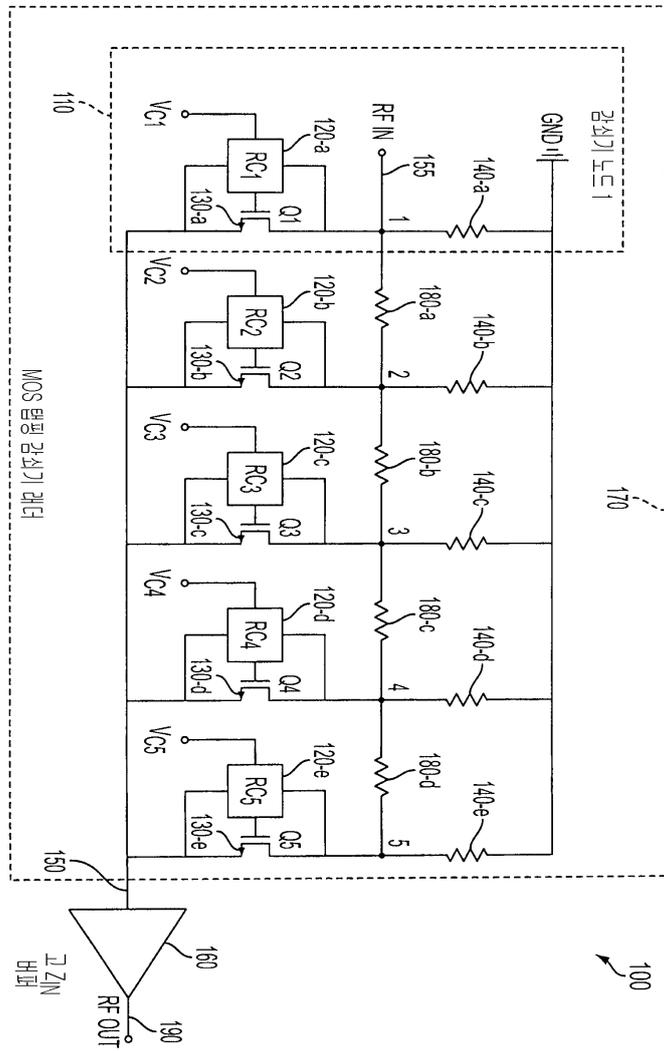
[0044] 도 7 본 개시 내용의 일 실시예에 따라 5개의 노드의 예시적인 감쇠기 래더에 대한 예시적인 제어 전압을 도시한다;

[0045] 도 8은 본 개시 내용의 일 실시예에 따라 다양한 제어 전압이 생성되어 가변 이득 증폭기에 공급되는 예시적인 시스템에 대한 하이 레벨 블록도를 도시한다; 그리고,

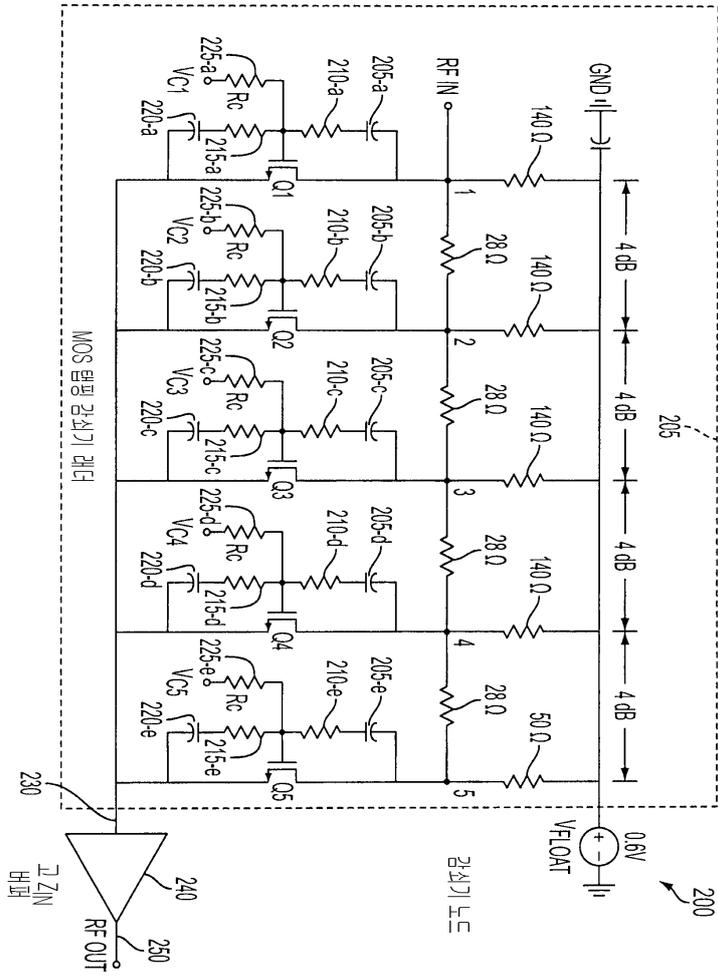
[0046] 도 9는 본 개시 내용의 일 실시예에 따라 예시적인 VGA 회로를 도시한다.

도면

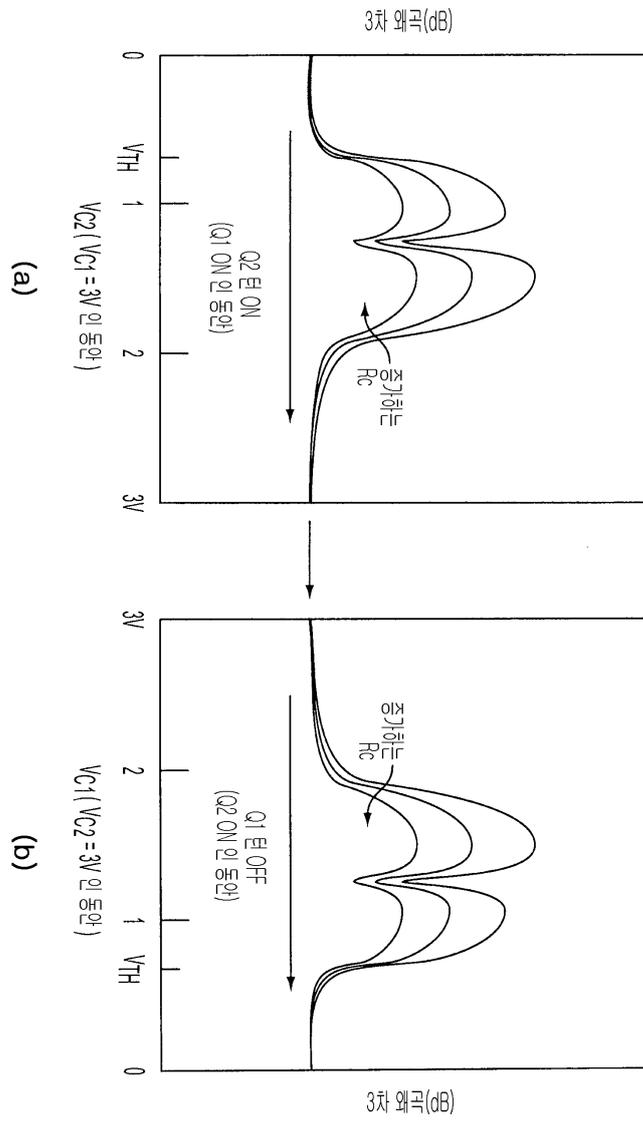
도면1



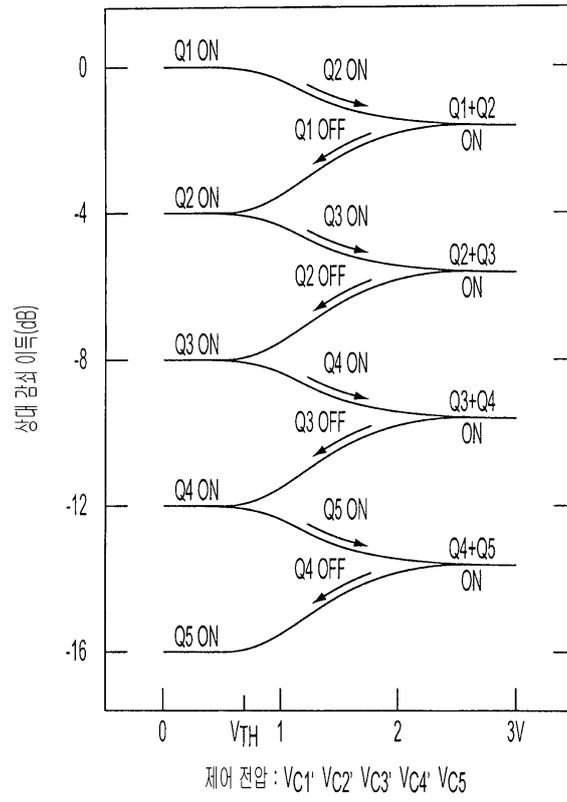
도면2



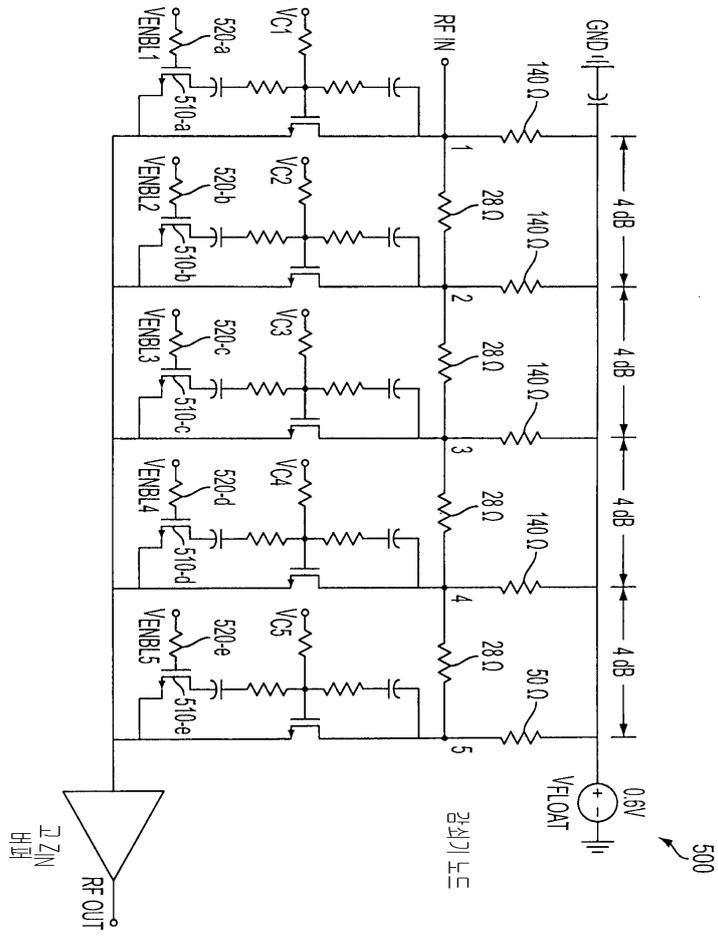
도면3



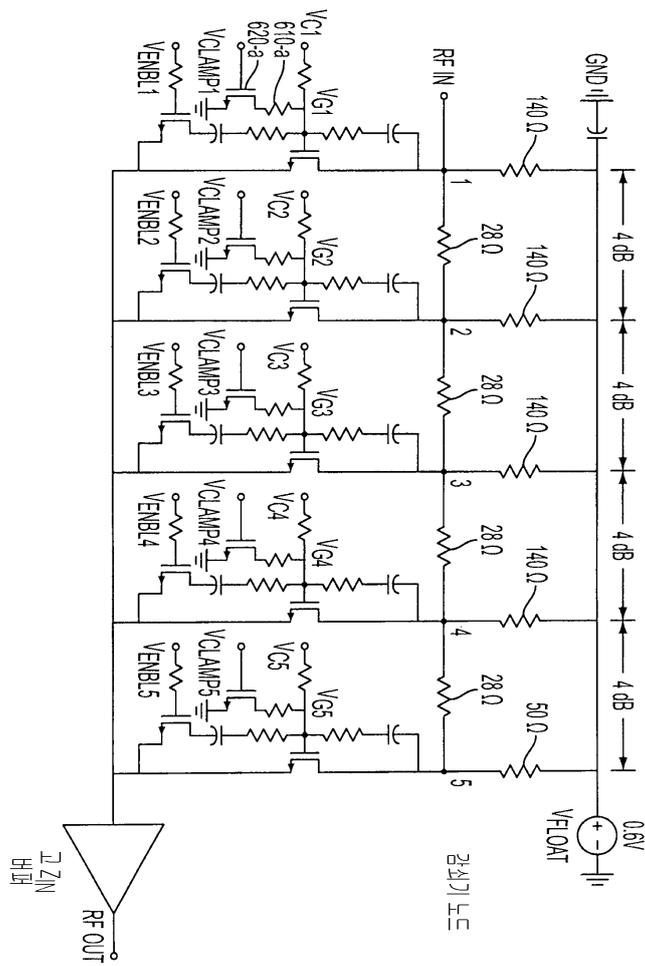
도면4



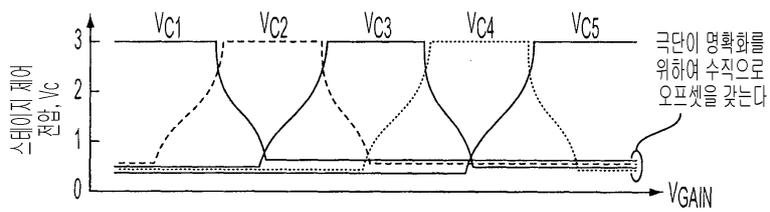
도면5



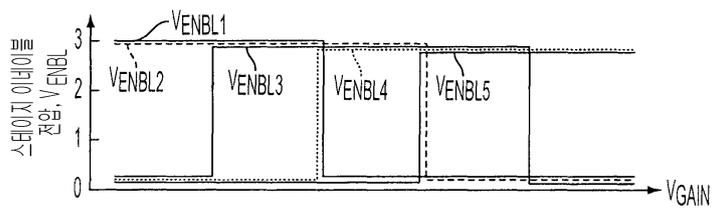
도면6



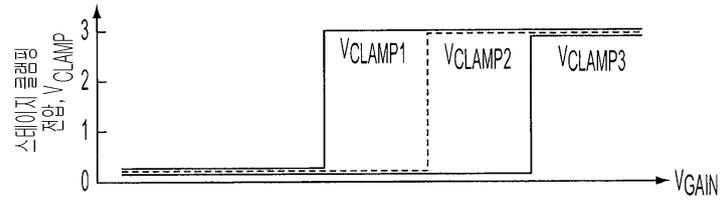
도면7a



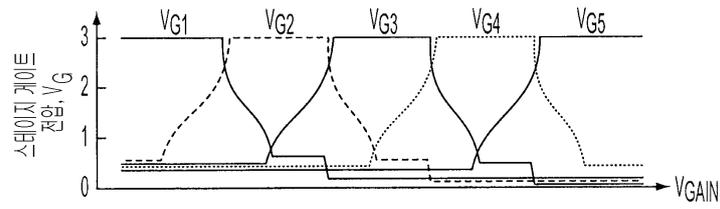
도면7b



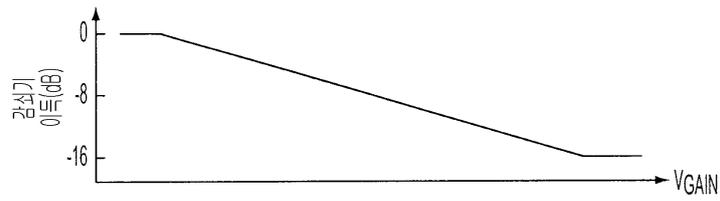
도면7c



도면7d



도면7e



도면8

