

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁸
G09G 3/28 (2006.01)

(45) 공고일자 2006년01월10일
(11) 등록번호 10-0542227
(24) 등록일자 2006년01월03일

(21) 출원번호 10-2004-0016140
(22) 출원일자 2004년03월10일

(65) 공개번호 10-2005-0090862
(43) 공개일자 2005년09월14일

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 김진성
충청남도 천안시 신방동 한라아파트106동2310호

채승훈
경기도 수원시 팔달구 영통동 청명마을4단지아파트408동601호

양진호
경기도 용인시 기흥읍 공세리428-5

(74) 대리인 유미특허법인

심사관 : 이만금

(54) 플라즈마 디스플레이 패널의 구동장치 및 구동방법

요약

본 발명은 플라즈마 디스플레이 패널의 구동장치에 관한 것이다. 본 발명의 플라즈마 디스플레이 패널의 구동장치는 스캔 IC의 하이 사이드 스위치를 이용하여 PDP 세트 초기 동작시 인가되는 리셋 전압 폭을 정상 동작보다 크게 한다. 이와 같이 하면, 초기 화면을 안정적으로 구동할 수 있으며, 소자의 추가 장착이나 스위치의 내압 상승 없이 리셋 전압 폭을 증가시킬 수 있다.

대표도

도 7a

색인어

PDP, 리셋, 저내압 스위치

명세서

도면의 간단한 설명

도 1은 교류형 플라즈마 디스플레이 패널의 일부 사시도이다.

도 2는 플라즈마 디스플레이 패널의 전극 배열도이다.

도 3은 종래 기술에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 4는 본 발명의 실시예에 따른 플라즈마 디스플레이 패널을 나타내는 도면이다.

도 5는 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 Y 전극 구동 회로도이다.

도 6a 내지 도 6b는 본 발명의 실시예에 따른 Y 전극 구동부에서 리셋 파형이 인가될 때의 전류 경로를 나타낸 도이다.

도 7a는 본 발명의 제1 실시예에 따른 패널 커패시터(Cp)의 Y 전극에 인가된 첫 번째 리셋 펄스 파형도이다.

도 7b는 본 발명의 제1 실시예에 따른 패널 커패시터(Cp)의 Y 전극에 인가된 첫 번째 리셋 펄스 파형도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널(plasma display panel; PDP)의 구동장치에 관한 것이다.

최근 액정표시장치(liquid crystal display; LCD), 전계 방출 표시장치(field emission display; FED), PDP 등의 평면 표시 장치가 활발히 개발되고 있다. 이들 평면 표시 장치 중에서 PDP는 다른 평면 표시 장치에 비해 휘도 및 발광효율이 높으며 시야각이 넓다는 장점이 있다. 따라서, PDP가 40인치 이상의 대형 표시 장치에서 종래의 CRT(cathode ray tube)를 대체할 표시 장치로서 각광받고 있다.

PDP는 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 평면 표시 장치로서, 그 크기에 따라 수십에서 수백 만개 이상의 픽셀(pixel)이 매트릭스(matrix)형태로 배열되어 있다. 이러한 PDP는 인가되는 구동 전압 파형의 형태와 방전 셀의 구조에 따라 직류형(DC형)과 교류형(AC형)으로 구분된다.

직류형 PDP는 전극이 방전 공간에 그대로 노출되어 있어서 전압이 인가되는 동안 전류가 방전공간에 그대로 흐르게 되며, 이를 위해 전류제한을 위한 저항을 만들어 주어야 하는 단점이 있다. 반면 교류형 PDP에서는 전극을 유전체층이 덮고 있어 자연스러운 캐패시턴스 성분의 형성으로 전류가 제한되며 방전시 이온의 충격으로부터 전극이 보호되므로 직류형에 비해 수명이 길다는 장점이 있다.

도 1은 AC형 플라즈마 디스플레이 패널의 일부 사시도이다.

도 1에 도시한 바와 같이, 제1 유리기관(1) 위에는 유전체층(2) 및 보호막(3)으로 덮인 주사전극(4)과 유지전극(5)이 쌍을 이루어 평행하게 설치된다. 제2 유리기관(6) 위에는 복수의 어드레스 전극(8)이 설치되며, 어드레스 전극(8)은 절연체층(7)에 의해 덮혀 있다. 어드레스전극(8)들 사이에 있는 절연체층(7) 위에는 어드레스 전극(8)과 평행하게 격벽(9)이 형성되어 있다. 또한, 절연체층(7)의 표면 및 격벽(9)의 양측면에 형광체(10)가 형성되어 있다. 제1 유리기관(1)과 제2 유리기관(6)은 주사전극(4)과 어드레스전극(8) 및 유지전극(5)과 어드레스전극(8)이 직교하도록 방전공간(11)을 사이에 두고 대향하여 배치되어 있다. 어드레스전극(8)과, 쌍을 이루는 주사전극(4)과 유지전극(5)과의 교차부분에 있는 방전공간이 방전셀(12)을 형성한다.

도 2는 플라즈마 디스플레이 패널의 전극 배열도를 나타낸다.

도 2에 도시한 바와 같이, PDP 전극은 $m \times n$ 의 매트릭스 구성을 가지고 있으며, 구체적으로 열 방향으로 어드레스전극(A1~Am)이 배열되어 있고 행방향으로는 n행의 주사전극(Y1~Yn) 및 유지전극(X1~Xn)이 배열되어 있다. 이하에서는 주사전극을 "Y 전극", 유지전극을 "X 전극"이라 칭한다. 도 2에 도시된 방전셀(12)은 도 1에 도시된 방전셀(12)에 대응한다.

일반적으로 AC형 플라즈마 디스플레이 패널의 구동 방법은 시간적인 동작 변화로 표현하면 리셋 기간, 어드레싱 기간 및 유지 기간으로 이루어진다.

도 3은 종래기술에 따른 X, Y 전극의 파형을 나타낸 도이다.

도 3에 도시된 바와 같이, 리셋 기간은 이전의 유지 방전에 의해 형성된 벽전하 상태를 소거하고, 다음의 어드레싱 동작이 원활히 수행되도록 하기 위해 각 셀의 상태를 초기화시키는 기간이다. 어드레싱 기간은 패널에서 켜지는 셀과 켜지지 않는 셀을 선택하여 켜지는 셀(어드레싱된 셀)에 벽전하를 쌓아두는 동작을 수행하는 기간이다. 유지 기간은 어드레싱된 셀에 실제로 화상을 표시하기 위한 방전을 수행하는 기간으로, 유지 기간이 되면 주사 전극과 유지 전극에 유지 펄스가 교대로 인가되어 유지 방전이 행하여져 영상이 표시된다.

한편, 종래에는 모든 리셋 기간에서 동일한 크기의 리셋 전압을 인가하였다. 이때, 최대 전압과 최소 전압의 차 즉 전압 폭은 보통 방전 개시 전압의 2배 정도이다. 그런데 PDP 세트를 처음 구동할 때에는 벽 전하의 상태는 이전 세트의 오프시 동작 또는 오프 상태를 유지한 시간에 따라 달라질 수 있다. 따라서 정상 동작시 리셋 기간에 인가되는 리셋 전압과 동일한 크기의 리셋 전압을 세트 초기 구동시에 인가하게 되면 각 셀의 상태가 충분히 초기화되지 않을 수 있다.

이러한 문제점을 해결하기 위하여 리셋 전압 폭을 전체적으로 증가시킬 수 있으나, 이 경우 정상 동작시에 불필요하게 과도한 리셋 전압이 인가될 수 있으며 모든 셀에서의 방전량이 증가하여 백 휘도가 증가되며 이로 인해 콘트라스트가 저하되는 문제점이 있다. 또한, 높은 리셋 전압으로 인하여 소자의 내전압이 상승하게 된다. 뿐만 아니라 높은 전압을 공급하기 위한 별도의 전원 및 회로를 추가해야 하므로 비용이 상승하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 별도의 소자를 추가하거나 소자의 내압을 상승시키지 않고 초기 리셋 동작을 효과적으로 수행하도록 하는 플라즈마 디스플레이 패널의 구동 장치 및 구동방법을 제공하는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위한 본 발명의 특징에 따른 플라즈마 디스플레이 패널의 구동방법은 제1 전극 및 제2 전극, 상기 제1 전극 및 제2 전극 사이에 형성되는 패널 커패시터를 포함하는 플라즈마 디스플레이 패널의 구동방법으로서,

리셋 구간에,

a) 상기 제1 전극에 유지방전을 위해 상기 제1 전극에 인가되는 전압보다 높은 제1 전압을 인가하는 단계; b) 상기 제1 전극에 상기 제1 전압부터 제2 전압까지 상승하는 파형을 인가하는 단계; c) 상기 제1 전극의 전압을 제3 전압까지 하강시키는 단계; 및 d) 상기 제1 전극에 상기 제3 전압부터 제4 전압까지 하강하는 파형을 인가하는 단계를 포함한다.

상기 제3 전압은 상기 제1 전압과 동일하며, 상기 유지방전을 위해 상기 제1 전극에 인가되는 전압인 것이 바람직하다.

또한, 상기 제1 전압은 어드레스 구간에 선택되지 않은 상기 제1 전극에 인가되는 전압인 것이 바람직하다.

본 발명의 특징에 따른 구동장치는 복수의 제1 전극, 복수의 제2 전극, 상기 제1 및 제2 전극에 의해 형성되는 패널 커패시터에 전압을 인가하는 플라즈마 디스플레이 패널의 구동장치로서,

제1 전압을 공급하는 제1 전원과 상기 제1 전극 사이에 전기적으로 연결되는 제1 트랜지스터; 제2 전압을 공급하는 제2 전원과 상기 제1 전극 사이에 전기적으로 연결되는 제2 트랜지스터; 상기 제1 및 제2 트랜지스터의 접점에 제1 단이 전기적으로 연결되며, 제3 전압을 충전하고 있는 제1 커패시터; 상기 커패시터의 제2 단과 상기 제1 전극 사이에 전기적으로 연결되며 상기 제1 전극에 상승하는 파형이 인가되도록 동작하는 제3 트랜지스터; 및 제4 전압을 충전하고 있는 제2 커패시터의 양 단에 연결되어 어드레스 기간에 상기 복수의 제1 전극에 순차적으로 주사전압을 인가하도록 동작하는 복수의 선택회로를 포함하며,

리셋 구간에, 상기 제1 트랜지스터를 턴 온하여 상기 선택회로를 통하여 상기 제1 전극에 제5 전압을 인가하고, 상기 제3 트랜지스터를 턴 온하여 상기 제1 전극에 상기 제6 전압까지 상승하는 파형을 인가한다.

이때, 상기 제5 전압은 상기 제1 전압과 상기 제4 전압의 합에 해당하는 전압이고, 상기 제6 전압은 상기 제1 전압과 상기 제4 전압과 상기 제3 전압의 합에 해당하는 전압인 것이 바람직하다.

또한, 본 발명의 특징에 따른 플라즈마 디스플레이 구동장치는 상기 커패시터와 상기 제3 트랜지스터 사이에 전기적으로 연결되는 제4 트랜지스터를 더 포함할 수 있으며,

상기 제1 전극에 상기 제6 전압까지 상승하는 파형이 인가되는 동안 상기 제4 트랜지스터는 오프 상태를 유지하며,

상기 제1 전극에 상승하는 파형을 인가한 후에, 상기 제3 트랜지스터를 턴 오프하고 상기 제4 트랜지스터를 턴 온하여 상기 제1 전극의 전압을 상기 제5 전압까지 낮춘다.

또한, 상기 선택회로는, 제1 단이 제1 전극에 연결되고 제2 단이 상기 제2 커패시터의 일단에 연결되는 제5 트랜지스터; 및 제2 단이 제1 전극에 연결되고 제2 단이 상기 제2 커패시터의 타단에 연결되는 제6 트랜지스터를 포함하며,

상기 제1 전극에 상승하는 파형을 인가한 후에, 상기 제3 및 제5 트랜지스터를 턴 오프하고 상기 제4 및 제6 트랜지스터를 턴 온하여 상기 제1 전극의 전압을 상기 제1 전압까지 낮춘다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

먼저, 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 4는 본 발명의 실시예에 따른 플라즈마 디스플레이 패널 장치를 나타내는 도면이다.

도 4에 나타낸 바와 같이, 본 발명의 실시예에 따른 플라즈마 디스플레이 패널 장치는 플라즈마 패널(100), 어드레스 구동부(200), Y 전극 구동부(320), X 전극 구동부(340) 및 제어부(400)를 포함한다.

플라즈마 패널(100)은 열 방향으로 배열되어 있는 다수의 어드레스 전극(A1~Am), 행 방향으로 배열되어 있는 제1 전극(Y1~Yn)(이하, Y 전극이라고 함) 및 제2 전극(X1~Xn)(이하, X 전극이라고 함)을 포함한다.

어드레스 구동부(200)는 제어부(200)로부터 어드레스 구동 제어 신호(SA)를 수신하여 표시하고자 하는 방전 셀을 선택하기 위한 표시 데이터 신호를 각 어드레스 전극에 인가한다.

Y 전극 구동부(320) 및 X 전극 구동부(340)는 제어부(200)로부터 각각 Y 전극 구동신호(SY)와 X 전극 구동신호(SX)를 수신하여 X 전극과 Y전극에 인가한다.

제어부(400)는 외부로부터 영상신호를 수신하여, 어드레스 구동제어신호(SA), Y 전극 구동신호(SY) 및 X 전극 구동신호(SX)를 생성하여 각각 어드레스 구동부(200), Y 전극 구동부(320) 및 X 전극 구동부(340)에 전달한다.

도 5는 본 발명의 실시예에 따른 Y 전극 구동부(320)의 상세 회로도이다.

도 5에 도시된 바와 같이, 본 발명의 실시예에 따른 Y 전극 구동부(320)는 본 발명의 실시예에 따른 Y 전극 구동부(320)는 리셋 구동부(321), 주사 구동부(322) 및 유지 구동부(323)를 포함한다.

리셋 구동부(321)는 리셋 구간에서 상승하는 리셋 파형을 생성하는 상승 램프 스위치(Yrr)와 하강하는 리셋 파형을 생성하는 하강 램프부 스위치(Yfr), 전원(Vset), 전압(Vset)을 충전하여 플로팅 전원으로 동작하는 커패시터(Cset) 및 전류의 역류를 방지하기 위하여 메인 패스에 형성되는 스위치(Ypp)를 포함한다.

주사 구동부(322)는 어드레스 구간에서 주사펄스를 생성하며, 선택되지 않는 주사 전극에 인가되는 전압을 공급하는 전원(VscH), 전압(VscH)이 저장된 커패시터(Csc) 및 Y 전극에 각각 연결되는 다수의 스캔 드라이버 IC를 포함한다. 스캔 드라이버 IC는 패널 커패시터(Cp)에 고전압(VscH)을 공급하는 스위치(YscH)와 저전압(0V)을 공급하는 스위치(YscL)를 포함한다.

유지 구동부(323)는 유지 구간에서 유지방전 펄스를 생성하며, 전원(Vs)과 접지(GND) 사이에 연결된 스위치(Ys, Yg)를 포함한다.

여기서, 패널 커패시터(Cp)는 X 전극과 Y 전극 사이의 커패시턴스 성분을 등가적으로 나타낸 것이다. 또한, 편의상 패널 커패시터(Cp)의 X 전극은 접지 단자에 연결된 것으로 표시하였으나, 실제로 X 전극에는 X 전극 구동부(340)가 연결되어 있다.

이러한 본 발명의 제1 실시예에 따른 Y 전극 구동부(320)에 의해 패널 커패시터(Cp)에 초기 동작시 첫 번째 리셋 펄스가 인가되는 과정을 도 6을 참조하여 설명하면 다음과 같다.

도 6a 및 도 6b는 본 발명의 제1 실시예에 따른 Y 전극 구동부(320)의 리셋 구간에서 패널 커패시터(Cp)의 Y 전극에 리셋 파형이 인가될 때의 전류 경로를 나타내는 도면이다.

도 6a에 도시된 바와 같이, Y 램프 상승구간 초기에는 스위치(Ys)와 스캔 IC의 하이 사이드(high side) 스위치(YscH)를 온시킨다. 이때, 커패시터(Csc)에는 전압(VscH)이 충전되어 있으므로, 스위치(YscH)를 통하여 커패시터(Cp)의 Y 전극에는 전압(Vs+ VscH)이 인가된다.

이후, 도 6b에 도시된 바와 같이 스위치(Ypp)를 오프시키고 스위치(Ys, YscH)를 온 시킨 상태에서 스위치(Yrr)를 온 시키면 플로팅 전원(Cset)에 의해 Y 전극에는 전압(Vs+ VscH)부터 전압(Vs+ VscH+ Vset)까지 램프로 상승하는 전압이 인가된다.

다음, Y 전극에 하강하는 리셋 파형을 인가하기 전 스위치(Yrr)가 오프되면 도 6a의 경로를 통하여 Y 전극의 전압이 전압(Vs+ VscH)까지 하강한다.

이후, 스위치(Ys)가 오프되고 스위치(Yfr)가 온 되면, 패널 커패시터(Cp)-스위치(YscH)-커패시터(Csc)-스위치(Yfr)-접지단(GND)의 경로를 통하여 Y 전극에는 전압(Vs+ VscH)에서 0V까지 서서히 감소하는 하강 램프 파형이 인가된다.

한편, 본 발명의 제1 실시예에서는 하강 램프 리셋 파형을 인가할 때 Y 전극의 전압을 전압(Vs+ VscH+ Vset)에서 전압(Vs+ VscH)까지 낮춘 후 하강하는 램프 파형을 인가하였지만, 이와는 달리 본 발명의 제2 실시예로서 하강 램프 시작 전압을 전압(Vs)까지 낮출 수도 있다.

즉, Y 전극에 하강하는 리셋 파형을 인가하기 전 스위치(Yrr)와 스위치(YscH)를 오프 시키고 스위치(YscL)를 온 시키면 Y 전극의 전압이 전압(Vs)까지 하강한다.

이 상태에서, 스위치(Ys)를 오프 시키고 스위치(Yfr)를 온 시키면, 패널 커패시터(Cp)-스위치(YscL)-스위치(Yfr)-접지단(GND)의 경로를 통하여 Y 전극에는 전압(Vs)에서 0V까지 서서히 감소하는 하강 램프 파형이 인가된다.

한편, PDP 세트가 정상 동작중일 때 인가되는 리셋 파형은 도 3을 따르며, 이러한 파형은 종래 기술과 같이 스캔 IC의 로우 사이드 스위치(YscL)를 통하여 인가된다.

도 7a와 도 7b는 각각 본 발명의 제1 및 제2 실시예에 따른 Y 전극 구동부(320)에 의해 패널 커패시터(Cp)의 Y 전극에 인가된 첫 번째 리셋 펄스 파형을 도시한 것이다.

도 7에 도시된 바와 같이, 본 발명의 실시예에 따르면 PDP 세트가 처음 구동될 때 첫 번째 상승 램프 파형이 인가되는 시작 전압(Vs+ VscH)이 종래(Vs) 대비 전압(VscH) 만큼 상승되어 리셋 전압폭이 증가되었다. 따라서, 정상 동작시에 인가되는 상승 램프 파형의 전압으로 초기화할 수 없는 셀까지도 충분히 초기화시킬 수 있으므로 초기 화면이 안정적으로 표시된다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명은 이에 한정되는 것은 아니며, 그 외의 다양한 변경이나 변형이 가능하다.

발명의 효과

앞서 설명한 바와 같이, 본 발명에 따르면 PDP 세트 초기 동작시 인가되는 리셋 전압 폭을 정상 동작보다 크게 함으로써 초기 화면을 안정적으로 구동할 수 있다. 또한, 스캔 IC의 하이 사이드 스위치를 이용함으로써 소자의 추가 장착이나 스위치의 내압 상승 없이 리셋 전압 폭을 증가시킬 수 있다.

(57) 청구의 범위

청구항 1.

제1 전극 및 제2 전극, 상기 제1 전극 및 제2 전극 사이에 형성되는 패널 커패시터를 포함하는 플라즈마 디스플레이 패널의 구동방법에 있어서,

리셋 구간에,

- a) 상기 제1 전극에 유지방전을 위해 상기 제1 전극에 인가되는 전압보다 높은 제1 전압을 인가하는 단계;
- b) 상기 제1 전극에 상기 제1 전압부터 제2 전압까지 점진적으로 상승하는 파형을 인가하는 단계;
- c) 상기 제1 전극의 전압을 제3 전압까지 하강시키는 단계; 및
- d) 상기 제1 전극에 상기 제3 전압부터 제4 전압까지 점진적으로 하강하는 파형을 인가하는 단계를 포함하는 플라즈마 디스플레이 패널의 구동방법.

청구항 2.

제1항에 있어서,

상기 제3 전압은 상기 제1 전압과 동일한 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 3.

제1항에 있어서,

상기 제3 전압은 상기 유지방전을 위해 상기 제1 전극에 인가되는 전압인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제1 전압은 어드레스 구간에 선택되지 않은 상기 제1 전극에 인가되는 전압인 것을 특징으로 하는

플라즈마 디스플레이 패널의 구동방법.

청구항 5.

복수의 제1 전극, 복수의 제2 전극, 상기 제1 및 제2 전극에 의해 형성되는 패널 커패시터에 전압을 인가하는 플라즈마 디스플레이 패널의 구동장치에 있어서,

유지방전을 위한 제1 전압을 공급하는 제1 전원과 상기 제1 전극 사이에 전기적으로 연결되는 제1 트랜지스터;

제2 전압을 공급하는 제2 전원과 상기 제1 전극 사이에 전기적으로 연결되는 제2 트랜지스터;

상기 제1 및 제2 트랜지스터의 접점에 제1 단이 전기적으로 연결되며, 제3 전압을 충전하고 있는 제1 커패시터;

상기 커패시터의 제2 단과 상기 제1 전극 사이에 전기적으로 연결되며 상기 제1 전극에 상승하는 파형이 인가되도록 동작하는 제3 트랜지스터; 및

제4 전압을 충전하고 있는 제2 커패시터의 양 단에 연결되어 어드레스 기간에 상기 복수의 제1 전극에 순차적으로 주사전압을 인가하도록 동작하는 복수의 선택회로를 포함하며,

리셋 구간에,

상기 제1 트랜지스터를 턴 온하여 상기 선택회로를 통하여 상기 제1 전극에 상기 제1 전압보다 높은 제5 전압을 인가하고, 상기 제3 트랜지스터를 턴 온하여 상기 제1 전극에 상기 제6 전압까지 점진적으로 상승하는 파형을 인가하는

플라즈마 디스플레이 패널의 구동장치.

청구항 6.

제5항에 있어서,

상기 제5 전압은 상기 제1 전압과 상기 제4 전압의 합에 해당하는 전압인

플라즈마 디스플레이 패널의 구동장치.

청구항 7.

제5항에 있어서,

상기 제6 전압은 상기 제1 전압과 상기 제4 전압과 상기 제3 전압의 합에 해당하는 전압인

플라즈마 디스플레이 패널의 구동장치.

청구항 8.

제5항에 있어서,

상기 커패시터와 상기 제3 트랜지스터 사이에 전기적으로 연결되는 제4 트랜지스터

를 더 포함하는 플라즈마 디스플레이 패널의 구동장치.

청구항 9.

제8항에 있어서,

상기 제1 전극에 상기 제6 전압까지 상승하는 파형이 인가되는 동안 상기 제4 트랜지스터는 오프 상태를 유지하는 플라즈마 디스플레이 패널의 구동 장치.

청구항 10.

제5항에 있어서,

상기 제1 전극에 상승하는 파형을 인가한 후에, 상기 제3 트랜지스터를 턴 오프하고 상기 제4 트랜지스터를 턴 온하여 상기 제1 전극의 전압을 상기 제5 전압까지 낮추는

플라즈마 디스플레이 패널의 구동 장치.

청구항 11.

제5항에 있어서,

상기 선택회로는,

제1 단이 제1 전극에 연결되고 제2 단이 상기 제2 커패시터의 일단에 연결되는 제5 트랜지스터; 및

제2 단이 제1 전극에 연결되고 제2 단이 상기 제2 커패시터의 타단에 연결되는 제6 트랜지스터

를 포함하는 플라즈마 디스플레이 패널의 구동 장치.

청구항 12.

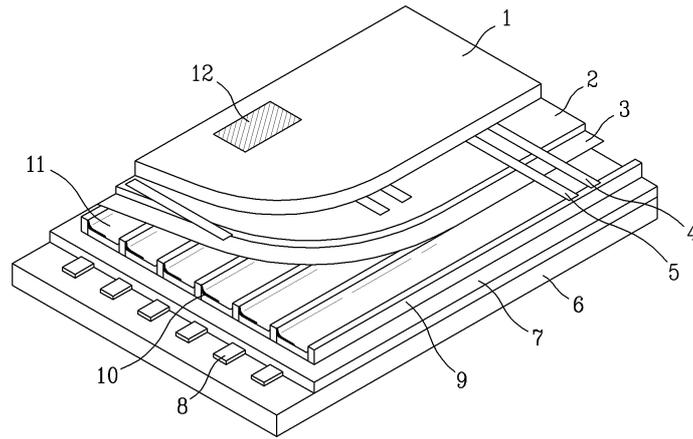
제11항에 있어서,

상기 제1 전극에 상승하는 파형을 인가한 후에, 상기 제3 및 제5 트랜지스터를 턴 오프하고 상기 제4 및 제6 트랜지스터를 턴 온하여 상기 제1 전극의 전압을 상기 제1 전압까지 낮추는

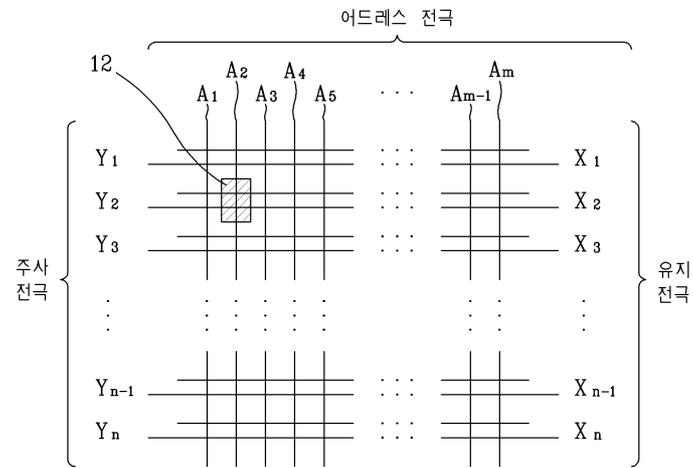
플라즈마 디스플레이 패널의 구동 장치.

도면

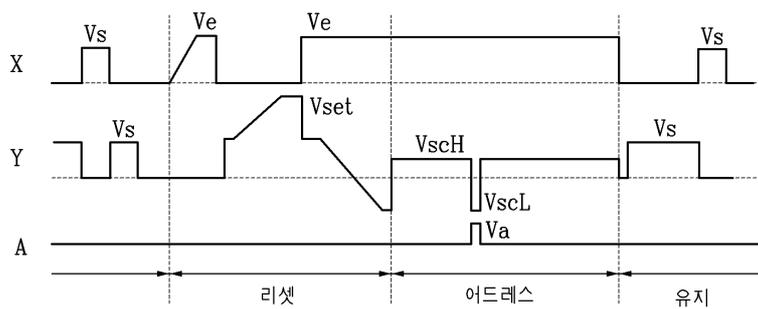
도면1



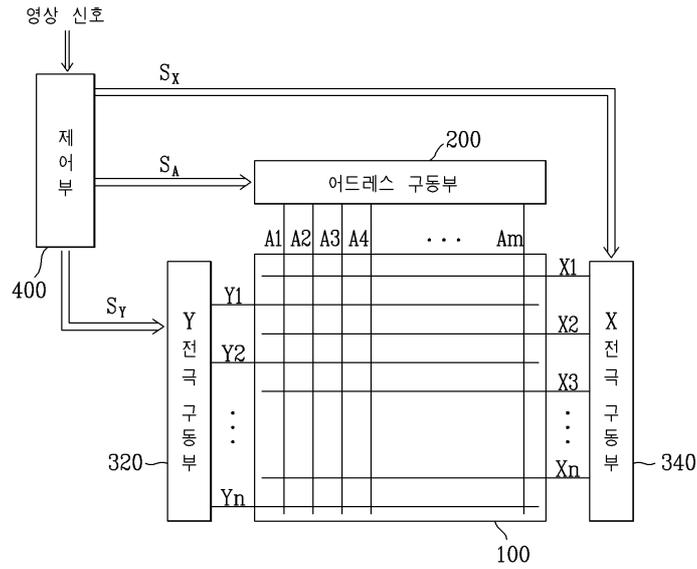
도면2



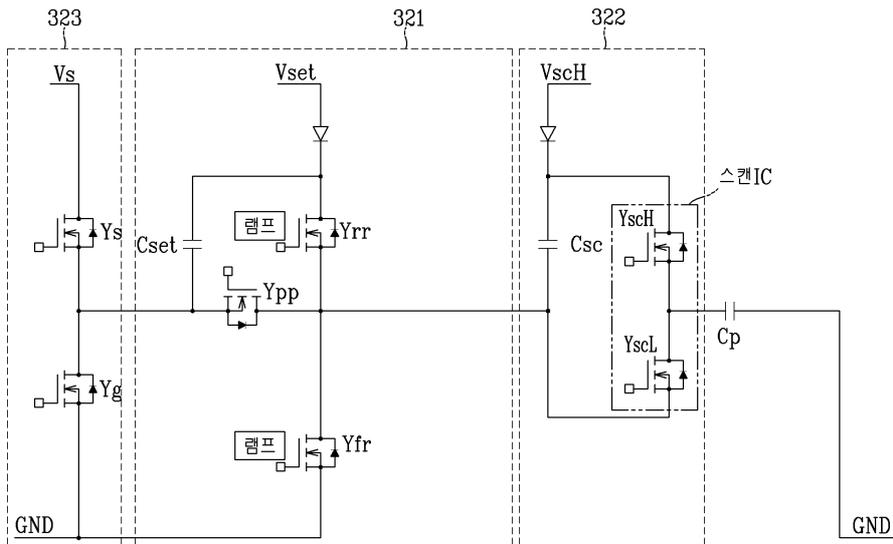
도면3



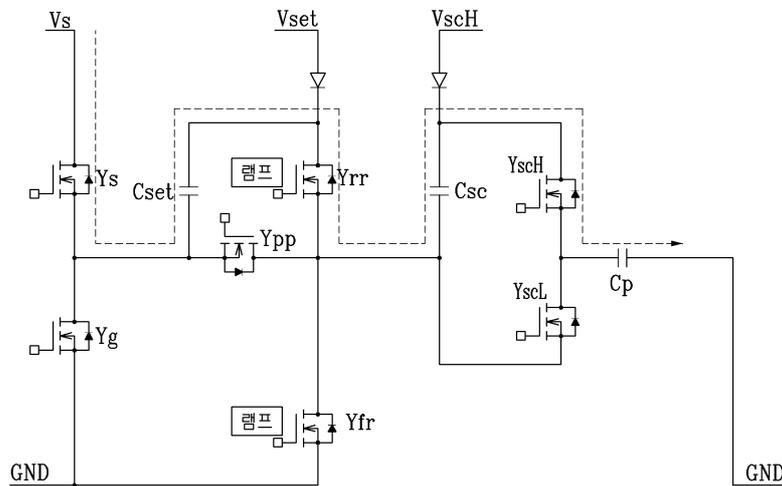
도면4



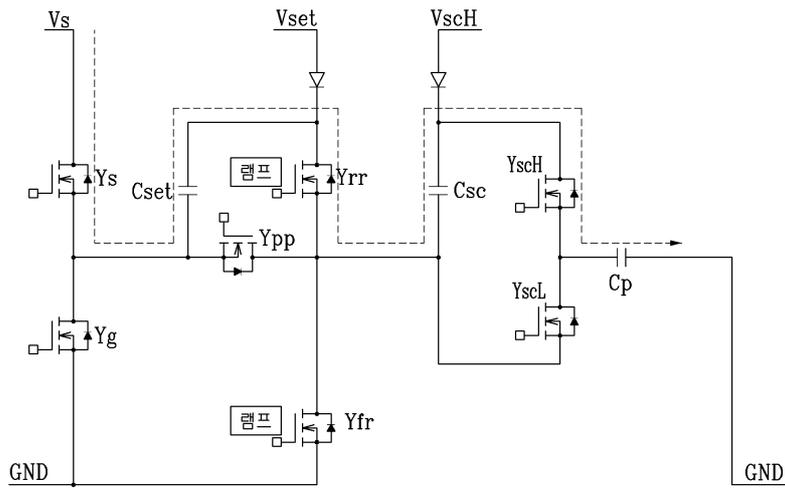
도면5



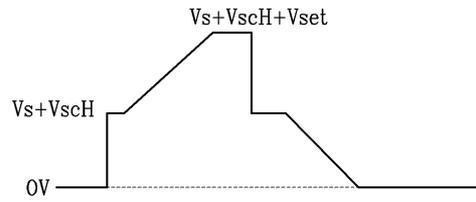
도면6a



도면6b



도면7a



도면7b

