



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월25일
 (11) 등록번호 10-1910619
 (24) 등록일자 2018년10월16일

(51) 국제특허분류(Int. Cl.)
 G06F 13/14 (2006.01)
 (52) CPC특허분류
 G06F 13/14 (2013.01)
 G06F 2213/0038 (2013.01)
 (21) 출원번호 10-2016-0163599
 (22) 출원일자 2016년12월02일
 심사청구일자 2016년12월02일
 (65) 공개번호 10-2018-0063933
 (43) 공개일자 2018년06월14일
 (56) 선행기술조사문헌
 KR1020000033265 A*
 KR1020120097831 A*
 US20140258583 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 (주)로템기술
 대전광역시 서구 조달청길 36(도마동)
 (72) 발명자
 류광기
 대전광역시 유성구 동서대로 125 N4동 407호 (덕명동, 한밭대학교)
 쿠미 프레드 에두
 대전광역시 유성구 동서대로 125 N4동 513호 (덕명동, 한밭대학교)
 (74) 대리인
 추혁

전체 청구항 수 : 총 3 항

심사관 : 김세영

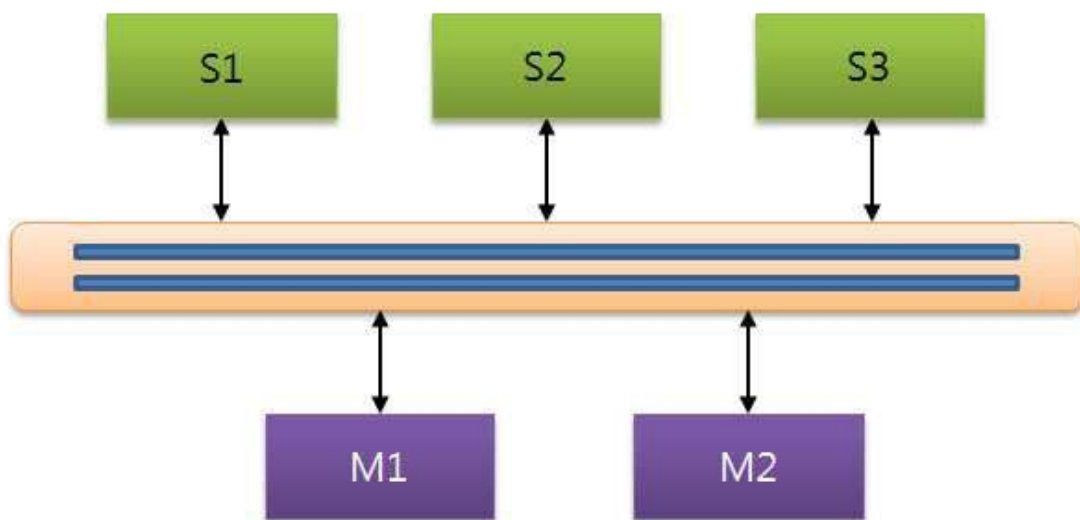
(54) 발명의 명칭 시스템 칩 설계를 위한 효율적인 온칩버스 구조

(57) 요약

본 발명은 SoC(system on chip)의 버스구조에 관한 것으로서, 보다 상세하게는, 기존의 AMBA AHB의 방식이 아닌 하나의 버스에 두개의 채널을 구성하여 모든 마스터와 슬레이브가 시분할로 공유할 수 있는 버스구조를 통해 데이터 전송효율을 높인 시스템 칩 설계를 위한 효율적인 온칩 버스의 구조에 관한 것이다.

본 발명 온칩버스 구조는, 하나의 버스에 데이터가 동시에 전송될 수 있는 두개의 채널을 구성하여 다수의 마스터와 슬레이브가 공유하여 이용할 수 있도록 구성하고, TDMA 방식을 사용하여 아비터는 마스터가 선택한 슬레이브에 따라 마스터의 접근을 허용하도록 함으로써 기존의 방식처럼 복잡한 하드구조나 고비용을 들이지 않고도 전송효율을 크게 높일 수 있는 효과가 있다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 R01341610190001002

부처명 미래창조과학부

연구관리전문기관 정보통신기술진흥센터

연구사업명 해외 ICT전문인력 활용 촉진사업

연구과제명 Core-A 기반 영상처리 SoC 플랫폼 개발

기 여 율 1/1

주관기관 연구사업관리팀

연구기간 2016.01.01 ~ 2016.12.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

시스템 칩 설계를 위한 온칩버스 구조에 있어서,

다수의 마스터와 다수의 슬레이브간의 데이터 전송을 위한 버스에 공유가능한 두개의 채널이 구성되며,

상기 각각의 채널은 상기 다수의 마스터와 다수의 슬레이브간의 트랜잭션에 대해 모두 공유 가능하며, 아비터에 의해 채널이 라우팅되며, 동시에 각 채널이 트랜잭션이 가능하도록 구성되며,

상기 아비터는 TDMA 방식의 스킴(scheme)을 사용하여, 다수의 트랜잭션의 요구가 있는 경우에 각 채널에 시간을 분할하여 트랜잭션을 할당하도록 구성된 것을 특징으로 하는 시스템 칩 설계를 위한 온칩버스 구조.

청구항 2

삭제

청구항 3

시스템 칩 설계를 위한 온칩버스 구조에 있어서,

다수의 마스터와 다수의 슬레이브간의 데이터 전송을 위하여 공유가능한 두개의 채널이 구성된 버스;

상기 버스의 통신을 제어하는 중재자 역할을 하며, 마스터로부터 버스 사용요청이 들어오면, 이에 적당한 승인 신호를 보내주고 상기 버스에 구성되는 채널 중에 사용가능한 채널에 트랜잭션을 할당하는 아비터;

상기 마스터로부터의 주소정보와 제어정보 및 데이터를 전달받는 멀티플렉서;

상기 멀티플렉서에서 마스터로부터의 주소정보와 제어정보 및 데이터를 전달받아 상기 아비터로부터 지정된 채널을 통해 해당슬레이브로 전달하는 라우터;

상기 라우터가 상기 마스터의 상기 주소값과 제어정보 및 데이터를 해당슬레이브로 전달할 수 있도록, 상기 멀티플렉서로부터 해당 마스터의 주소정보를 받아서 디코딩하여 상기 라우터로 해당 슬레이브의 주소정보를 전송하는 디코더;를 포함하여 구성된 것을 특징으로 하는 시스템 칩 설계를 위한 온칩버스 구조.

청구항 4

제 3항에 있어서,

상기 라우터는 상기 마스터와 트랜잭션이 관련된 해당 슬레이브로만 상기 주소값과 제어정보 및 데이터를 전달 받도록 경로가 구성된 것을 특징으로 하는 시스템 칩 설계를 위한 온칩버스 구조.

발명의 설명

기술 분야

[0001] 본 발명은 SoC(system on chip)의 버스구조에 관한 것으로서, 보다 상세하게는, 기존의 AMBA AHB의 방식이 아닌 하나의 버스에 두개의 채널을 구성하여 모든 마스터와 슬레이브가 시분할로 공유할 수 있는 버스구조를 통해 데이터 전송효율을 높인 시스템 칩 설계를 위한 효율적인 온칩 버스의 구조에 관한 것이다.

배경 기술

[0002] 공정기술과 EDA 툴의 발전에 따라서, 하나의 실리콘다이(die) 에서 보다 많은 IP블록의 통합이 기술적으로 가능하게 되었다.

[0003] 이런 기술의 발달로 멀티미디어와 통신 등 연산 작업량이 많은 곳에서 필요로 하는 병렬 처리 연산이 요구되고 있다.

- [0004] 다중 프로세서 SoC(System-on-Chip)에서는 데이터 통신과정에서 병목현상이 발생하며, 공유 통신 자원에 대한 접근을 동시에 요청할 때 시스템의 성능 저하를 막을 수 있는 효율적인 방법이 필요하게 된다.
- [0005] 현재 세계 시장의 70% 이상을 차지하는 ARM사의 AMBA AHB는 기존 타 버스에 비해 훨씬 간단한 프로토콜을 가지기 때문에 소규모 SoC에서는 비교적 쉽게 사용할 수 가 있었다.
- [0006] 이에 따라, 많은 IP 벤더들이 AHB 호환 IP를 개발하여 SoC 시장에서 AHB는 온칩 버스의 대표를 굳혀왔으나, 이처럼 간단한 버스 프로토콜은 SoC 규모가 방대해지면서 그 효율성의 한계를 드러내고 있다.
- [0007] 도 1은 종래의 single shared bus 방식의 온칩버스 구조를 나타내고 있다.
- [0008] 도시된 바처럼, 마스터와 슬레이브간의 통신은 하나의 버스를 공유하여 한번에 하나의 작업만이 행해지는 구조이다. 즉, 한번에 하나의 마스터만이 전체 버스를 사용할 수 있게 되는 구조이다.
- [0009] 마스터와 슬레이브 사이에 전용채널을 와이어를 사용하여 개별적으로 구축하면서 양방향 통신 버스를 사용할 수 있게 된다. 마스터는 통신을 제어하는 장치이며, 통상적으로 마이크로컨트롤러나 FPGA이다. 그리고 슬레이브는 마스터가 제어하는 장치이며, 통상적으로 소형 IC이다.
- [0010] 이러한 single shared bus 방식의 topology에서는 모든 모듈들이 하나의 버스를 공유해서 통신하기 때문에, 마스터와 슬레이브간에 한번에 하나의 작업(transaction)만이 실행이 가능하기 때문에 통신효율이 떨어지게 된다.
- [0011] 또한, 버스 대역폭이 제한되어 있기 때문에, 새로운 마스터나 슬레이브가 추가되면 사용가능한 버스 대역폭은 줄어들기 쉽고, 또한, 대역폭의 병목 등의 이유로 하나의 버스에서 사용될 수 있는 마스터의 수를 제한하게 되는 문제점이 있다.
- [0013] 도 2는 종래의 crossbar bus 구조의 온칩버스 구조를 나타내고 있다.
- [0014] 도시된 바처럼, 마스터와 슬레이브간의 통신은 하나의 버스를 공유하면서도 한번에 다수의 작업만이 행해지는 구조이다.
- [0015] 이를 위해서, 하나의 버스에 다수의 마스터와 다수의 슬레이브 각각을 연결하는 전용채널을 와이어로 구축하고 있다.
- [0016] 버스상의 모든 슬레이브는 다른 장치와 충돌을 일으키지 않는 고유의 어드레스를 갖고 있어야 한다. 마스터는 어드레스를 사용해서 어느 한 슬레이브로 명령을 지정한다. 그러므로 시스템이 적절하게 동작하기 위해서는 모든 슬레이브가 고유의 어드레스를 갖고 있어야 한다.
- [0017] 이러한 구조에서는 버스의 대역폭은 더 커지게 되며, 전용채널의 복잡화로 인해 구축시에 더 많은 하드웨어와 비용증가를 초래하며, 와이어간 간섭 등의 문제로 지연, 오류발생 및 전력소모도 증가하는 단점이 있다.
- [0018] 또한, 다수의 마스터와 슬레이브간의 통신에서 버스(bus)의 공유를 위해서 일반적으로 멀티플렉스(multiplexer) 기반의 구조를 갖고 있다. 이 구조의 특징은 여러 슬레이브에 신호를 전달하기 위해 브로드캐스팅 방법을 사용하는 것인데, 필요 이상의 슬레이브에 브로드 캐스팅을 하기 때문에, 이때 구동해야 하는 capacitance의 증가로 추가적인 에너지소모가 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0019] 상기의 문제점을 해결하기 위하여, 본 발명은
- [0020] 또한, 다수의 마스터와 슬레이브간의 통신에서 필요 이상의 슬레이브에 브로드 캐스팅에 따른 에너지소모를 개선할 수 있는 구성을 갖는 온칩버스의 구조를 제시하는 것을 목적으로 한다.

과제의 해결 수단

- [0021] 상기의 목적을 달성하기 위하여, 본 발명은 시스템 칩 설계를 위한 온칩버스 구조에 있어서, 다수의 마스터와 다수의 슬레이브간의 데이터 전송을 위한 버스에 공유가능한 두개의 채널이 구성되며, 상기 각각의 채널은 상기 다수의 마스터와 다수의 슬레이브간의 트랜잭션에 대해 모두 공유 가능하며, 아비터에 의해 채널이 라우팅되며, 동시에 각 채널이 트랜잭션이 가능하도록 구성된 것을 특징으로 하는 시스템 칩 설계를 위한 온칩버스 구조를

제시한다.

[0022] 상기 아비터는 TDMA 방식의 스킴(scheme)을 사용하여, 다수의 트랜잭션의 요구가 있는 경우에 각 채널에 시간을 분할하여 트랜잭션을 할당하도록 구성된다.

[0023] 또한, 상기의 목적을 달성하기 위하여, 본 발명은 시스템 칩 설계를 위한 온칩버스 구조에 있어서, 다수의 마스터와 다수의 슬레이브간의 데이터 전송을 위하여 공유가능한 두개의 채널이 구성된 버스; 상기 버스의 통신을 제어하는 중재자 역할을 하며, 마스터로부터 버스 사용요청이 들어오면, 이에 적당한 승인신호를 보내주고 상기 버스에 구성되는 채널 중에 사용가능한 채널에 트랜잭션을 할당하는 아비터; 상기 마스터로부터의 주소정보와 제어정보 및 데이터를 전달받는 멀티플렉서; 상기 멀티플렉서에서 마스터로부터의 주소정보와 제어정보 및 데이터를 전달받아 상기 아비터로부터 지정된 채널을 통해 해당슬레이브로 전달하는 라우터; 상기 라우터가 상기 마스터의 상기 주소값과 제어정보 및 데이터를 해당슬레이브로 전달할 수 있도록, 상기 멀티플렉서로부터 해당 마스터의 주소정보를 받아서 디코딩하여 상기 라우터로 해당 슬레이브의 주소정보를 전송하는 디코더;를 포함하여 구성된 것을 특징으로 하는 시스템 칩 설계를 위한 온칩버스 구조를 제시한다.

[0024] 상기 라우터는 상기 마스터와 트랜잭션이 관련된 해당 슬레이브로만 상기 주소값과 제어정보 및 데이터를 전달 받도록 경로가 구성된다.

발명의 효과

[0025] 본 발명인 시스템 칩 설계를 위한 효율적인 온칩버스 구조에 의해 다음과 같은 효과를 달성할 수 있다.

[0026] 첫번째로, 본 발명 온칩버스 구조는, 하나의 버스에 데이터가 동시에 전송될 수 있는 두개의 채널을 구성하여 다수의 마스터와 슬레이브가 공유하여 이용할 수 있도록 구성하고, TDMA 방식을 사용하여 아비터는 마스터가 선택한 슬레이브에 따라 마스터의 접근을 허용하도록 함으로써 기존의 방식처럼 복잡한 하드구조나 고비용을 들이지 않고도 전송효율을 크게 높일 수 있는 효과가 있다.

[0027] 두번째로, 종래의 ARM사의 AMBA AHB사의 crossbar 구조에서 마스터와 슬레이브 증가에 따른 버스의 대역폭은 더 커지게 되며, 슬레이브와 마스터간 개별적으로 구축된 전용채널의 복잡화로 인해 구축시에 더 많은 하드웨어와 비용증가를 초래하며, 와이어간 간섭 등의 문제로 지연, 오류발생 및 전력소모도 증가하는 단점을 개선할 수 있는 효과가 있다.

[0028] 세번째로, 다수의 마스터와 슬레이브간의 통신에서 버스(bus)의 공유를 위해서 일반적으로 멀티플렉스(multiplexer) 기반의 구조를 유지하면서도, 종래의 방식처럼 여러 슬레이브에 신호를 전달하기 위해 브로드캐스팅 방법을 사용시에 필요 이상의 슬레이브에 브로드 캐스팅을 하기 때문에, 이때 구동해야 하는 capacitance의 증가로 추가적인 에너지소모를 발생시켰던 문제점을 라우터를 이용해서 해당슬레이브로만 정보를 전달하도록 함으로써 이를 개선한 효과가 있다.

[0029] 네번째로, 본 발명의 버스에 구성된 각 채널은 읽기 및 쓰기 트랜잭션을 동시에 수행할 수 있는 전이중방식의 버스로서 내장되어, 종래의 ARM사의 AMBA AHB사의 구조에서 한번에 하나의 읽기 또는 쓰기 트랜잭션만을 수행했던 방식을 개선한 효과가 있다.

도면의 간단한 설명

- [0030] 도 1은 종래의 single shared bus 방식의 온칩버스 구조를 나타내고 있다.
- 도 2는 종래의 crossbar bus 구조의 온칩버스 구조를 나타내고 있다.
- 도 3은 본 발명에 의한 온칩버스 구조의 개념을 나타내는 도면이다.
- 도 4는 본 발명에 의한 온칩버스의 구조에 따른 구성상태도이다.
- 도 5는 본 발명에 의한 온칩버스 구조에 의한 실시예로서 시분할(TDMA)방식을 보여주는 도면이다.
- 도 6 내지 도 10은 본 발명에 의한 온칩버스 구조에 의한 실시예를 종래의 AHB사의 온칩버스 구조와 비교하여 테스트한 도면이다.

발명을 실시하기 위한 구체적인 내용

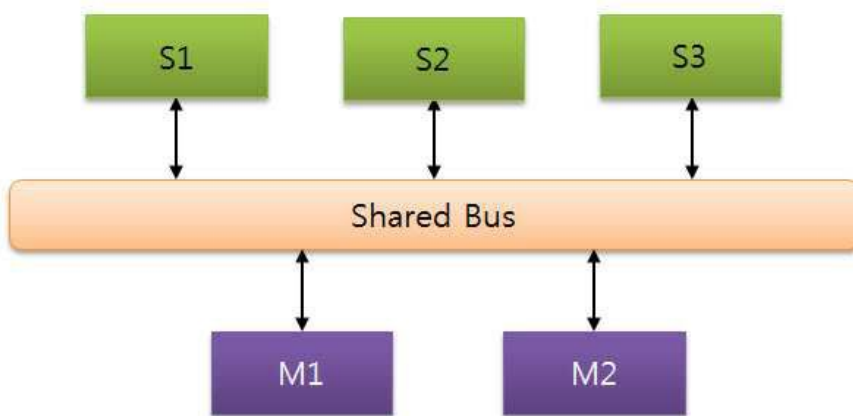
[0031] 이하 본 발명인 시스템 칩 설계를 위한 효율적인 온칩버스 구조에 대해 첨부된 도면을 참조하여 자세하게 설명

한다.

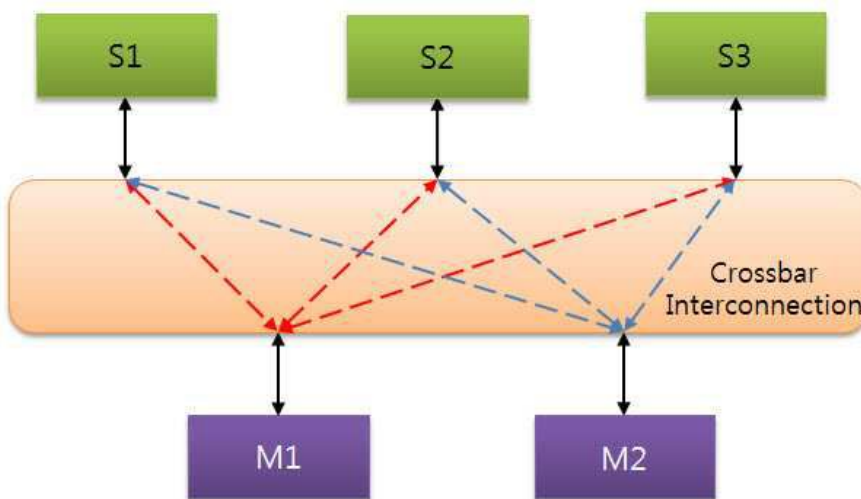
- [0032] 도 3은 본 발명에 의한 온칩버스 구조의 개념을 나타내는 도면이며, 도 4는 본 발명에 의한 온칩버스의 구조에 따른 구성상태도이다.
- [0033] 도시된 바를 참조하면, 본 발명의 시스템 칩 설계를 위한 온칩버스 구조에는 다수의 마스터(M1, M2)와 다수의 슬레이브(S1, S2, S3)간의 데이터 전송을 위한 버스에 공유가능한 두개의 채널이 내장되어 구성된다.
- [0034] 상기 버스에 구성된 각 채널은 읽기 및 쓰기 트랜잭션을 동시에 수행할 수 있는 전이중방식의 버스(a full-duplex bus)로서 내장되어, 종래의 ARM사의 AMBA AHB사의 구조에서 한번에 하나의 읽기 또는 쓰기 트랜잭션만을 수행했던 방식을 개선한 효과가 있다.
- [0035] 상기 각각의 채널은 상기 다수의 마스터와 다수의 슬레이브간의 트랜잭션에 대해 모두 공유 가능하며, 아비터(Arbiter)에 의해 채널이 라우팅되며, 동시에 각 채널이 트랜잭션이 가능하도록 구성된다.
- [0036] 즉, 본 발명의 버스 구조에서는 밴드폭을 크게 하지 않더라도 하나의 버스에 두채널을 모든 슬레이브와 마스터가 트랜잭션을 공유할 수 있도록 하여, 저렴한 비용으로 별도의 하드웨어의 추가 없이 구축할 수가 있게 된다.
- [0037] 이를 통해, 종래의 crossbar 구조에서 다수의 마스터와 슬레이브간에 개별적으로 와이어 라인을 이용해 전용채널로 구축하는 방식에서 마스터나 슬레이브를 추가하는 경우에 발생했던, 버스의 대역폭의 증가, 전용채널의 복잡화로 인해 구축시에 더 많은 하드웨어와 비용증가, 와이어간 간섭 등의 문제로 지연, 오류발생 및 전력소모도 증가하는 단점들을 개선하게 된다.
- [0038] 또한, 상기 아비터는 TDMA 방식의 스킴(scheme)을 사용하여, 다수의 트랜잭션의 요구가 있는 경우에 각 채널에 시간을 분할하여 트랜잭션을 할당하도록 구성된다.
- [0039] 다수의 마스터와 다수의 슬레이브간의 데이터 전송을 위하여 공유가능한 두개의 채널이 구성된 버스가 구성되는 본 발명의 온칩버스 구조에서 통신을 위한 구성을 보면 다음과 같다.
- [0040] 도 4를 참조하면, 도시된 아비터(200)는 다수의 마스터(100)와 슬레이브(300)간에 버스의 통신을 제어하는 중재자 역할을 하며, 다수의 마스터중에 어느 하나의 마스터로부터 버스 사용요청이 들어오면, 이에 적당한 승인신호를 보내주고 상기 버스에 구성되는 채널 중에 사용가능한 채널에 트랜잭션을 할당하게 된다.
- [0041] 멀티플렉서(400)는 아비터로부터 승인신호를 전송받은 마스터(100)에서 주소정보와 제어정보 및 데이터를 전달받게 된다.
- [0042] 도시된 바는 마스터가 쓰기 신호를 어느 특정 슬레이브로 명령하는 신호를 전송하는 트랜잭션을 나타내고 있다.
- [0043] 도시된 라우터(500)는 멀티플렉서(400)로부터 수신된 상기 마스터(100)의 상기 주소값과 제어정보 및 데이터를 전달받아 상기 아비터로부터 지정된 채널을 통해 해당 슬레이브, 다시 말해 마스터가 지정한 슬레이브(200)의 주소로 전달하는 역할을 하게 된다.
- [0044] 이에, 상기 라우터(500)가 상기 마스터의 상기 주소값과 제어정보 및 데이터를 해당슬레이브로 전달할 수 있도록, 상기 멀티플렉서로부터 해당 마스터의 주소정보를 받아서 디코딩하여 상기 라우터로 해당 슬레이브의 주소정보를 전송하는 디코더(600)가 구성된다.
- [0045] 본 발명의 특징중의 하나는, 상기 라우터(500)는 상기 마스터와 트랜잭션이 관련된 해당 슬레이브로만 상기 주소값과 제어정보 및 데이터를 전달받도록 라우팅 경로가 구성된다는 점이다.
- [0046] 종래의 방식에서 다수의 마스터와 슬레이브간의 통신에서 버스(bus)의 공유를 위해서 일반적으로 멀티플렉스(multiplexer) 기반의 구조를 구성할 때, 여러 슬레이브에 신호를 전달하기 위해 브로드캐스팅 방법을 사용하는 경우에 필요 이상의 슬레이브에 브로드 캐스팅을 하게되면서 구동해야 하는 capacitance의 증가로 추가적인 에너지소모를 발생시켰던 문제점이 있다.
- [0047] 이를 개선하기 위해, 브로드캐스팅 방식이 아닌 라우터에 구조된 경로를 통해 모든 슬레이브가 아닌 마스터가 접근하기를 원하는 관련된 해당 슬레이브로만 상기 주소값과 제어정보 및 데이터를 전달받도록 하는 라우팅 방식을 통하여, 종래의 브로드캐스팅방법에서 발생되었던 에너지소모를 방지하게 된다.
- [0049] 도 5는 본 발명에 의한 온칩버스 구조에 의한 실시예로서 시분할(TDMA)방식을 보여주는 도면이다.
- [0050] 도시된 바는, 3개의 마스터가 버스사용을 요청했을때, 아비터가 시분할방식으로 2개의 채널을 할당하는 방식을

도면

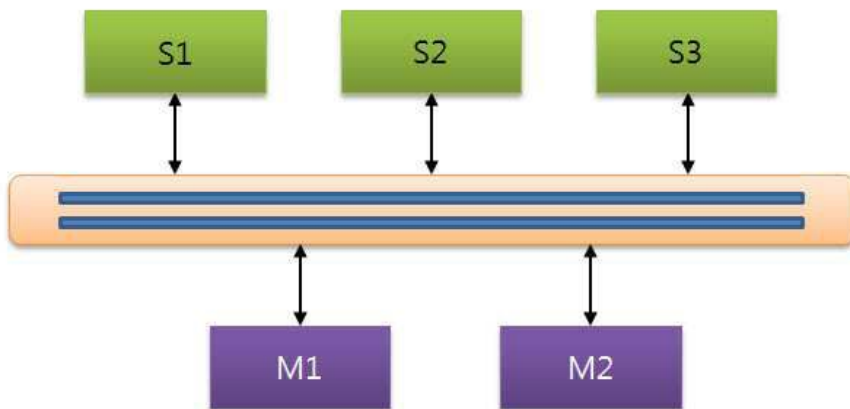
도면1

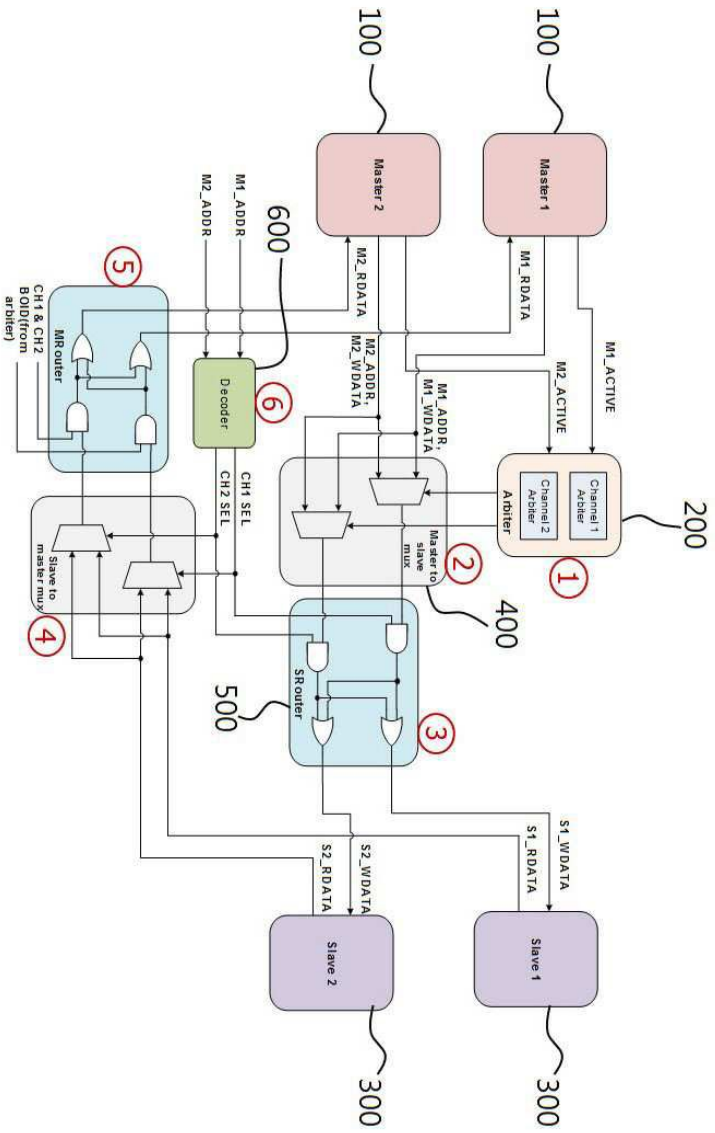


도면2



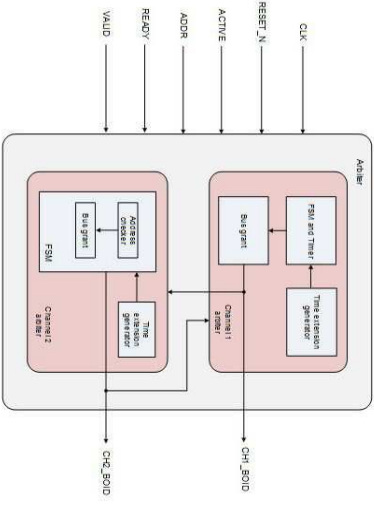
도면3



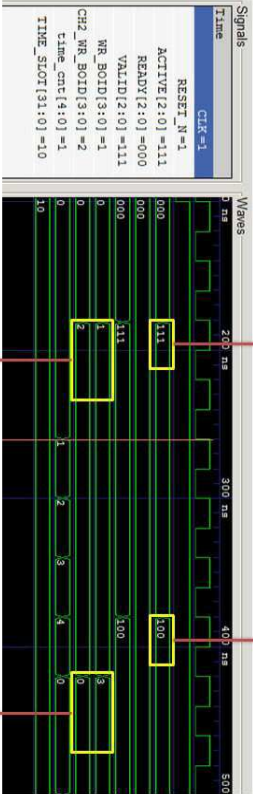


도면4

도면5



Block Diagram of Arbiter



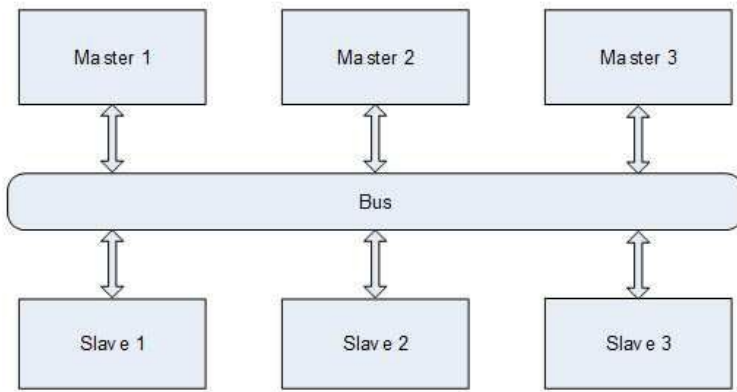
All three masters request for bus access

Both masters 1 and 2 finish with their transactions and relinquishes the bus

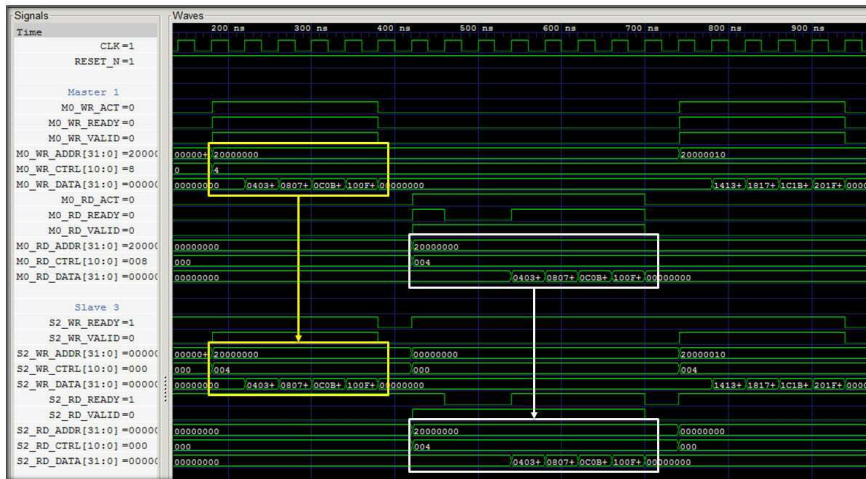
Master 1 gets granted access to channel 1 while master 2 has access to channel 2

Master 3 gets granted access to channel 1 while channel 2 is free

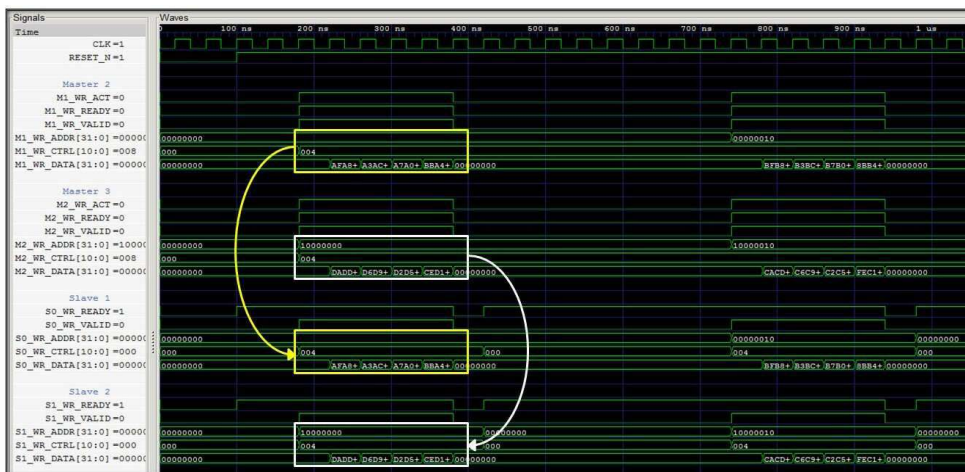
도면6



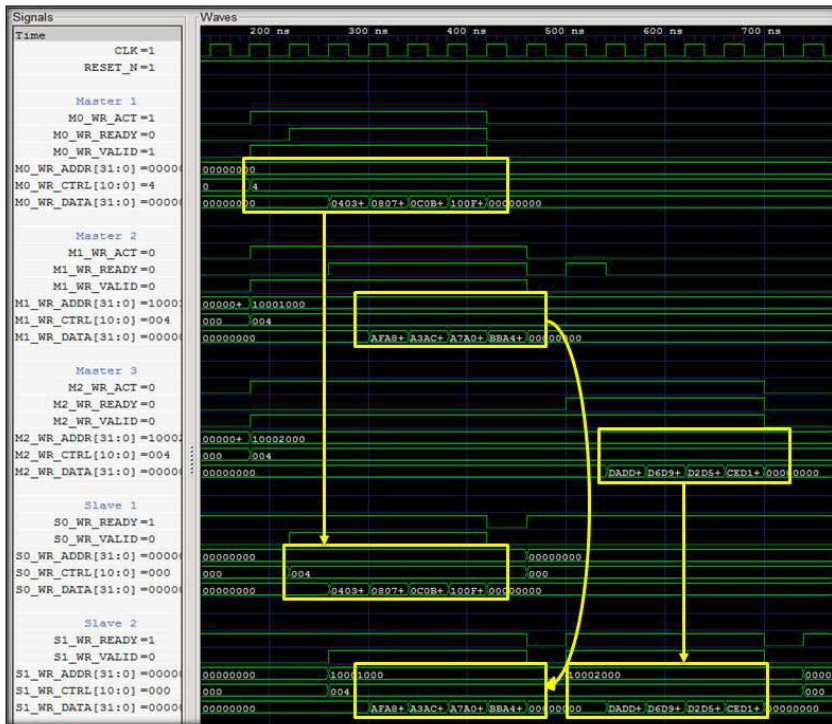
도면7



도면8



도면9



도면10

Test cases	AHB (ns)	Proposed (ns)	Efficiency (%)
Test case 1	16480	14720	10.67
Test case 2	29320	14720	49.80
Test case 3	45600	18720	58.95