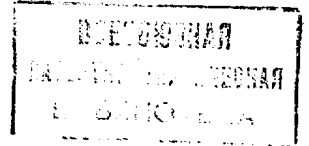




ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- 1
- (21) 4308763/24-24
 - (22) 23.09.87
 - (46) 15.06.89. Бюл. № 22
 - (72) Н. Г. Григорьев, И. В. Поляков
и С. В. Сушко
 - (53) 681.327.6(088.8)
 - (56) Авторское свидетельство СССР
№ 1144153, кл. G 11 C 29/00, 1983.
Авторское свидетельство СССР
№ 680062, кл. G 11 C 29/00, 1979 г.
 - (54) ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ
УСТРОЙСТВО С САМОКОНТРОЛЕМ
 - (57) Изобретение относится к вычислитель-
ной технике и может быть использовано для

2

создания оперативных ЗУ в интегральном исполнении. Целью изобретения является повышение быстродействия устройства. Устройство содержит накопитель, усилитель записи, усилитель считывания, блок модификации данных, блок восстановления уровня, ключи по числу разрядных шин накопителя и элемент ИЛИ. Цель изобретения достигается за счет обеспечения автоматического перехода от этапа контрольного считывания к этапу перезаписи модифицированной информации в БИС оперативных ЗУ с самоконтролем кодом Хэннинга либо резервированием. 1 ил.

Изобретение относится к вычислительной технике и может быть использовано для создания оперативных ЗУ в интегральном исполнении.

Целью изобретения является повышение быстродействия устройства.

На чертеже представлена структурно-логическая схема оперативного запоминающего устройства с самоконтролем.

Устройство содержит накопитель 1 с разрядными шинами 2, усилитель 3 записи, усилитель 4 считывания, блок 5 модификации данных, информационные входы 6, информационные выходы 7, вход 8 выборки устройства, вход 9 режима, ключи 10, блок 11 восстановления уровня и элемент ИЛИ 12.

Усилитель 3 записи может быть построен на р-канальных транзисторах 13—15.

Блок восстановления уровня может быть построен на р-канальных транзисторах 16 и 17.

В отсутствие обращения к устройству (сигнал логической «1» на входе 8 устройства) на парафазных выходах усилителя 4 счи-

тывания поддерживаются состояния низкого уровня. Следовательно, на выходе элемента ИЛИ 12 присутствует сигнал логического «0», обеспечивающий поддержание в проводящем состоянии р-канальных транзисторов 16 и 17 блока 11 восстановления уровня. Поэтому на затворах р-канальных транзисторов 13 и 14 усилителя 3 записи поддерживается напряжение, близкое к напряжению питания, и независимо от состояния сигнала на входе 9 режима усилитель 3 записи отключен.

При любом обращении к ОЗУ (независимо от того, запись это или считывание) сначала должен быть выполнен этап считывания, поэтому сигналом низкого уровня на входе 8 включается усилитель 4 считывания, фиксирующий разность потенциалов разрядных шин 2 (предполагается, что сигнал 8 приходит в тот момент, когда выбранные по адресной шине ЭП уже обеспечили смещение потенциалов разрядных шин 2).

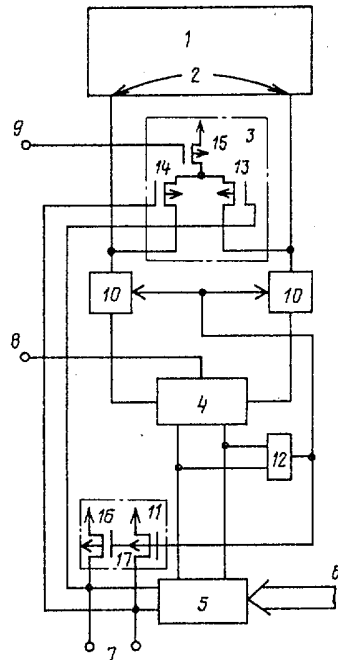
Как только на одном из парафазных выходов усилителя 4 считывания установится

сигнал уровня логической «1», закрываются транзисторы 16 и 17 блока 11 восстановления уровня и на парафазных выходах блока 5 модификации данных устанавливаются сигналы, соответствующие подлежащему перезаписи биту данных. При этом открывается один из транзисторов (13 или 14), усилителя 3 записи и, если на входе 9 режима поддерживается состояние низкого уровня, производится запись модифицированного бита данных в ЭП накопителя 1. При этом для того, чтобы усилитель 4 считывания не изменил своего состояния при изменении потенциалов разрядных шин 2 в ходе этапа перезаписи, и во избежание протекания сквозных токов при реализации усилителя считывания в базисе КМОП-схем (пример такого усилителя был приведен выше) сигналом уровня логической «1» с выхода элемента ИЛИ 12 усилитель 4 считывания отсоединяется от разрядных шин 2 с помощью транзисторных ключей 10.

В режиме считывания модифицированный бит данных с выхода блока 5 модификации данных поступает в виде парафазных сигналов на информационные выходы 7 устройства. При этом перезапись такого бита данных в накопитель 1 необязательна и по выбору пользователя на входе 9 режима может поддерживаться состояние высокого уровня напряжения.

Формула изобретения

Оперативное запоминающее устройство с самоконтролем, содержащее накопитель, разрядные шины которого соединены с выходами усилителя записи, информационные входы которого подключены к выходам блока модификации данных, входы первой группы которого являются информационными входами устройства, а входы второй группы соединены с парафазными выходами усилителя считывания, управляющий вход которого является входом выборки устройства, выходы блока модификации данных являются парафазными информационными выходами устройства, отличающееся тем, что, с целью повышения быстродействия, в устройство введены блок восстановления уровня, ключи по числу разрядных шин накопителя и элемент ИЛИ, причем информационные входы усилителя считывания соединены с выходами ключей, информационные входы которых подключены к соответствующим разрядным шинам накопителя, управляющие входы ключей соединены с входом блока восстановления уровня и с выходом элемента ИЛИ, входы которого подключены к выходам усилителя считывания, выходы блока восстановления уровня соединены с парафазными выходами устройства, управляющий вход усилителя записи является входом режима устройства.



Составитель О. Исаев

Редактор А. Маковская
Заказ 3292/52

Техред И. Верес
Тираж 558

Корректор М. Шароши
Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5
Производственно-издательский комбинат «Патент», г. Ужгород, ул. Гагарина, 101