



[12] 发明专利说明书

专利号 ZL 02143261.9

[45] 授权公告日 2005 年 11 月 30 日

[11] 授权公告号 CN 1229853C

[22] 申请日 2002.9.25 [21] 申请号 02143261.9

[30] 优先权

[32] 2001. 9. 26 [33] JP [31] 293781/2001

[71] 专利权人 株式会社东芝

地址 日本东京

[72] 发明人 永野元 山田敬 佐藤力 水岛一郎

亲松尚人

审查员 冀小强

[74] 专利代理机构 北京市中咨律师事务所

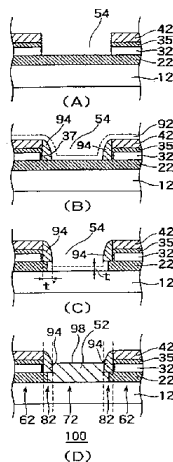
代理人 李 峥 陈海红

权利要求书 4 页 说明书 17 页 附图 6 页

[54] 发明名称 半导体装置用衬底的制造方法及半导体装置用衬底

[57] 摘要

本发明提供了一种表面的晶体缺陷少，且具有在有 SOI 的结构区域与没有 SOI 结构的区域之间没有段差的平坦表面的半导体装置用衬底的制造方法及半导体装置用衬底。该方法包括：掩模层形成步骤，借助绝缘层(22)，在与半导体衬底(12)绝缘的半导体层上形成被形成图案的掩模层(35、42)；沟槽形成步骤，依据掩模层的图案蚀刻半导体层，形成向上述绝缘层贯通的沟槽(54)；保护部形成步骤，蚀刻比绝缘层的厚度薄的堆积于半导体衬底上的保护层，形成包覆沟槽侧面的侧壁保护部(94)；蚀刻步骤，从沟槽的底面开始到半导体衬底蚀刻绝缘层；以及单晶层形成步骤，从通过绝缘层的蚀刻露出的半导体衬底的表面开始生成单晶层(52)。



1、一种半导体装置用衬底的制造方法，其特征在于，该方法包括：
掩模层形成步骤，在借助电绝缘性的绝缘层与半导体衬底绝缘的半导体层上形成被形成图像的掩模层；

沟槽形成步骤，依据上述掩模层的图案至少将上述半导体层蚀刻，形成向上述绝缘层贯通的沟槽；

侧壁保护部形成步骤，蚀刻在上述半导体衬底上堆积的比上述绝缘层的厚度薄的保护层，形成包覆上述沟槽侧面的侧壁保护部；

蚀刻步骤，蚀刻从上述沟槽底面至上述半导体衬底的上述绝缘层；以及

单晶层形成步骤，从通过蚀刻上述绝缘层而露出的上述半导体衬底的表面开始生成单晶层；

其中，上述蚀刻步骤为，蚀刻从上述沟槽底面至上述半导体衬底的上述绝缘层的两阶段蚀刻步骤，分为蚀刻至少距上述沟槽底面比较近的部分的沟槽侧蚀刻与蚀刻距上述半导体衬底比较近的部分的衬底侧蚀刻；

上述侧壁保护部形成步骤是在上述沟槽侧蚀刻之前或上述衬底侧蚀刻之前执行。

2、如权利要求1中所述的半导体装置用衬底的制造方法，其特征在于，上述沟槽侧蚀刻为各向异性的蚀刻，上述衬底侧蚀刻则为各向同性的蚀刻。

3、如权利要求1中所述的半导体装置用衬底的制造方法，其特征在于，上述沟槽侧蚀刻及上述衬底侧蚀刻中的蚀刻均为各向同性的蚀刻，上述沟槽侧蚀刻中，上述半导体层下方存在的上述绝缘层沿上述沟槽的侧面方向被蚀刻；

上述侧壁保护部形成步骤在上述沟槽侧蚀刻之后、上述衬底侧蚀刻之前被执行，上述侧壁保护部形成于上述沟槽的侧面与依据上述沟槽侧蚀刻被蚀刻的上述绝缘层存在的上述半导体层的下方。

4、如权利要求2所述的半导体装置用衬底的制造方法，其特征在于，

上述各向同性的蚀刻是在液相中进行的湿腐蚀，上述各向异性的蚀刻是在汽相中进行的干腐蚀。

5、如权利要求3所述的半导体装置用衬底的制造方法，其特征在于，上述各向同性的蚀刻是在液相中进行的湿腐蚀。

6、一种半导体装置用衬底的制造方法，其特征在于，该方法包括：
掩模层形成步骤，在借助电绝缘性的绝缘层与半导体衬底绝缘的半导体层上形成被形成图像的掩模层；

沟槽形成步骤，依据上述掩模层的图案至少将上述半导体层蚀刻，形成向上述绝缘层贯通的沟槽；

侧壁保护部形成步骤，蚀刻在上述半导体衬底上堆积的比上述绝缘层的厚度薄的保护层，形成包覆上述沟槽侧面的侧壁保护部；

蚀刻步骤，蚀刻从上述沟槽底面至上述半导体衬底的上述绝缘层；以及

单晶体层形成步骤，从通过蚀刻上述绝缘层而露出的上述半导体衬底的表面开始生成单晶体层；

其中，上述沟槽形成步骤中，上述半导体层的蚀刻为各向同性的蚀刻，存在上述掩模层下方的上述半导体层沿上述沟槽的侧面方向被蚀刻；

在上述侧壁保护部形成步骤中，上述侧壁保护部形成于，由上述沟槽形成步骤蚀刻的上述半导体层所存在的上述掩模层的下方；

上述蚀刻步骤中的蚀刻为各向同性的蚀刻。

7、一种半导体装置用衬底的制造方法，其特征在于，该方法包括：
掩模层形成步骤，在借助电绝缘性的绝缘层与半导体衬底绝缘的半导体层上形成被形成图案的掩模层；

沟槽形成步骤，依据上述掩模层的图案至少将上述半导体层各向同性蚀刻，沿上述沟槽的侧面的方向蚀刻上述掩模层的下面存在的上述半导体层，形成向上述绝缘层贯通的沟槽；

蚀刻步骤，各向同性蚀刻从上述沟槽底面开始至上述半导体衬底的上述绝缘层，沿上述沟槽的侧面方向蚀刻存在于上述半导体层下的上述绝缘

层;

单晶体层形成步骤,从依据将上述绝缘层蚀刻而露出的上述半导体衬底的表面开始生成单晶体层;

其中,从上述半导体衬底的表面至上述半导体层的表面的距离 h 以及上述半导体层的侧面和上述掩模层的侧面之间的距离 d ,满足 $d/h > 0.75$ 。

8、如权利要求7中所述的半导体装置用衬底的制造方法,其特征在于,上述各向同性的蚀刻是在液相中进行的湿腐蚀。

9、一种半导体装置用衬底,其特征在于,包括:

具有表面的半导体衬底;

在上述表面上形成了电绝缘性的绝缘层以及借助该绝缘层被绝缘的半导体层的绝缘区域;

具有形成于上述表面的单晶体层的非绝缘区域; 以及

存在于上述绝缘区域与上述非绝缘区域的边界区域且至少包覆上述半导体层侧面的侧壁保护部;

其中,存在于上述绝缘区域与上述非绝缘区域的边界区域的上述绝缘层的侧面比上述半导体层的侧面更处于上述非绝缘区域一侧。

10、如权利要求9中所述的半导体装置用衬底,其特征在于,上述侧壁保护部从上述半导体层的侧面开始的厚度比上述绝缘层从上述半导体衬底开始的厚度薄。

11、一种半导体装置用衬底,其特征在于,包括:

具有表面的半导体衬底;

在上述表面上形成了电绝缘性的绝缘层以及借助该绝缘层被绝缘的半导体层的绝缘区域;

具有形成于上述表面的单晶体层的非绝缘区域; 以及

存在于上述绝缘区域与上述非绝缘区域的边界区域且至少包覆上述半导体层侧面的侧壁保护部;

其中,上述绝缘层的侧面内,上述半导体衬底附近的侧面比上述半导体层的侧面更处于上述非绝缘区域一侧。

12、如权利要求 11 中所述的半导体装置用衬底，其特征在于，上述绝缘层的侧面内，上述半导体层附近的侧面比上述半导体层的侧面更处于上述绝缘区域一侧。

13、一种半导体装置用衬底，其特征在于，其包括：

具有表面的半导体衬底；

具有在上述表面上形成电绝缘性的第 1 绝缘层以及借助该第 1 绝缘层被绝缘的半导体层，进一步在该半导体层上形成的第 2 绝缘层的绝缘区域；
以及

具有形成于上述表面上的单晶体层的非绝缘区域；

其中，存在于上述绝缘区域与非绝缘区域的边界区域的半导体层侧面以及上述第 1 绝缘层的侧面，都比存在于上述绝缘区域与非绝缘区域的边界区域的上述第 2 绝缘层的侧面更处于上述绝缘区域一侧；

从上述半导体衬底的表面开始至上述半导体层的表面的距离 h 以及上述半导体层的侧面与上述第 2 绝缘层的侧面之间的距离 d ，满足 $d/h > 0.75$ 。

14、如权利要求 13 中所述的半导体装置用衬底，其特征在于，上述第 1 绝缘层的侧面比上述半导体层的侧面更处于上述绝缘区域一侧。

半导体装置用衬底的制造方法及半导体装置用衬底

技术领域

本发明涉及半导体装置的制造方法及半导体装置。

背景技术

SOI (Silicon On Insulator, 绝缘体衬底硅) 衬底上形成的电场效应晶体管可以高速动作, 也可以构成高速逻辑电路。近年来对这样的高速逻辑电路与 DRAM 的混装的系统 LSI (大规模集成电路) 等半导体装置的需求很大。

另一方面, DRAM 形成于 SOI 层上的情况下, 由于 SOI 层的衬底浮动效应, 在 DRAM 的存储单元用晶体管的 Body 区域累积电荷, 会产生 DRAM 的预期漏泄而使得保持劣化与读出放大器电路中的双晶体管的临界值等的偏移。

为解决衬底浮动效应, 有在元件区域内设置触点用以控制 SOI 层的电位的方法。

但是, 为了在元件区域设置触点, 必须增大 DRAM 的单元面积和读出放大器电路的面积, 由此无法高度集成化。

因此, 产生了形成设置 SOI 区域及非 SOI 区域的衬底 (以下称部分 SOI 衬底) 的方法。SOI 区域设有形成于半导体衬底上形成的绝缘层上的半导体层, 非 SOI 区域则设有半导体衬底上的不通过绝缘层形成的单晶层。

在非 SOI 区域上形成的半导体装置不受衬底浮动效应的影响。因此, 利用在 SOI 区域形成场效应晶体管, 在非 SOI 区域形成 DRAM, 可以形成装备高速逻辑电路和不受衬底浮动效应影响的 DRAM 的系统 LSI。

作为形成部分 SOI 衬底的方法，第 1 方法为 SIMOX (Separation by Implantation of Silicon 硅掺杂分离) 法 (参照特开平 10-303385 或 Symposium on VLSI2000, VLSI2000 论文集)，第 2 方法为绝缘膜形成了图案的硅衬底上贴附其他硅衬底的方法 (参照特开平 8-316431)，第 3 方法为将 SOI 衬底的 SOI 层和绝缘层 (以下又称 BOX (隐埋氧化层) 层) 部分蚀刻除去的方法 (参照特开平 7-106434、特开平 11-238860 或特开 2000-91534)。

如果利用第 1 方法的 SIMOX 法，由于注入氧离子，SOI 层的晶体或体 (bulk) 层的晶体中容易产生缺陷。如果利用第 2 方法，硅衬底之间存在贴合的区域。因此在硅衬底之间贴合的部分，结晶方位偏移产生结晶缺陷。如果利用第 3 方法，由于在 SOI 区域与非 SOI 区域的边界部产生段差 (高低差)，在刻蚀 (リソグラフィ) 步骤中例如使焦点容差 (フォーカスマージン) 缩小等，给后续步骤带来不好的影响。

另外，如果采用第 3 方法，由于在 SOI 区域与非 SOI 区域的边界部存在段差，与第 1 方法及第 2 方法比较，SOI 衬底的结晶缺陷少、品质较佳。

为了平坦利用第 3 方法而产生的 SOI 区域与非 SOI 区域之间的段差，产生了在非 SOI 区域形成外延层并进行研磨的方法 (参照特开 2000-243944)。

但是，如果采用这种方法，由于用 RIE (Reactive Ion Etching, 反应离子腐蚀) 蚀刻 BOX 层，BOX 层下面的硅衬底受到等离子体的损坏，产生结晶缺陷。

因此，希望不利用 RIE，而用采用 NH_4F 溶液等的化学反应进行的湿腐蚀，选择性的除去 BOX 层。但是使用溶液的湿腐蚀具有各向同性，BOX 层被侧面蚀刻。

图 6 (A) 及图 6 (B) 为，依据以往的方法，将 BOX 层 20 湿腐蚀后得到的具有 SOI 区域与非 SOI 区域的部分 SOI 衬底的放大断面图。半导体衬底 10 上，BOX 层 20、SOI 层 30 及掩膜层 40 按照 BOX 层 20、SOI 层 30、掩膜层 40 的顺序形成。使用被形成图象的掩膜层 40，将 SOI 层 30

用 RIE 法进行蚀刻。然后利用溶液选择性的将 BOX 层 20 湿腐蚀。

在半导体衬底 10 中, BOX 层 20 及 SOI 层 30 残留的区域为 SOI 区域 60, 未残留 BOX 层 20 及 SOI 层 30 的区域为非 SOI 区域 70。BOX 层 20 或 SOI 层 30 的其中一个残留, 另一个未残留的区域为边界区域 80。

接着, 在非 SOI 区域 70 中, 半导体衬底 10 露出。从露出的半导体衬底 10 的表面开始生成单晶体层 50。

若湿腐蚀 BOX 层 20, BOX 层 20 不仅沿面向半导体衬底 10 的衬底方向, 而且沿与面向半导体衬底 10 的表面的方向垂直的横向被湿腐蚀。结果, 在 SOI 层 30 的宽度为侧面蚀刻宽度的 2 倍以下的图案中, SOI 层 30 有剥离的危险。而且, 生成单晶体层 50 时, 从 SOI 层 30 的侧面开始也生成单晶体。由于 SOI 层 30 位于比半导体衬底 10 的表面高的位置上, 从 SOI 层 30 的侧面开始生成的单晶体较从半导体衬底 10 开始生成的单晶体生成得高。因此, 边界区域 80 或其附近形成突起 (bump) 55 (参照图 6(A))。突起 55 附近的半导体装置用衬底的表面上, 产生结晶缺陷。而且为了形成平坦的半导体装置用衬底, 研磨突起 55 的研磨步骤是必要的。

另外, 由于掩模层 40 在后续的步骤中被除去, 若单晶体层 50 的平坦面与 SOI 层 30 的表面位于同一平面内, 则衬底表面平坦。因此, 图 6(A) 中将单晶体层 50 的平坦面与 SOI 层 30 的表面画在同一水平面上。

作为解决这些问题的方法, 如图 6(B) 所示, SOI 层 30 被蚀刻后, 有将 SOI 层 30 的侧面用侧壁保护膜 90 包覆的方法。用该方法 SOI 层 30 剥离的危险的担忧减小。

但是, 侧壁保护膜 90 在比 BOX 层 20 薄的情况下, 蚀刻 BOX 层 20 时, SOI 层 30 的内面露出。因此, 依然从 SOI 层 30 的内面开始生成单晶体, 边界区域 80 或其附近形成突起 55。

另一方面, 形成比 BOX 层 20 的膜厚厚的侧壁保护膜 90, 使制造成本增加, 为形成侧壁保护膜 90 的处理过程困难是不希望的。

因此, 本发明的目的在于, 提供一种表面的晶体缺陷少, 且具有在有 SOI 的结构区域与没有 SOI 结构的区域之间没有段差的平坦表面的半导

体装置用衬底的制造方法及半导体装置用衬底。

发明内容

根据本发明的实施方式的半导体装置用衬底的制造方法，包括：

掩模层形成步骤，在借助电绝缘性的绝缘层与半导体衬底绝缘的半导体层上形成被形成图案的掩模层；

沟槽形成步骤，依据上述掩模层的图案至少将上述半导体层蚀刻，形成向上述绝缘层贯通的沟槽；

保护部形成步骤，蚀刻在上述半导体衬底上堆积的比上述绝缘层的厚度薄的保护层，形成包覆上述沟槽侧面的侧壁保护部；

蚀刻步骤，蚀刻从上述沟槽底面开始至上述半导体衬底的上述绝缘层；以及

单晶体层形成步骤，从由于将上述绝缘层蚀刻而露出的上述半导体衬底的表面开始生成单晶体层。

优选地，上述蚀刻步骤为，蚀刻从上述沟槽底面开始至上述半导体衬底的上述绝缘层的两阶段蚀刻步骤，即，分为蚀刻至少距上述沟槽底面比较近的部分的沟槽侧蚀刻，和蚀刻距上述半导体衬底比较近的部分的衬底侧蚀刻；上述保护部形成步骤是在上述沟槽侧蚀刻之前或上述衬底侧蚀刻之前执行。

优选地，上述沟槽侧蚀刻为各向异性的蚀刻，上述衬底侧蚀刻则为各向同性的蚀刻。

优选地，上述沟槽侧蚀刻及上述衬底侧蚀刻中，蚀刻均为各向同性的蚀刻，上述沟槽侧蚀刻中，上述半导体层下方存在的上述绝缘层沿上述沟槽的侧面方向被蚀刻；上述保护部形成步骤，在上述沟槽侧蚀刻之后、衬底侧蚀刻之后被执行；上述侧壁保护部，形成于上述沟槽的侧面和由上述沟槽侧蚀刻蚀刻的存在绝缘层的上述半导体层的下方。

优选地，上述各向同性的蚀刻是在液相中进行的湿腐蚀，上述各向异性的蚀刻是在汽相中进行的干腐蚀。

也可以，在上述沟槽形成步骤中，上述半导体层的蚀刻为各向同性的蚀刻，存在于上述掩模层下方的上述半导体层被沿上述沟槽的侧面方向蚀刻；在保护部形成步骤中，上述侧壁保护部被形成于，由上述沟槽形成步骤被蚀刻的存在上述半导体层的上述半导体层的下方；上述蚀刻步骤中，蚀刻为各向同性的蚀刻。

根据本发明的其他实施方式的半导体装置用衬底的制造方法，包括：

掩模层形成步骤，在借助电绝缘性的绝缘层与半导体衬底绝缘的半导体层上形成被形成图案的掩模层；

沟槽形成步骤，依据上述掩模层的图案至少将上述半导体层各向同性蚀刻，将上述掩模层下存在的上述半导体层沿上述沟槽的侧面的方向蚀刻，形成向上述绝缘层贯通的沟槽；

蚀刻步骤，将从上述沟槽底面开始至上述半导体衬底的上述绝缘层进行各向同性蚀刻，将存在于上述半导体层下的上述绝缘层沿上述沟槽的侧面方向进行蚀刻；

从由于蚀刻上述绝缘层而露出的上述半导体衬底的表面开始生成单晶层。

优选地，上述各向同性的蚀刻是在液相中进行的湿腐蚀。

根据本发明的实施方式的半导体装置用衬底，包括：具有表面的半导体衬底；在上述表面上形成了电绝缘性的绝缘层及借助该绝缘层被绝缘的半导体层的绝缘区域；具有形成于上述表面上的单晶层的非绝缘区域；及存在于上述绝缘区域与上述非绝缘区域的边界区域且至少包覆上述半导体层的侧面的侧壁保护部；存在于上述绝缘区域与非绝缘区域之间的边界区域的上述绝缘层的侧面比上述半导体层的侧面更处于上述非绝缘区域一侧。

优选地，上述侧壁保护部从上述半导体层的侧面开始的厚度比上述绝缘层从上述半导体衬底开始的厚度薄。

优选地，上述绝缘层的侧面内，上述半导体衬底附近的侧面比上述半导体层的侧壁更处于上述非绝缘区域一侧。

也可以是，上述绝缘层的侧面内，上述半导体层附近的侧面比上述半导体层的侧壁更处于上述绝缘区域一侧。

根据本发明的其他实施方式的半导体装置用衬底，包括：具有表面的半导体衬底；具有在上述表面上形成了电绝缘性的第1绝缘层以及借助该第1绝缘层被绝缘的半导体层，进一步在该半导体层上形成的第2绝缘层的绝缘区域；具有形成于上述表面的单晶体层的非绝缘区域；存在于上述绝缘区域与上述非绝缘区域的边界的上述半导体层侧面以及上述第1绝缘层的侧面，比存在于上述绝缘区域与上述非绝缘区域的边界的上述第2绝缘层的侧面更处于上述绝缘区域一侧。

优选地，上述第1绝缘层的侧面比上述半导体层的侧面更处于上述绝缘区域一侧。

优选地，从上述半导体衬底的表面开始至上述半导体层的表面的距离 h 及上述半导体层的侧面与上述第2绝缘层的侧面之间的距离 d ，满足 $d/h > 0.75$ 。

附图说明

图1是将根据本发明的第1实施方式的半导体装置用衬底的制造方法按照步骤顺序表示的半导体装置用衬底的放大断面图。

图2是根据本发明的第2实施方式的半导体装置用衬底的制造方法按照步骤顺序表示的半导体装置用衬底的放大断面图。

图3是根据本发明的第3实施方式的半导体装置用衬底的制造方法按照步骤顺序表示的半导体装置用衬底的放大断面图。

图4是根据本发明的第4实施方式的半导体装置用衬底的制造方法按照步骤顺序表示的半导体装置用衬底的放大断面图。

图5是根据本发明的第5实施方式的半导体装置用衬底的制造方法按照步骤顺序表示的半导体装置用衬底的放大断面图。

图6是根据利用以往的方法将BOX层20湿腐蚀得到的具有SOI区域及非SOI区域的部分SOI衬底的放大断面图。

符号说明

10、12	半导体衬底
20、22	绝缘层
30、32	半导体层
35、40、42	掩模层
50、52	单晶层
54	沟槽
62	绝缘区域
72	非绝缘区域
82	边界区域
92	保护层
100、200、300、400、500	半导体装置用衬底

具体实施方式

以下参照附图说明本发明的实施方式。本实施方式并不是对本发明的限定。为使任意图面容易理解对其进行大略的说明。而且作为本领域技术人员，容易想到以下实施方式的任意组合。

图1是将根据本发明的第1实施方式的半导体装置用衬底的制造方法按照步骤顺序表示的半导体装置用衬底的放大断面图。

参照图1(A)，在半导体衬底12的表面上形成电绝缘性的绝缘层22，借助绝缘层22形成与半导体衬底绝缘的半导体层32。即，SOI结构形成于半导体衬底12上。用市场上销售的SOI衬底也可以。

半导体层32上形成掩模层，被形成图案。本实施方式中，在半导体层32上形成氧化层35，在氧化层35上形成氮化层42。即，形成由2层构成的掩模层35、42。氧化层35减少氮化膜42对半导体层32的应力，保护半导体层32。

半导体衬底12及半导体层32，例如为硅衬底，绝缘层22及氧化层35，

例如为硅氧化膜。氮化膜 42，例如为硅氮化膜。在本实施方式中，绝缘层 22 的厚度大约为 400nm 或 200nm，半导体层 32 的厚度大约为 200nm。

接着，半导体层 32 依照被形成图案的掩膜层 35、42 进行蚀刻。由此，形成向绝缘层 22 贯通的沟槽 54。沟槽 54 将借助半导体层 32 的蚀刻露出的绝缘层 22 的表面部作为底面，将借助半导体层 32 的蚀刻露出的半导体层的侧部作为侧面。

参照图 1 (B)，接着，将半导体层 32 氧化，在沟槽 54 的侧面形成氧化层 37。然后，在半导体衬底 12 上堆积比绝缘层 22 的厚度薄的保护层 92。本实施方式中，保护层 92 用 LPCVD (Low Pressure Chemical Vapor Deposition, 低压化学汽相淀积) 法进行堆积。氧化层 37 相对于保护层 92 保护半导体层 32。在图 1 (B) 中用虚线表示保护层 92。由于将该保护层 92 沿半导体衬底 12 的表面方向进行蚀刻，侧壁保护部 94 残留于沟槽 54 的侧面。因此，侧壁保护部 94 包覆沟槽 54 的侧面。保护层 92 及侧壁保护部 94，例如由氮化材料和氧化材料构成。本实施方式中侧壁保护部 94 由氮化材料构成。

侧壁保护部为氧化材料的情况下，蚀刻绝缘层 22 的同时被腐蚀。但是，由于绝缘层 22 的残留膜膜厚 t 足够薄，半导体层 32 不露出，而可以半导体衬底 12 的表面露出。

参照图 1 (C)，蚀刻存在于沟槽 54 的底面开始至半导体衬底 12 的绝缘层 22。在本实施方式中，绝缘层 22 被两阶段蚀刻，即分为蚀刻距沟槽 54 底面比较近的部分的沟槽侧蚀刻与蚀刻距半导体衬底 12 比较近的部分的衬底侧蚀刻 2 个阶段。

首先，执行沟槽侧蚀刻。即，将从侧壁保护部 92 露出的绝缘层 22 的区域有选择性的用 RIE 等各向异性地蚀刻。因此，将绝缘层腐蚀直至图 1 (C) 所示的虚线位置。由于绝缘层 22 残留于半导体衬底 12 上，半导体衬底 12 未受到由于 RIE 的等离子等的损坏。

然后，执行绝缘层 22 的衬底侧蚀刻。即，依据使用 NH_4F 溶液等的湿腐蚀，腐蚀绝缘层直至露出半导体衬底 12。由于湿腐蚀是将绝缘层 22 化

学腐蚀，不会给半导体衬底 12 带来损伤。因此，半导体衬底 12 上的结晶缺陷比较少。

由于绝缘层 22 被各向异性腐蚀直至图 1 (C) 的虚线位置，虽然残留的绝缘层 22 利用湿腐蚀进行各向同性腐蚀，沿与面向半导体衬底 10 的表面方向垂直的横向的侧面蚀刻的绝缘层 22 的宽度比以往的小。侧面蚀刻的绝缘层 22 的宽度，与从图 1 (C) 的虚线至半导体衬底 12 的表面的距离，即，依赖于沟槽侧蚀刻之后残留的绝缘层 22 的残留膜厚度 t 。

因此，由于保护层 92 比绝缘层 22 薄，调整残留膜厚度 t ，可以使绝缘层 22 直至半导体层 32 下方不被侧面蚀刻。因此，半导体层 32 不露出。还有，残留膜厚度 t 比侧壁保护层 94 的半导体层 32 的侧面开始的厚度 t' 小。例如，残留膜厚度 t 大约为 50nm，厚度 t' 大约为 100nm。

参照图 1 (D)，借助从半导体衬底 12 的表面开始外延生成单晶体，沟槽 54 内部形成单晶体层 52。本实施方式中，单晶体层 52 依据选择外延生成法形成。由于半导体衬底 12 的表面露出而半导体层 32 未露出，单晶体从半导体衬底 12 开始生成而不从半导体层 32 生成。

在此，半导体衬底 12 中，存在绝缘层 22 及半导体层 32 的区域为绝缘区域 62，绝缘层 22 及半导体层 32 不存在且形成单晶体层 52 的区域为非绝缘区域 72。形成侧壁保护部 94 的区域，并且绝缘层 22 或半导体层 32 的一方残留而另一方未残留的区域为边界区域 82。在各个附图中，绝缘区域 62、非绝缘区域 72 及边界区域 82 分别用虚线加以区别。

由于单晶体从半导体衬底 12 开始生成而不从半导体层 32 开始生成，边界区域 82 或其附近不形成突起。因此，边界区域 82 或其附近的单晶体层 52 的表面上不产生结晶缺陷。

在本实施方式中，由于掩模层 35 及 42 在后续的步骤中被除去，使单晶体层 52 的表面与半导体层 32 的表面为同一平面那样形成单晶体层 52。因此，除去掩模层 35 及 42 后，使半导体装置用衬底 100 的衬底面 98 平坦。由此形成具有平坦的衬底面 98 的半导体装置用衬底 100。

由于侧壁保护部 94 由氮化材料形成，掩模层 35 及 42 利用灰化 (アッ

シング)等除去时,侧壁保护部94也被除去直至半导体层32的表面。因此,从绝缘区域62开始通过边界区域82至非绝缘区域72形成平坦的衬底面98。由此形成半导体装置用衬底200。

半导体装置用衬底100,包括:半导体衬底12;在半导体衬底12表面上形成电绝缘性的绝缘层22与借助绝缘层22被绝缘的半导体层32的绝缘区域62;具有形成于半导体衬底12表面上的单晶层52的非绝缘区域72;以及存在于绝缘区域62及非绝缘区域72的边界区域82、且至少包覆半导体层32的侧面的侧壁保护部94。

在绝缘区域62与非绝缘区域的边界区域82存在的绝缘层22的侧面,比半导体层32的侧面更靠近非绝缘区域72一侧。

半导体装置用衬底100的绝缘区域62及非绝缘区域72中可以分别形成适合各自特性的半导体元件。

图2是根据本发明的第2实施方式的半导体装置用衬底的制造方法按照步骤顺序表示的半导体装置用衬底的放大断面图。

参照图2(A),首先,与图1(A)同样,半导体衬底12上形成绝缘层22、半导体层32及掩模层35、42。

将半导体层32与绝缘层22的一部分,按照被形成图案的掩模层35、42利用RIE进行各向异性蚀刻。即,形成沟槽54的同时,进行绝缘层22的沟槽侧蚀刻。因此,形成贯通到绝缘层22的沟槽54。沟槽54,将借助半导体层32的蚀刻露出的绝缘层22的部分作为底面,将借助半导体层32的蚀刻露出的半导体层32及绝缘层22的侧部作为侧面。

参照图2(B),与第1实施方式同样,侧壁保护部94形成于沟槽54的侧面。但是,与第1实施方式不同的是,由于沟槽54的侧面由半导体层32及绝缘层22的侧部构成,侧壁保护部94不止包覆半导体层32的侧部,也包覆绝缘层22的侧部。

参照图2(C),湿腐蚀从沟槽54的底面开始至半导体衬底12的残留的绝缘层22。即,在本实施方式中,绝缘层22的沟槽侧蚀刻是在进行衬底侧蚀刻,形成侧壁保护部94之后进行的。

进行沟槽侧蚀刻时，绝缘层 22 内的沟槽 54 的一部分，利用沟槽侧蚀刻被完全腐蚀。然后，对绝缘层 22 内的半导体衬底 12 的较近处残留的部分利用衬底侧蚀刻，进行各向同性蚀刻。如此，由于保护层 92（参照图 1（B））比绝缘层薄，调整绝缘层 22 的残留膜厚度 t ，绝缘层 22 可以不被侧面蚀刻到半导体层 32 的下方。

在本实施方式中，可以使残留膜厚度 t 可以比从半导体层 32 侧面开始的侧壁保护层 94 的厚度 t' 小。即，在衬底侧蚀刻中，半导体装置用衬底 200，具有只是残留膜厚度 t 与厚度 t' 之差的横向的容差（マージン）。因此，衬底侧蚀刻后半导体层 32 未露出。

另外，半导体装置用衬底 200 在进行沟槽侧蚀刻时，具有只是已经被蚀刻的绝缘层 22 的厚度一部分的纵向的容差。因此，在衬底侧蚀刻中，即使继续进行蚀刻，半导体层 32 也不会露出。

图 2（E）是在衬底侧蚀刻中，超过侧壁保护层 94 的厚度 t' 进行过度腐蚀时的用虚线圆表示的部分的放大图。根据图 2（E），纵向的容差用 t'' 表示。厚度 t'' 与沟槽侧蚀刻时被蚀刻后的绝缘层 22 的厚度相等。在衬底侧蚀刻中，即使过度腐蚀侧壁保护层 94 的厚度 t' 以上，半导体层 32 也不露出。

因此，在本实施方式中，衬底侧蚀刻可以将绝缘层 22 只进行 t' 与 t'' 之和厚度的程度的蚀刻。即，考虑横向的容差及纵向容差两方面的情况下，全部容差为 t' 与 t'' 之和。

在本实施方式中，由于湿腐蚀绝缘层 22 直至半导体衬底 12 露出，半导体衬底 12 上不易产生结晶缺陷。

参照图 2（D），通过从半导体衬底 12 表面开始外延生成单晶体层 52，在沟槽 54 内部形成单晶体层 52。

与第 1 实施方式同样，由于半导体衬底 12 的表面露出而半导体层 32 不露出，单晶体层 52 从半导体衬底 12 外延生成，而不从半导体层 32 生成。

因此，边界区域 82 或其附近不形成突起。则边界区域 82 或其附近的单晶体层 52 的表面上不产生结晶缺陷。另外，在本实施方式中，由于掩膜

层 35 及 42 在后续的步骤中被除去,使单晶体层 52 的表面与半导体层 32 的表面为同一平面那样形成单晶体层 52。因此,除去掩模层 35 及 42 后,半导体装置用衬底 100 的衬底面 98 变得平坦。由此形成具有平坦的衬底面 98 的半导体装置用衬底 100。

由于侧壁保护部 94 由氮化材料形成,掩模层 35 及 42 利用灰化等除去时,侧壁保护部 94 也被除去直至半导体层 32 的表面。因此,从绝缘区域 62 开始通过边界区域 82 至非绝缘区域 72 形成平坦的衬底面 98。由此形成半导体装置用衬底 200。

绝缘层 22 的侧面中,半导体衬底 12 的附近的侧面比半导体层 32 的侧壁更靠近非绝缘区域 72 那样形成半导体装置用衬底 200。

还有,在图 2 (D) 中,根据生成单晶体层 52 的条件,有时侧壁保护部 94 与绝缘层 22 的边界的边缘 u 处出现空间。

图 3 是根据本发明的第 3 实施方式的半导体装置用衬底的制造方法按照步骤顺序表示的半导体装置用衬底的放大断面图。

参照图 3 (A),首先,与图 1 (A) 同样,在半导体衬底 12 上形成绝缘层 22、半导体层 32 及掩模层 35、42。

接着,按照被形成图案的掩模层 35、42,利用 RIE 各向异性蚀刻半导体层 32。形成向绝缘层 22 贯通的沟槽 54。沟槽 54,将由于半导体层 32 的蚀刻露出的绝缘层 22 的表面部分作为底面,将由于半导体层 32 的蚀刻露出的半导体层 32 的侧部作为侧面。

然后,绝缘层 22 的沟槽 54 侧的一部分被湿腐蚀。即,进行绝缘层 22 的沟槽侧蚀刻。由于绝缘层 22 利用湿腐蚀被各向同性蚀刻,半导体层 32 下方存在的绝缘层 22 被沿沟槽 54 的侧面方向,即与面向半导体衬底 12 的方向垂直的横向蚀刻。由此,半导体层 32 的侧部及底部露出。

参照图 3 (B),与第 1 实施方式同样,侧壁保护部 94 形成于沟槽 54 的侧面。但是,侧壁保护部 94 不仅形成于半导体层 32 的侧部,也形成于被侧面蚀刻的绝缘层 22 所存在的半导体层 32 的下方。因此,即使保护层 92 堆积得比绝缘层 22 薄,由于侧壁保护层 94 的从绝缘层 22 开始的厚度 t'

比绝缘层 22 的残留膜厚度 t 厚，接着进行衬底侧蚀刻后，半导体层 32 也不会露出。

参照图 3 (C)，从沟槽 54 的底面开始至半导体衬底 12 存在的绝缘层 22 被湿腐蚀。即，本实施方式中，绝缘层 22 的衬底侧蚀刻是在进行沟槽侧蚀刻，形成侧壁保护部 94 之后进行的。

与第 2 实施方式同样，进行沟槽侧蚀刻时，绝缘层 22 内沟槽 54 侧的一部分，已经被腐蚀。因此，在衬底侧蚀刻中，距绝缘层 22 的内半导体衬底 12 的较近处残留的部分，利用衬底侧蚀刻，被各向同性蚀刻。如此，如上所述，虽然保护层 92 堆积得比绝缘层薄，通过调整残留的绝缘层 22 的膜厚度 t ，绝缘层 22 可以不被侧面蚀刻到半导体层 32 的下方。因此，半导体层 32 不露出。还有，残留膜厚度 t 比侧壁保护层 94 的从绝缘层 22 侧面开始的厚度 t' 小。

另外，与图 2 (E) 同样，也可以考虑纵向的容差。由此，在衬底侧蚀刻中，绝缘层 22 即使进行厚度 t' 以上的侧面蚀刻，半导体层 32 也不露出。

一般来说，不能明确地特定何种程度的残留膜厚度 t 的绝缘层 22，保护半导体衬底 12 免受由 RIE 的等离子造成的损伤。

但是，如果采用本实施方式，沟槽侧蚀刻及衬底侧蚀刻均为各向同性蚀刻。因此，因为绝缘层 22 没有利用 RIE 被蚀刻，借助沟槽侧蚀刻没有半导体衬底 12 通过绝缘层 22 受到损坏的可能性，半导体衬底 12 上也就容易产生结晶缺陷。

参照图 3 (D)，借助从半导体衬底 12 的表面开始外延生成单晶体层 52，沟槽 54 内部形成单晶体层 52。

与第 1 实施方式同样，因为半导体衬底 12 的表面露出而半导体层 32 不露出，单晶体层 52 从半导体衬底 12 开始外延生成，而不从半导体层 32 开始生成。

因此，边界区域 82 或其附近不形成突起，也不产生结晶缺陷。

而且，在本实施方式中，由于掩膜层 35 及 42 在后续的步骤中被除去，所以使单晶体层 52 的表面与半导体层 32 的表面为同一平面那样形成单晶

体层 52。因此，除去掩模层 35 及 42 后，使半导体装置用衬底 100 的衬底面 98 平坦。由此形成具有平坦的衬底面 98 的半导体装置用衬底 100。

由于侧壁保护部 94 由氮化材料形成，掩模层 35 及 42 利用灰化等除去时，侧壁保护部 94 也被除去直至半导体层 32 的表面。因此，从绝缘区域 62 开始通过边界区域 82 至非绝缘区域 72 形成平坦的衬底面 98。由此形成半导体装置用衬底 300。

半导体装置用衬底 300，绝缘层 22 的侧面内半导体衬底 12 的附近的侧面比半导体层 32 的侧壁更靠近非绝缘区域 72 一侧，且绝缘层 22 的侧面内半导体层 32 附近的侧面比半导体层 32 的侧壁更靠近绝缘区域 82 一侧。

图 4 是根据本发明的第 4 实施方式的半导体装置用衬底的制造方法按照步骤顺序表示的半导体装置用衬底的放大断面图。

首先，与图 1 (A) 同样，半导体衬底 12 上形成绝缘层 22、半导体层 32 及掩模层 35、42。

接着，参照图 4 (A)，按照被形成图案的掩模层 35、42，各向异性蚀刻半导体层 32，形成向绝缘层 22 贯通的沟槽 54。由此，存在于掩膜层 35、42 下方的半导体层 32 沿沟槽 54 的侧面方向被侧面蚀刻。即，半导体层 32 沿与面向半导体衬底 12 表面的方向垂直的横向，侧面蚀刻半导体层 32。

参照图 4 (B)，与第 1 实施方式同样，侧壁保护部 94 形成于沟槽 54 的侧面。侧壁保护部 94 进入掩膜层 35、42 的下方，包覆半导体层 32 的侧部。由此，为形成侧壁保护部 94，尽管堆积的保护层 92 (参照图 1 (B)) 的膜厚比绝缘层 22 的膜厚薄，沟槽 54 的侧面开始的侧壁保护部 94 的横向厚度比绝缘层 22 的膜厚厚。

参照图 4 (C)，将从沟槽 54 的底面开始至半导体衬底 12 存在的绝缘层 22 湿腐蚀。在本实施方式中，与第 1 至第 3 实施方式不同的是，绝缘层 22 利用 1 次的湿腐蚀被蚀刻。因为从沟槽 54 的侧面开始的侧壁保护部 94 的横向厚度 t' 比绝缘层 22 的膜厚 t 厚，原因即使绝缘层 22 被侧面蚀刻，半导体层 32 也不露出。

在本实施方式中，采用图 4(A) 所示的蚀刻，绝缘层 22 并未被蚀刻。但是，也可以如图 4(E) 所示，蚀刻绝缘层 22 的一部分。因此，绝缘层 22 被侧面蚀刻，半导体层 32 底面的一部分露出，在图 4(B) 中侧壁保护部 94 包覆半导体层 32 底面的那一部分。与图 2(E) 所示的方式相同，不只考虑横向的容差，也考虑纵向的容差，在图 4(C) 中绝缘层 22 的蚀刻可以进行处理。即，可以设计为即使绝缘层 22 被侧面蚀刻厚度 t' 以上，半导体层 32 不露出。

参照图 4(D)，通过从半导体衬底 12 表面开始外延生成单晶层 52，沟槽 54 内部也形成单晶层 52。

与第 1 实施方式相同，由于半导体衬底 12 的表面露出而半导体层 32 不露出，单晶层 52 从半导体衬底 12 开始外延生成，而不从半导体层 32 开始生成。

由此，边界区域 82 或其附近不能形成突起。因此，边界区域 82 或其附近的单晶层 52 的表面上，不产生结晶缺陷。

另外，本实施方式中，因为掩膜层 35 及 42 在后续的步骤中被除去，所以使单晶层 52 的表面与半导体层 32 的表面为同一平面那样形成单晶层 52。因此，除去掩膜层 35 及 42 后，使半导体装置用衬底 100 的衬底面 98 平坦。由此形成具有平坦的衬底面 98 的半导体装置用衬底 100。

因为侧壁保护部 94 由氮化材料形成，所以掩膜层 35 及 42 利用灰化等除去时，侧壁保护部 94 也被除去直至半导体层 32 的表面。因此，从绝缘区域 62 开始通过边界区域 82 至非绝缘区域 72 形成平坦的衬底面 98。由此形成半导体装置用衬底 400。

在半导体装置用衬底 400 中，存在于绝缘区域 62 与非绝缘区域 72 的边界的半导体层 12 的侧面以及绝缘层 22 的侧面，都比存在于绝缘区域 62 与非绝缘区域 72 边界的掩膜层 35、42 的侧面更靠近绝缘区域 62 一侧。

图 5 是根据本发明的第 5 实施方式的半导体装置用衬底的制造方法按照步骤顺序表示的半导体装置用衬底的放大断面图。

图 5(A) 与图 4(A) 表示同样的状态。由此，存在于掩膜层 35、42

下方的半导体层 32，沿沟槽 54 侧面的方向被侧面蚀刻。

图 5 (B) 表示的是绝缘层 22 被蚀刻后的状态。本实施方式与其他实施方式不同的是，不形成侧壁保护部。而且，绝缘层 22 因为被湿腐蚀，所以沿与面向半导体衬底 12 的表面的方向垂直的横向被侧面蚀刻。

本实施方式中，半导体层 32 及绝缘层 22 均被湿腐蚀。因此，半导体层 32 的侧面及绝缘层 22 的侧面，都比存在于绝缘区域 62 与非绝缘区域 72 的边界的掩膜层 35、42 更处于绝缘区域 62 一侧。并且，绝缘层 22 在半导体层 32 之后被湿腐蚀。因此，绝缘层 22 的侧面比半导体层 32 的侧面更处于绝缘区域 62 一侧。由此，掩膜层 35 及 42、半导体层 32 及绝缘层 22 形成倒台阶状。

从半导体衬底 12 的表面开始至半导体层 32 的表面的距离 h 以及半导体层 32 的侧面与掩膜层 35 或 42 的侧面之间的距离 d ，满足 $d/h > 0.75$ 。下面将叙述其理由。

参照图 5 (D)，通过从半导体衬底 12 的表面与半导体层 32 的侧面开始外延生成单晶体，沟槽 54 内部形成单晶体层 52。

一般来说，外延生成硅时，沿垂直于硅衬底的晶体面 (100) 的方向 X 生成硅晶体的生成速度，与沿垂直于硅衬底的晶体面 (010) 的方向 Y 生成硅晶体的生成速度的比为 1: 0.75。

在本实施方式中，半导体衬底 12 的表面相当于晶体面 (100)，半导体层 32 的侧面则相当于晶体面 (010)。

虽然从半导体层 32 的侧面开始也生成晶体，但是从半导体层 32 的侧面开始生成的晶体，由于掩膜层 35，被抑制了超过半导体层 32 的表面向沟槽 54 的外侧的生成。从半导体层 32 开始的晶体在超过半导体层 32 的表面生成时，半导体层 32 的侧面开始的晶体必须沿横向，即方向 Y ，生成距离 d 以上。

另外，从半导体衬底 12 的表面开始生成的晶体，比沿方向 X 生成晶体的速度大约要快 $1/0.75=1.33$ 倍。

因此，本实施方式中，由于距离 h 及距离 d 满足 $d/h > 0.75$ ，从半导体

层 32 开始生成的晶体生成超过半导体层 32 的表面之前，从半导体衬底 12 的表面开始生成的晶体超过半导体层 32 的表面。因此，非绝缘区域 72 形成的单晶体层 52 的表面 52 不产生突起，也不出现结晶缺陷。

另外，在本实施方式中，因为掩膜层 35 及 42 在后续的步骤中被除去，所以使单晶体层 52 的表面与半导体层 32 的表面为同一平面那样形成单晶体层 52。因此，除去掩膜层 35 及 42 后，使半导体装置用衬底 100 的衬底面 98 平坦。由此形成具有平坦的衬底面 98 的半导体装置用衬底 100。因此，从绝缘区域 62 开始通过边界区域 82 至非绝缘区域 72 形成平坦的衬底面 98。

因此，如果采用本实施方式，可以不设置侧壁保护层 92，形成结晶缺陷少且平坦的半导体装置用衬底 500。

以上虽然叙述了本发明的实施方式，但是这些实施方式中，侧壁保护部 94 的形状和材料以及绝缘层 22 的膜厚或残留膜厚度 t ，可以通过调整堆积步骤及蚀刻步骤任意进行变更。因此，绝缘层 22 在衬底侧蚀刻后，半导体层 32 不露出对于本领域专业业务员来说是容易的，综上所述，此种实施方式具备本发明的效果，属于本发明的范围。

如果采用本发明的半导体装置用衬底的制造方法，可以提供表面晶体缺陷少，且具有在有 SOI 结构的区域与没有 SOI 结构的区域之间无段差的平坦的表面的半导体装置用衬底。

依据本发明的半导体装置用衬底，表面晶体上缺陷少，且具有在有 SOI 结构的区域与没有 SOI 结构的区域之间无段差的平坦的表面。

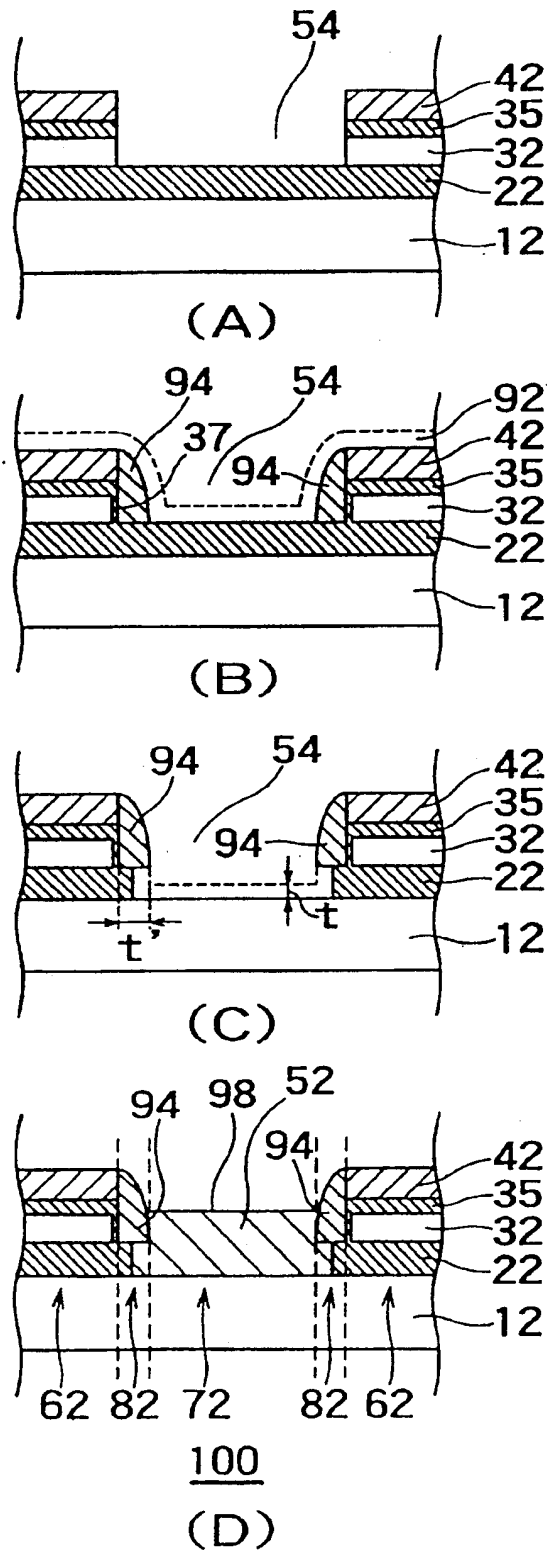


图1

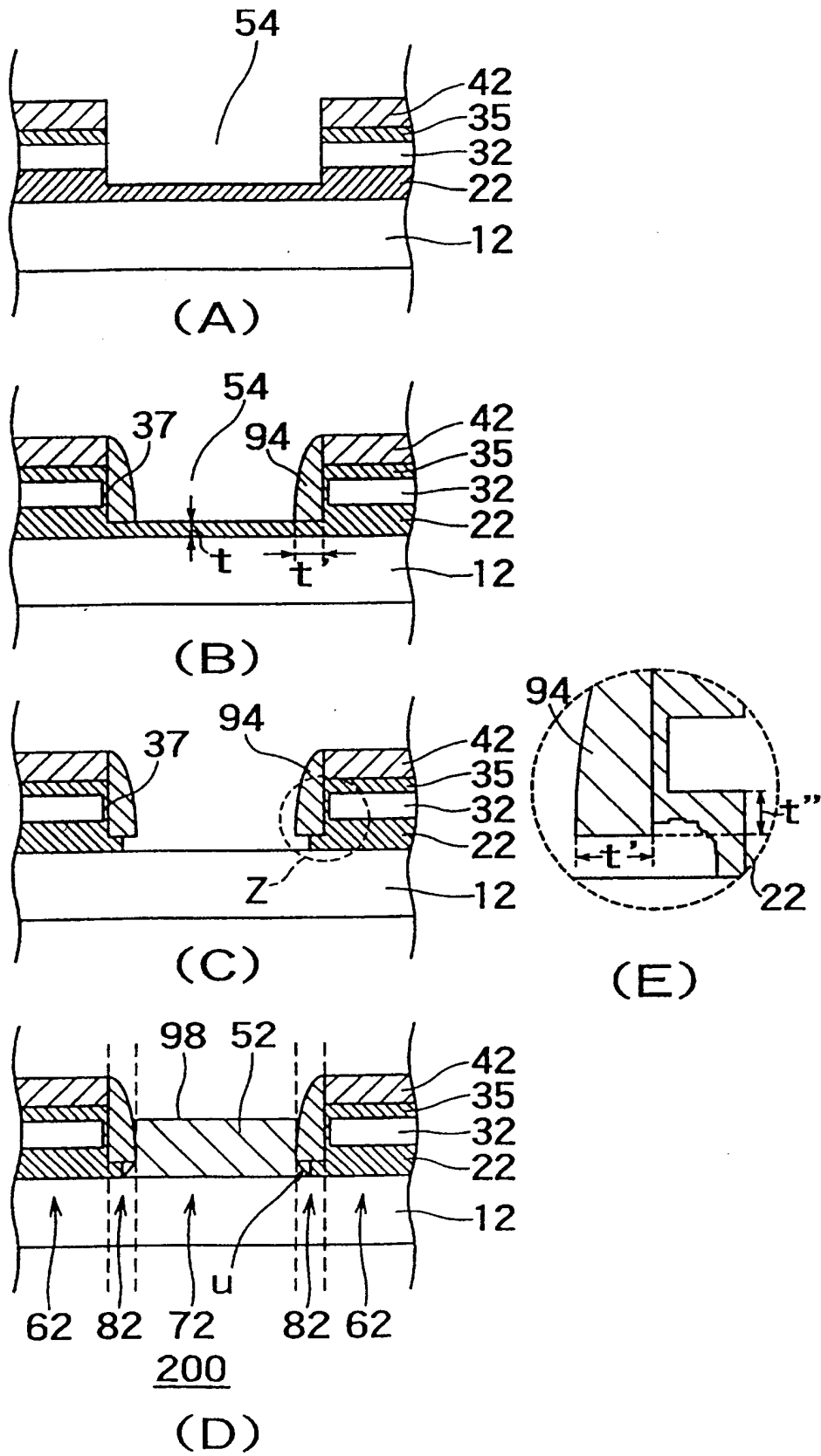


图2

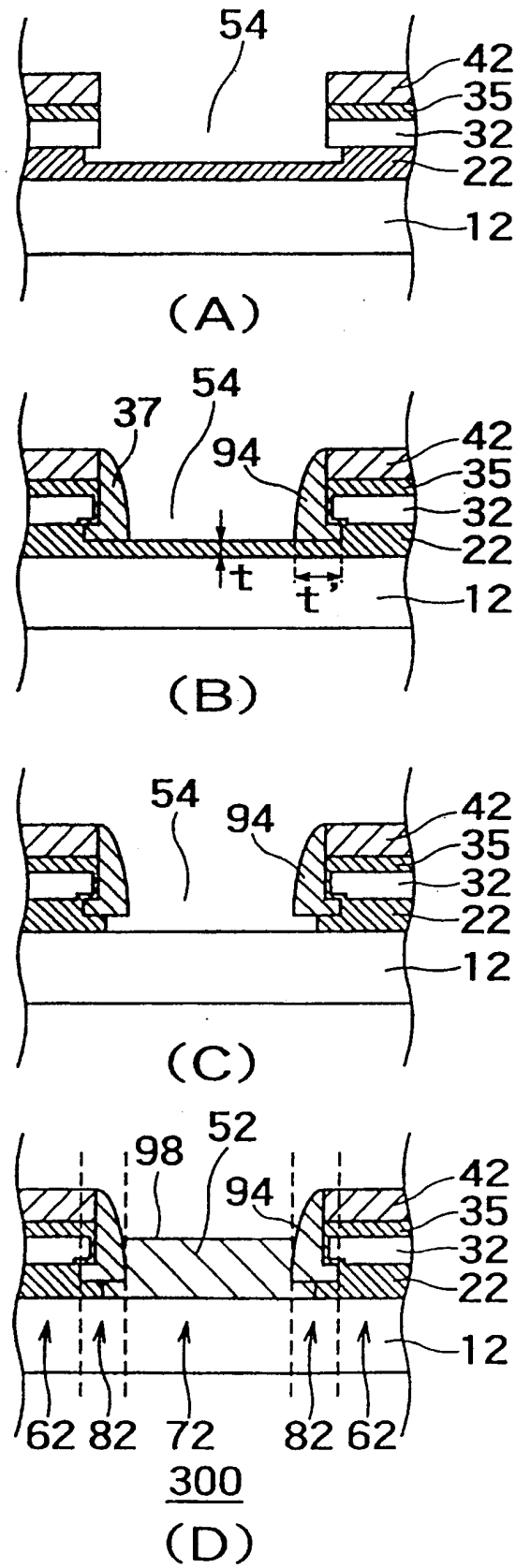


图3

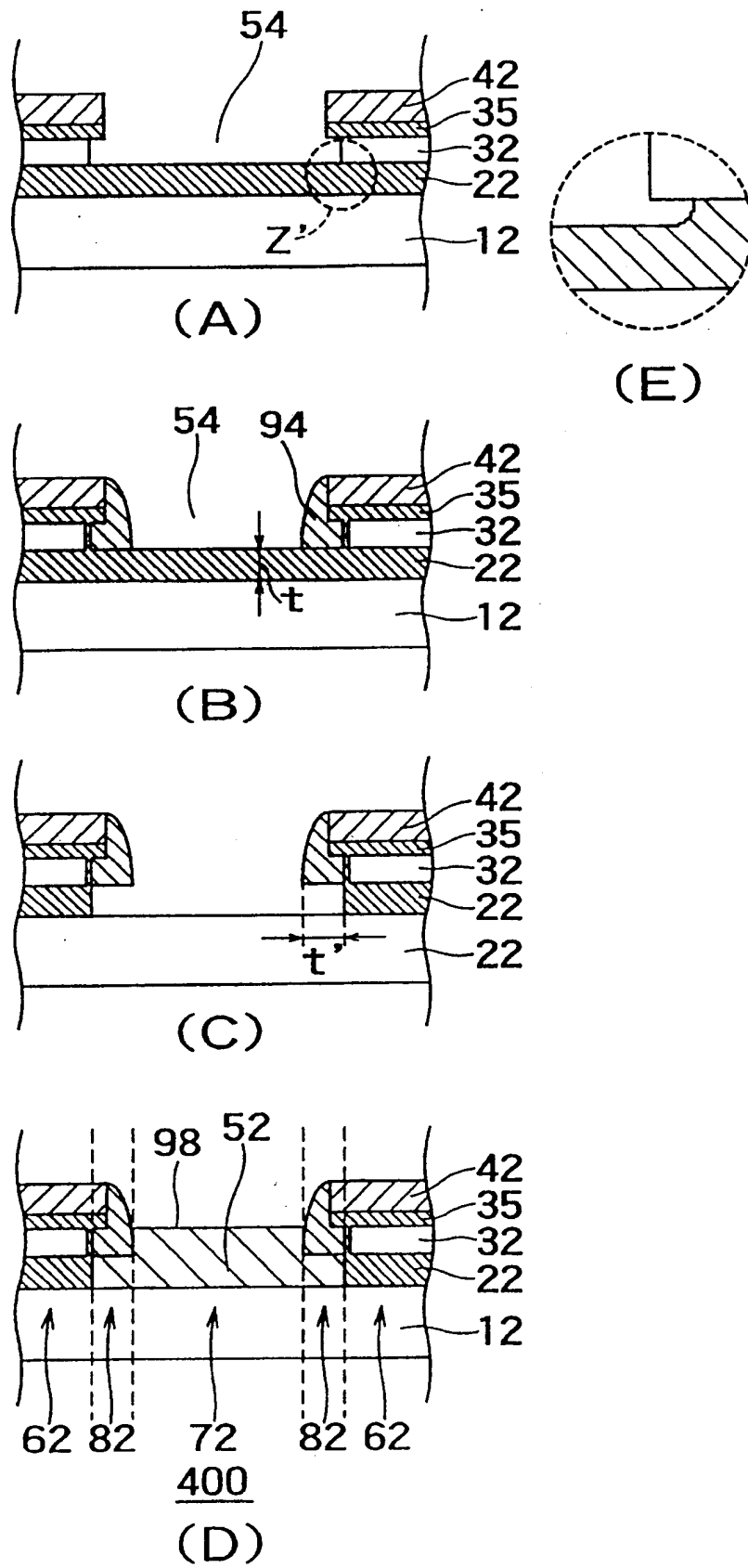


图4

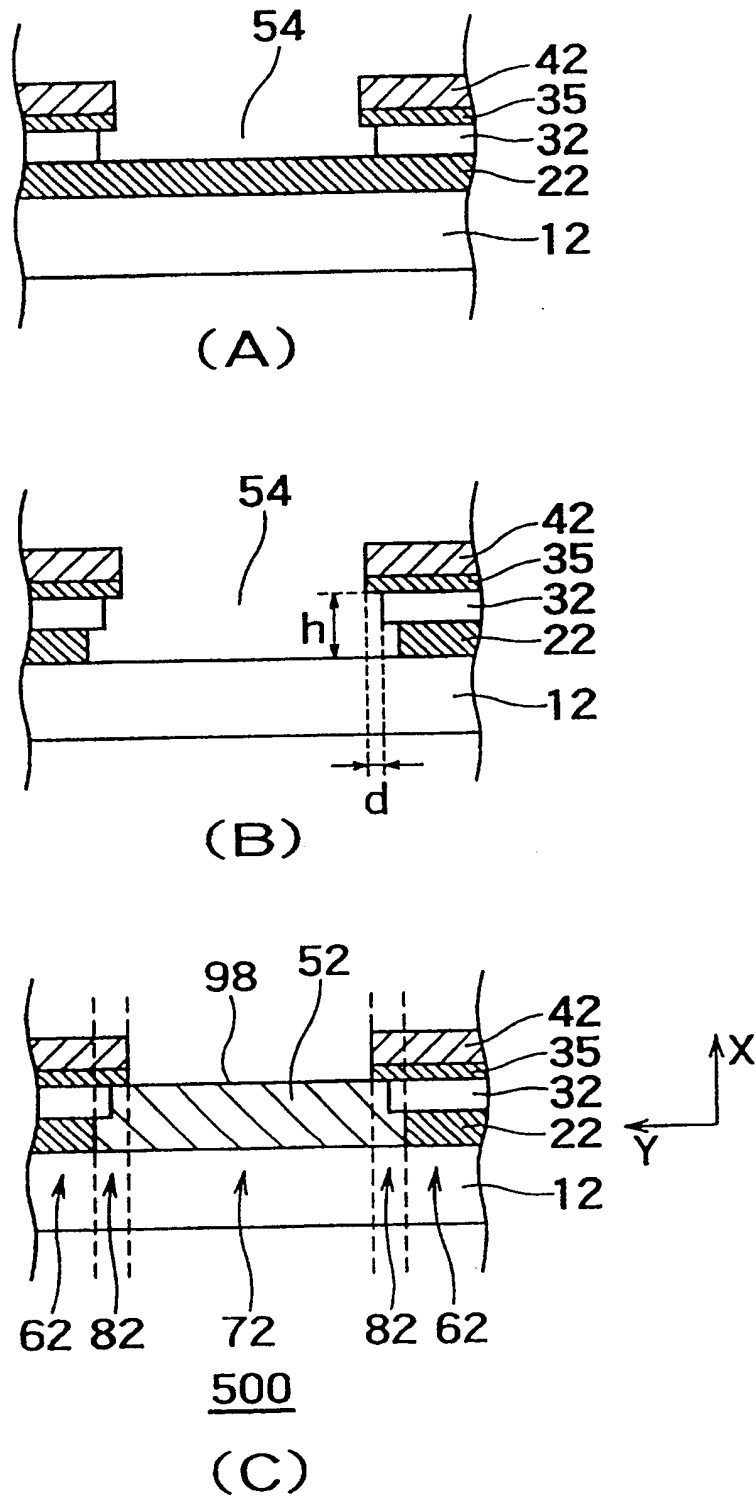
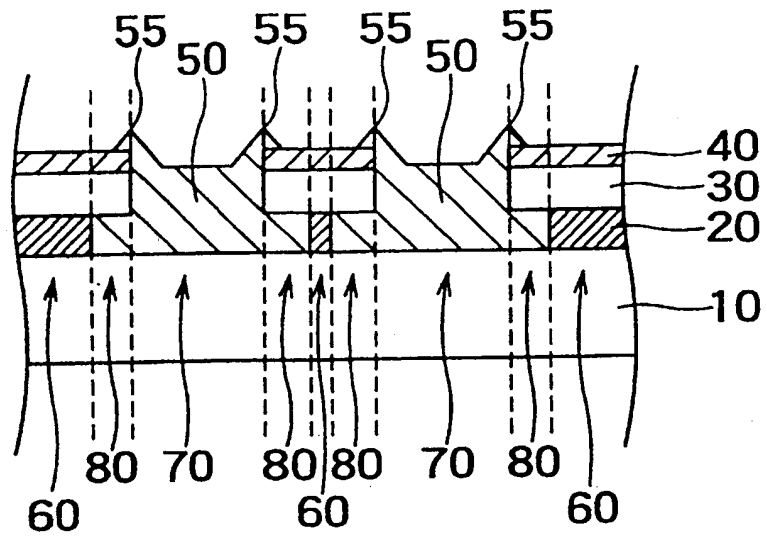
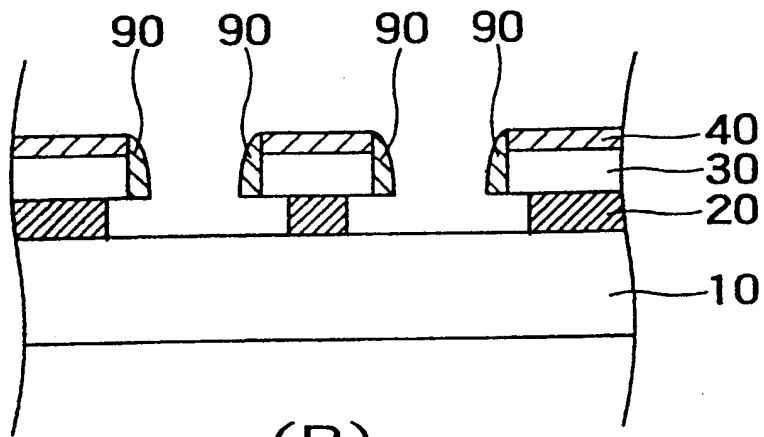


图5



(A)



(B)

图6