

도 2m

색인어

FBAR, 공진기, 에어 갭, 희생층, 비어 홀, 에칭 홀, CMP

명세서

도면의 간단한 설명

도 1은 종래의 에어갭형 박막 벌크 음향 공진기의 단면도,

도 2a 내지 2m은 본 발명에 따른 박막 벌크 음향 공진기의 제조공정별 단면도이다.

* 도면의 주요부분에 대한 간단한 설명 *

100: 반도체 기판 110: 절연층

120a:동공 120b:희생층

120c:에어갭 130: 공진부

132: 하부전극 134: 압전층

136: 상부전극 140: 패드

150: 지지층 160: 패키징 기판

170a~170b: 비어홀 175a~175d: 연결부

180: 에칭홀 190: 비활성층

200: 본 발명에 따른 박막 벌크 음향 공진기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 벌크 음향 공진기(film bulk acoustic resonator: FBAR)에 관한 것으로서, 특히 에어 갭 형성을 위한 에칭 홀을 반도체 기판의 중앙부에 형성하여 희생층 제거시 공진기의 화학적 손상 및 점착현상을 방지할 수 있도록 한 박막 벌크 음향 공진기 및 그 제조방법에 관한 것이다.

최근 무선이동통신기술은 눈부시게 발전하고 있다. 이러한 이동통신기술은 한정된 주파수 대역에서 효율적으로 정보를 전달할 수 있는 다양한 RF 부품들이 요구된다. 특히, RF 부품들 중 필터는 이동통신기술에 사용되는 핵심 부품 중 하나로서, 무수히 많은 공중파 중에 이용자가 필요로 하는 신호를 선택하거나 전송하고자 하는 신호를 필터링 하여 줌으로서 고품질의 통신을 가능하게 한다.

현재 무선통신용 RF 필터로 가장 많이 사용되고 있는 것이 유전체 필터와 표면탄성파(Surface Acoustic wave: SAW) 필터이다. 유전체 필터는 높은 유전율, 저삽입 손실, 높은 온도에서의 안정성, 내진동, 내충격에 강한 장점을 가지고 있다.

그러나, 유전체 필터는 최근의 기술 발전 동향인 소형화 및 MMIC(Monolithic Microwave IC)화에는 한계성을 가지고 있다. 또한, SAW 필터는 유전체 필터에 비해 소형이면서 신호처리가 용이하고 회로가 단순하며, 반도체 공정을 이용함으로써 대량생산이 가능한 이점을 가지고 있다.

또한, SAW 필터는 유전체 필터에 비해 통과 대역 내의 사이드 리젝션(Side Rejection)이 높아 고품위의 정보를 주고받을 수 있는 장점이 있다. 그러나 SAW 필터 공정에는 자외선(UV)을 사용하여 노광을 하는 공정이 포함되므로 IDT (InterDigital Transducer) 선폭이 0.5 μ m 정도가 한계라는 단점을 가지고 있다.

따라서, SAW 필터를 이용하여 초고주파(5GHz 이상) 대역을 커버하기는 불가능하다는 문제점이 있으며, 근본적으로 반도체 기판에서 이루어지는 MMIC 구조와 단일칩상으로 구성되기는 불가능하다는 문제점이 있다.

위와 같은 한계 및 문제점들을 극복하기 위하여 기존 반도체(Si, GaAs)기판에 다른 능동소자들과 함께 집적되어 주파수 제어회로를 완전히 MMIC화 할 수 있는 박막 벌크 음향 공진기(FBAR)가 제안되었다.

박막 벌크 음향 공진기(FBAR)는 박막(Thin Film)소자로 저가격, 소형이면서 고품질(High Q)계수의 특성이 가능하므로 각종 주파 대역(9백MHz~10GHz)의 무선통신기기, 군용 레이더 등에 사용 가능하다. 또한, 유전체 필터 및 집중 정수(LC) 필터보다 수백 분의 1 크기로 소형화가 가능하고, SAW 필터보다 삽입손실이 매우 작다는 특성을 가지고 있다. 따라서 박막 벌크 음향 공진기(FBAR)는 안정성이 높고 고품질계수를 요구하는 MMIC에 적용될 수 있다.

박막 벌크 음향 공진기(FBAR)는 상부전극/압전체/하부전극의 샌드위치 구조를 이용한 반도체 공정으로 만들어지며 압전 현상을 발생시켜 일정한 주파수 대역에서 공진을 발생, 이 공진에서 체적파를 이용하여 체적파의 주파수와 입력된 전기신호의 주파수가 같아지면 공진현상이 일어난다. 이 공진현상을 이용한 공진기를 전기적 커플링을 현상화하여 FBAR 필터를 구현하고 더 나아가 FBAR 필터를 이용한 듀플렉서가 가능하다.

한편, 박막 벌크 음향 공진기(FBAR)의 구조는 지금까지 다양한 형태로 연구되어 왔다. 멤브레인형 박막 벌크 음향 공진기(FBAR)는 기판 위에 실리콘산화막(SiO₂)을 증착하고, 기판 반대면을 이방성 에칭(Isotropic Etching)하여 형성된 공동부(Cavity)를 통해 멤브레인층을 형성한다. 그리고 실리콘산화막 상부로 하부전극을 형성하고, 이 하부전극층 상부로 압전 물질을 RF 마그네트론 스퍼터링(Magnetron Sputtering)방법으로 증착하여 압전층을 형성하며, 압전층 상부로 상부전극을 형성하고 있다.

위와 같은 멤브레인형 박막 벌크 음향 공진기(FBAR)는 캐버티에 의해 기판 유전손실이 적으며, 전력손실이 작은 장점을 가지고 있다. 하지만, 멤브레인형 박막 벌크 음향 공진기(FBAR)는 실리콘 기판의 방향성에 의하여 소자가 차지하는 면적이 크며, 후속 패키징 공정시 구조적 안정성이 낮아 파손에 의한 수율 저하가 문제점이 되고 있었다. 따라서, 최근 멤브레인에 의한 손실을 줄이고 소자 제조공정을 단순화하기 위해 에어갭(Air Gap)형과 브래그 리플렉터(Bragg Reflector)형 박막 벌크 음향 공진기(FBAR)가 등장했다.

브래그 반사형 박막 벌크 음향 공진기(FBAR)는 기판상에 탄성 임피던스차가 큰 물질을 격층으로 증착하여 반사층을 구성하고 하부전극, 압전층 및 상부전극을 차례로 적층한 구조로써, 압전층을 통과한 탄성파에너지가 기판 방향으로 전달되지 못하고 반사층에서 모두 반사되어 효율적인 공진을 발생시킬 수 있게 한 것이다. 이러한 브래그 반사형 박막 벌크 음향 공진기(FBAR)는 구조적으로 견고하며, 휨에 의한 stress가 없지만 전반사를 위한 두께가 정확한 4층 이상의 반사층을 형성하기가 어려우며, 제작을 위한 시간과 비용이 많이 필요하다는 단점이 있다.

한편, 반사층 대신에 에어갭을 이용하여 기판과 공진부를 격리시키는 구조를 가지는 종래의 에어갭형 박막 벌크 음향 공진기(20)는 도 1에 도시된 바와 같이 실리콘 기판(10) 표면을 이방성 에칭하여 희생층을 구현하고 CMP로 표면연마를 한 후, 절연층(12), 하부전극(13), 압전층(15), 및 상부전극(17)을 차례로 증착하고 에칭 홀(18)을 통하여 희생층을 제거, 에어갭(14)을 형성하여 FBAR(20)을 구현하고 있다.

그러나, 이러한 종래의 에어갭형 FBAR(20)은 에칭 홀(18)이 하부전극(13), 압전층(15), 및 상부전극(17)을 통과하여 형성되므로, 희생층 제거를 위한 에칭시 공진기 내부에 화학적인 손상을 가할 수 있다. 또한, 공진기 바닥에서부터 에칭이 시작되어 표면장력에 의한 점착(stiction) 현상이 발생할 가능성이 높다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 희생층 제거시 발생하는 공진기의 화학적 손상을 방지하고, 기관의 건조과정에서 발생하는 점착(stiction)현상을 줄이기 위한 박막 벌크 음향 공진기 및 그 제조방법을 제공하기 위한 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 박막 벌크 음향 공진기는 중앙에 소정 형태의 동공(cavity)이 형성된 반도체 기관, 반도체 기관 상에 형성된 절연층, 절연층 상면에 형성되며, 복수의 하부전극/압전층/상부전극으로 구성되는 공진부, 압전층과 겹쳐지지 않도록 하부전극 상면에 형성된 패드막 및 지지층, 공진부를 보호하기 위해 지지층 상에 접합되어 형성된 패키징 기관, 및 반도체 기관 하면에 접합된 비활성층을 포함하며, 반도체 기관의 중앙 하면에는 희생층을 제거하기 위해 동공과 연결되는 에칭홀이 형성되고, 에칭홀은 비활성층에 의해 막혀지는 것이 바람직하다.

여기서, 공진부는, 절연층 상에 형성된 복수의 하부전극, 하부전극 및 절연층 상에 형성된 압전층, 및 압전층의 일측 상에 형성된 상부전극을 포함하며, 공진부의 두께 조절로 중심주파수를 제어하는 것이 바람직하다.

여기서, 복수의 하부전극은, 절연층 상에 소정의 도전물질을 증착시킨 후, 패터닝하여 형성되며, 서로 이격되어 위치하는 것이 바람직하다.

본 발명에 따른 박막 벌크 음향 공진기의 제조방법은 소정 형태의 동공이 형성된 반도체 기관 상에 절연층을 형성하는 단계, 동공과 겹쳐진 절연층 상에 희생층을 형성하는 단계, 절연층 및 희생층 상에 하부전극, 압전층, 상부전극을 포함하는 공진부를 형성하는 단계, 반도체 기관과 패키징 기관을 접합하는 단계, 반도체 기관의 중앙 하면에 에칭 홀(etching hole)을 형성한 후, 에칭홀을 통해 희생층을 제거하여 에어갭(Air gap)을 형성하는 단계, 및 에칭홀을 메우기 위해 반도체 기관 하부에 비활성층을 접합하는 단계를 포함하는 것이 바람직하다.

여기서, 반도체 기관과 패키징 기관을 접합한 후, 에칭홀 형성이 용이하도록 반도체 기관의 후면을 연마하는 단계를 더 포함하는 것이 바람직하다.

여기서, 복수의 하부전극은, 절연층 및 희생층 상에 소정의 도전물질을 증착시킨 후, 패터닝하여 형성되며, 서로 이격되어 위치하는 것이 바람직하다.

여기서, 압전층은, 하부전극 및 절연층 상에 소정 압전물질을 증착시킨 후, 패터닝하여 형성되는 것이 바람직하다.

여기서, 공진부의 형성의 완료된 후, 하부전극 및 절연층 상에 하부전극을 보호하기 위한 패드막 및 접합되는 패키징 기관을 지지하는 지지층을 증착시킨 후, 하부전극의 형태로 패터닝하는 단계를 더 포함하는 것이 바람직하다.

이하에서는 예시된 첨부도면을 참조하여 본 발명에 대하여 설명한다.

도 2a 내지 도 2m은 본 발명에 따른 박막 벌크 음향 공진기의 제조공정별 단면도이다.

도 2a 및 도 2b를 참조하면, 먼저 준비된 반도체 기관(100) 상부에 동공(Cavity)을 형성한다. 반도체 기관은(100)은 통상의 실리콘 웨이퍼를 사용할 수 있으며, 바람직하게는 고저항 실리콘기관(HRS)이 사용될 수 있다.

도 2c를 참조하면, 동공이 형성된 반도체 기관(100) 상면 전체에 절연층 (dielectric layer, 110)을 형성한다. 절연층(110)은 반도체 기관(100) 상에 용이하게 성장시킬 수 있는 열산화막을 채용하거나, 화학기상증착 등의 통상의 증착공정을 이용한 산화막 또는 질화막을 선택적으로 채용할 수 있다.

도 2d를 참조하면, 그 후, 에어갭(Air gap, 120c) 형성을 위한 희생층(sacrificial layer, 120b)을 동공 부분에 형성된 절연층(110) 상부에 증착시킨 후, 식각하여 평면화한다. 이에 의해, 도 2d에 도시된 바와 같이, 반도체 기관(100)의 중앙부분 즉, 동공(120a)부분의 최상부에는 희생층(120b)이 형성되고, 그 외의 부분에는 절연층(110)이 형성된다. 여기서, 희생층(120b)은 폴리실리콘이나 ZnO 등의 표면의 거칠기(roughness)가 우수하고 희생층 형성과 제거가 용이한 물질을 사용한다.

일예로, 본 발명에서는 희생층(120b)으로 폴리실리콘을 채용할 수 있고, 이러한 폴리실리콘은 표면의 거칠기(roughness)가 우수하고 희생층(120b) 형성 및 제거가 용이할 뿐만 아니라, 특히, 후속공정에서 건식 식각을 적용하여 제거할 수 있다는 장점이 있다.

공진부(130)는 절연층(110) 및 희생층(120b) 상부에 형성되는데, 하부전극(132), 압전층(134) 및 상부전극(136)이 차례로 증착되어 구현된다. 두 전극 사이에 외부에서 신호가 인가되면 두 전극 사이에 입력 전달된 전기적 에너지의 일부가 압전효과에 따른 기계적 에너지로 변환되고, 이를 다시 전기적 에너지로 변환하는 과정에서 압전층(134)의 두께에 따른 고유진동의 주파수에 대하여 공진을 하게 된다. 공진부(130)가 증착되는 과정을 상세히 살펴보면 다음과 같다.

도 2e를 참조하면, 절연층(110) 및 희생층(120b) 상부에 소정 물질을 증착시킨 후, 패터닝하여 하부전극(132)을 형성한다. 패터닝에 의해, 복수의 하부전극(132a~132d)이 절연층(110) 및 희생층(120) 상부에 형성되며, 복수의 하부전극(132a~132d)은 각각 소정 거리만큼 이격되어 위치한다. 하부전극(132)의 두께는 10 ~ 1000 nm 인 것이 바람직하다.

하부전극(132)으로 사용되는 물질은 금속과 같은 통상의 도전물질을 사용하는데, 바람직하게는 알루미늄(Al), 텅스텐(W), 금(Au), 백금(Pt), 니켈(Ni), 티탄(Ti), 크롬(Cr), 팔라듐(Pd) 및 몰리브덴(Mo) 중 하나를 선택할 수 있다.

다음으로, 도 2f를 참조하면, 하부전극(132) 및 절연층(110) 상부에 압전물질을 증착시킨 후, 패터닝하여 압전층(134)을 형성한다. 통상의 압전물질로는 질화알루미늄(AlN) 또는 산화아연(ZnO)을 사용하는데, 꼭 이에 한정되는 것은 아니다. 증착방법은 RF 마그네트론 스퍼터링(RF Magnetron Sputtering) 방법, 에바포레이션(Evaporation) 방법 등이 이용된다. 압전층(134)의 두께는 5~500 nm인 것이 바람직하다.

그 후, 도 2g를 참조하면, 상부전극(136)을 형성하기 위하여 압전층(134) 상부의 소정 영역에 상부전극용 금속막을 증착시키고, 패터닝을 수행한다. 상부전극(136)은 하부전극(132)과 동일한 물질, 동일한 증착방법 및 패터닝 방법을 사용할 수도 있다. 상부전극(136)의 두께는 5~1000nm인 것이 바람직하다.

도 2h 및 도 2i를 참조하면, 우선, 하부전극(132) 및 절연층(110) 상부에 패드막(140) 및 지지층(150)을 증착시킨 후, 하부전극(132)의 형태로 패터닝한다. 그 후, 공진부(130)를 보호하기 위한 패키징 기판(160)을 지지층(150)에 접합시킨다.

여기서, 패드막(140)은 하부전극(132)을 보호하기 위한 덮개 역할을 하며, 지지층(150)은 접합되는 패키징 기판(160)을 지지하는 역할을 한다. 패키징 기판(160)은 일반적으로 캡 웨이퍼(Cap Wafer)라고 불리우며, 패키징 기판(160)의 소정 영역에는 공진부(130)와의 전기적 연결을 위한 복수의 비어 홀(170a, 170b)이 형성되어 있다. 또한, 패키징 기판(160)을 지지층에 접합시키기 위해 복수의 연결부(175a~175d)가 패키징 기판(160) 하면에 형성되어 있다.

패키징 기판의 접합이 완료되면, 도 2j에 도시된 바와 같이, 반도체 기판(100)의 후면을 연마하는 공정이 진행된다. 후면 연마 방법은 스핀 식각(spin etching), 건식 식각(dry etching), 화학적 기계적 연마(CMP: Chemical Mechanical Polishing) 방법이 이용될 수 있다.

본 발명의 바람직한 실시예에서는 화학적 기계적 연마(CMP) 방법을 사용하였다. 이와 같이, 반도체 기판(100)의 후면을 연마하는 이유는 공진기의 두께를 박형화하기 위한 목적과 더불어 반도체 기판(100)에 에칭 홀(180)을 용이하게 형성하기 위해서 진행된다.

도 2k 내지 도 2m을 참고하면, 반도체 기판(100)의 후면을 연마하는 공정이 완료되는 경우, 반도체 기판(100) 및 절연층(110)의 중앙 부근을 제거하여 에칭 홀(180)을 형성한다. 에칭 홀(180)은 건식 식각 또는 습식 식각 방법을 통하여 형성한다. 에칭 홀(180)의 내경은 10 μ m 내지 100 μ m 수준이다.

이와 같이 형성된 에칭 홀(180)을 통해 희생층(120b)을 제거하여 에어 갭(120c)을 형성하며, 이 때 희생층(120b)의 물질에 따라 습식 식각이나 건식 식각을 통하여 희생층(120b)을 제거할 수 있다. 마지막으로, 반도체 기판(100) 하부에 비활성층(passive layer, 190)을 접합함으로써 최종적인 박막 벌크 음향 공진기(FBAR, 200)가 완성된다.

본 박막 벌크 음향 공진기(200)에서는 상부전극(136)으로 입력된 RF 신호가 공진부(130)를 통하여 하부전극(132)으로 출력되는 구조를 가지고 있다. 이 때, 공진부(130)가 일정한 공진 주파수를 가지고 있으므로, 입력된 RF 신호 중에서 공진부(130)와 일치하는 주파수를 갖는 RF 신호만 출력되고 다른 주파수는 소멸된다.

이와 같은 공진기(200)를 적절히 조합하면 일정한 중심주파수와 대역폭을 갖는 FBAR 필터를 구현할 수 있으며, 또한, 이러한 FBAR 필터를 조합함으로써 듀플렉서를 구현하는 것도 가능하다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의하면, 에어 갭과 연결되는 에칭 홀이 반도체 기판의 중앙에 위치하므로 에칭 홀을 통하여 희생층을 제거하는 경우 공진기 내부가 화학적으로 손상되는 것을 방지할 수 있으며, 건조과정에서 발생하는 점착(stiction) 현상을 줄일 수 있는 효과가 있다.

또한, 본 발명에 따른 박막 벌크 음향 공진기를 조합하여 필터를 설계하는 경우, 종래보다 필터의 설계자유도가 증가하는 효과가 있다.

이상에서는 본 발명의 바람직한 실시예에 대해서 도시하고 설명하였으나, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능한 것은 물론이고, 그와 같은 변경은 청구범위 기재의 범위에 있게 된다.

(57) 청구의 범위

청구항 1.

중앙에 소정 형태의 동공이 형성된 반도체 기판;

상기 반도체 기판 상에 형성된 절연층;

상기 절연층 상면에 형성되며, 복수의 하부전극/압전층/상부전극으로 구성되는 공진부;

상기 압전층과 겹쳐지지 않도록 상기 하부전극 상면에 형성된 패드막 및 지지층;

상기 공진부를 보호하기 위해 상기 지지층 상에 접합되어 형성된 패키징 기판; 및

상기 반도체 기판 하면에 접합된 비활성층;을 포함하며,

상기 반도체 기판의 중에서 상기 동공 위치에 대응되는 영역에는 희생층을 제거하기 위해 상기 동공과 연결되는 에칭홀이 형성되고, 상기 에칭홀은 상기 비활성층에 의해 막혀지는 것을 특징으로 하는 박막 벌크 음향 공진기.

청구항 2.

제1항에 있어서, 상기 공진부는,

상기 절연층 상에 형성된 복수의 하부전극;

상기 하부전극 및 상기 절연층 상에 형성된 압전층; 및

상기 압전층의 일측 상에 형성된 상부전극;을 포함하며,

상기 공진부의 두께 조절로 중심주파수를 제어하는 것을 특징으로 하는 박막 벌크 음향 공진기.

청구항 3.

제2항에 있어서, 상기 복수의 하부전극은,

상기 절연층 상에 소정의 도전물질층을 증착시킨 후, 패터닝하여 형성되며, 서로 이격되어 위치하는 것을 특징으로 하는 박막 벌크 음향 공진기.

청구항 4.

소정 형태의 동공(cavity)이 형성된 반도체 기판 상에 절연층을 형성하는 단계;

상기 동공과 겹쳐진 상기 절연층 상에 희생층을 형성하는 단계;

상기 절연층 및 상기 희생층 상에 하부전극, 압전층, 상부전극을 포함하는 공진부를 형성하는 단계;

상기 반도체 기판과 패키징 기판을 접합하는 단계;

상기 반도체 기판의 중앙 하면에 에칭 홀(etching hole)을 형성한 후, 상기 에칭홀을 통해 희생층을 제거하여 에어갭(Air gap)을 형성하는 단계; 및

상기 에칭홀을 메우기 위해 상기 반도체 기판 하부에 비활성층을 접합하는 단계;를 포함하는 것을 특징으로 하는 박막 벌크 음향 공진기의 제조방법.

청구항 5.

제4항에 있어서,

상기 반도체 기판과 상기 패키징 기판을 접합한 후, 상기 에칭홀 형성이 용이하도록 상기 반도체 기판의 후면을 연마하는 단계;를 더 포함하는 것을 특징으로 하는 박막 벌크 음향 공진기의 제조방법.

청구항 6.

제1항에 있어서, 상기 복수의 하부전극은,

상기 절연층 및 상기 희생층 상에 소정의 도전물질층을 증착시킨 후, 패터닝하여 형성되며, 서로 이격되어 위치하는 것을 특징으로 하는 박막 벌크 음향 공진기의 제조방법.

청구항 7.

제1항에 있어서, 상기 압전층은,

상기 하부전극 및 상기 절연층 상에 소정 압전물질층을 증착시킨 후, 패터닝하여 형성되는 것을 특징으로 하는 박막 벌크 음향 공진기의 제조방법.

청구항 8.

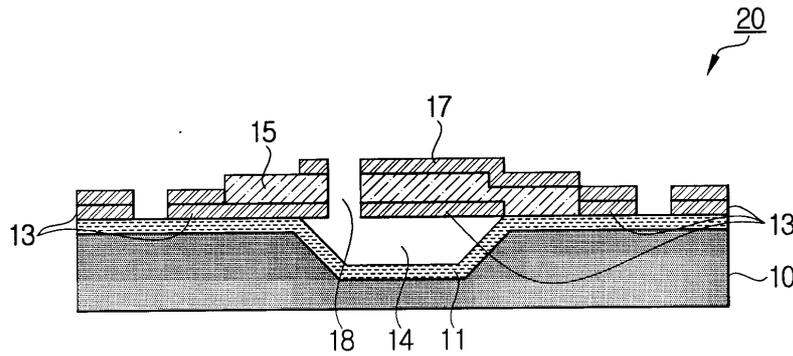
제1항에 있어서,

상기 공진부의 형성의 완료된 후,

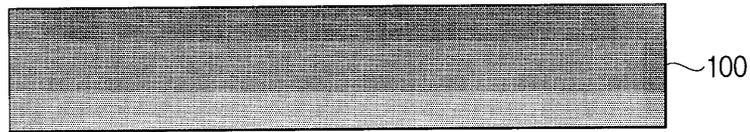
상기 하부전극 및 상기 절연층 상에 상기 하부전극을 보호하기 위한 패드막 및 접합되는 패키징 기판을 지지하는 지지층을 증착시킨 후, 상기 하부전극의 형태로 패터닝하는 단계;를 더 포함하는 것을 특징으로 하는 박막 벌크 음향 공진기의 제조 방법.

도면

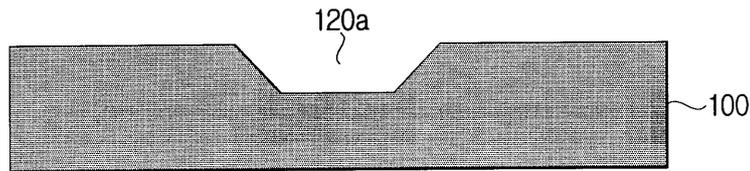
도면1



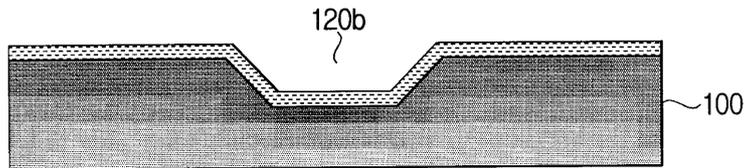
도면2a



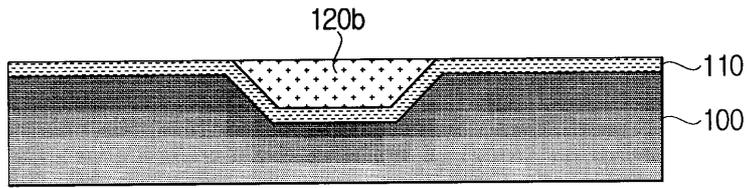
도면2b



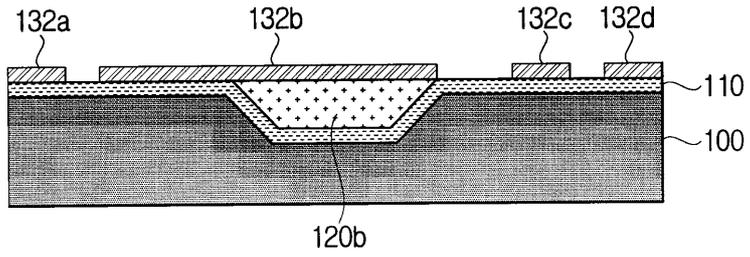
도면2c



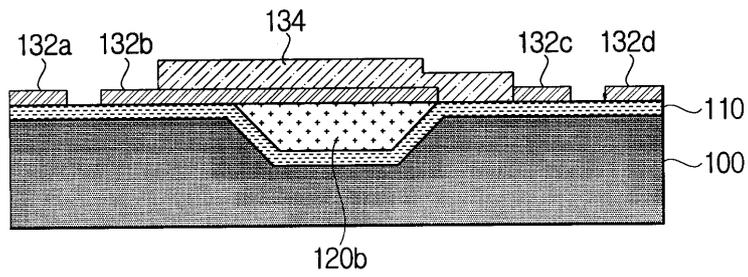
도면2d



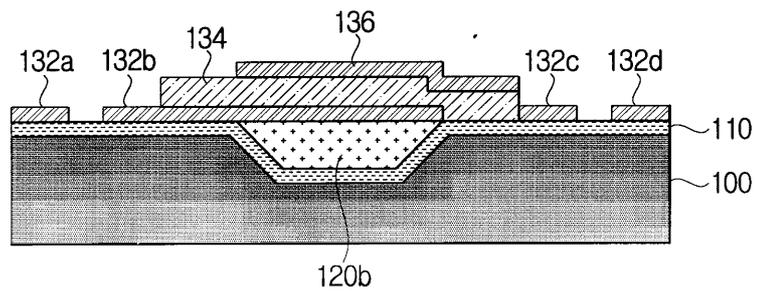
도면2e



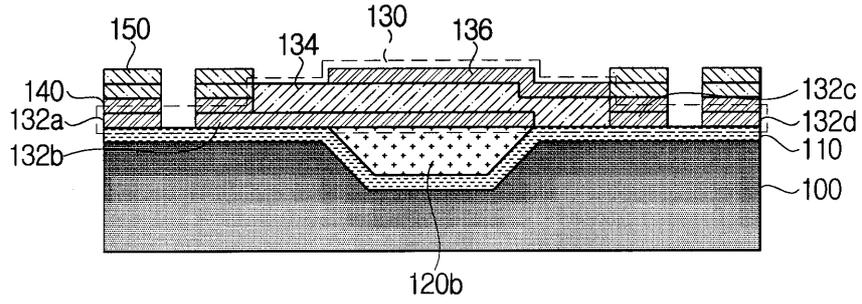
도면2f



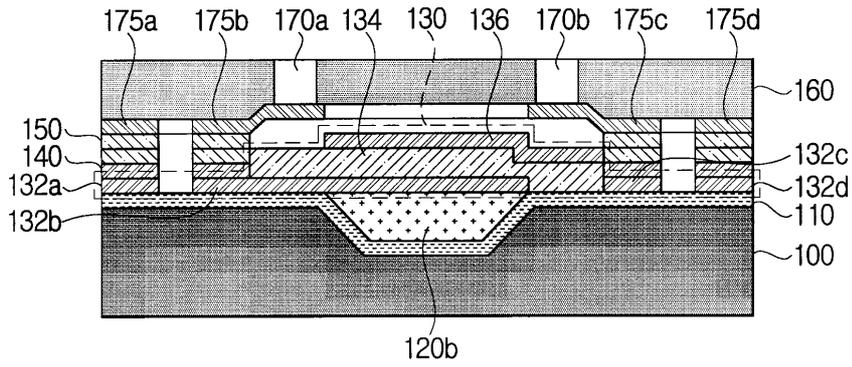
도면2g



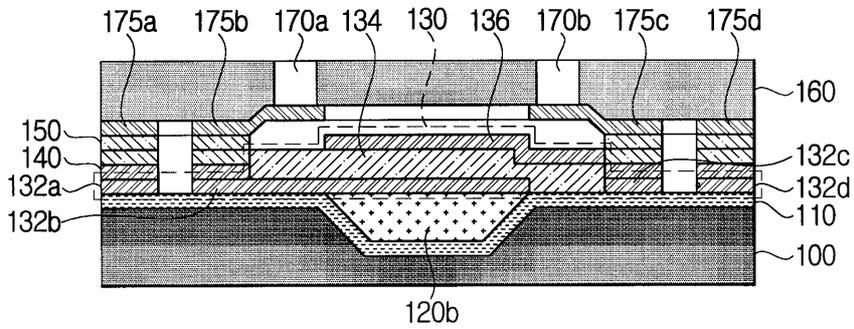
도면2h



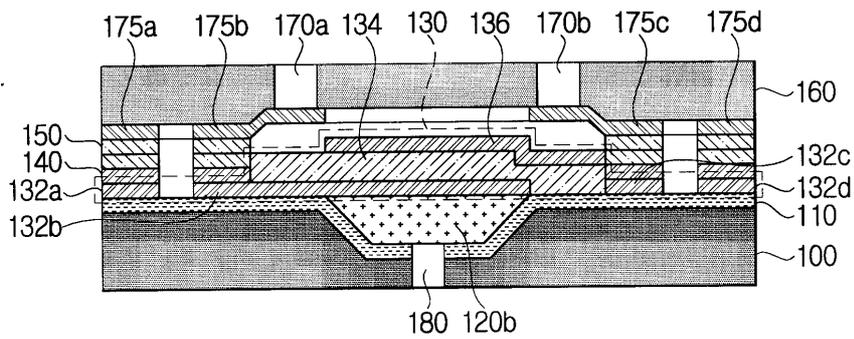
도면2i



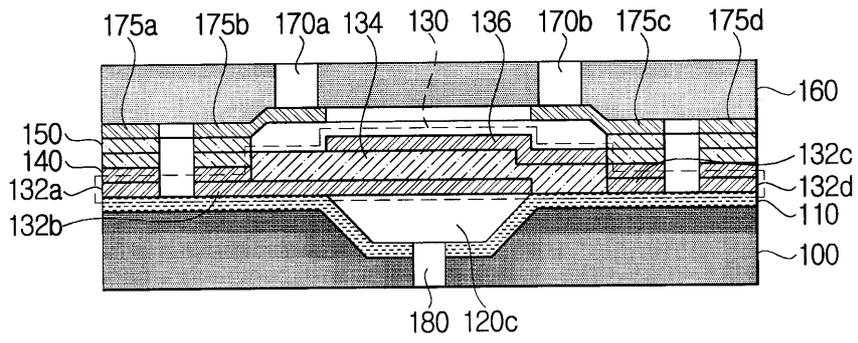
도면2j



도면2k



도면21



도면2m

