

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200610156392.6

G02F 1/1362 (2006.01)

G02F 1/1333 (2006.01)

G02F 1/133 (2006.01)

H01L 21/00 (2006.01)

G03F 7/20 (2006.01)

[45] 授权公告日 2010年2月24日

[11] 授权公告号 CN 100592180C

[22] 申请日 2006.12.29

[21] 申请号 200610156392.6

[30] 优先权

[32] 2006.6.30 [33] KR [31] 10-2006-0061669

[32] 2006.12.7 [33] KR [31] 10-2006-0124001

[73] 专利权人 乐金显示有限公司

地址 韩国首尔

[72] 发明人 金荣柱 李锡宇 朴秀婷

[56] 参考文献

US6225966B1 2001.5.1

JP2004-4991A 2004.1.8

JP2000-216399A 2000.8.4

CN1290922A 2001.4.11

JP11-223834A 1999.8.17

CN1677209A 2005.10.5

审查员 李剑韬

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 梁挥

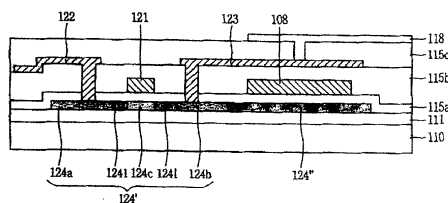
权利要求书 7 页 说明书 14 页 附图 19 页

[54] 发明名称

液晶显示器及其制造方法

[57] 摘要

本发明公开一种液晶显示器及其制造方法。该制造方法包括制备限定像素部分的 TFT 区域的绝缘基板；在基板上形成有源层以覆盖像素部分的 TFT 区域；在有源层上形成像素部分的栅极；在有源层中位于像素部分的栅极两侧处形成像素部分的源区和像素部分的漏区；在具有像素部分的漏区的基板上形成具有第一接触孔和第二接触孔的钝化膜，所述第一接触孔和第二接触孔分别暴露像素部分的源区和像素部分的漏区；在钝化膜上顺序形成透明导电膜和金属膜；以及有选择地蚀刻所述金属膜和透明导电膜以形成顺序沉积以覆盖第一接触孔的像素部分的源极图案/像素部分的源极以及顺序沉积以覆盖第二接触孔的像素部分的漏极图案/像素部分的漏极。



- 1、一种制造液晶显示器的方法，包括：
制备限定有像素部分的 TFT 区域的绝缘基板；
在基板上形成有源层以覆盖像素部分的 TFT 区域；
在有源层上形成像素部分的栅极；
在有源层中位于像素部分的栅极两侧形成像素部分的源区和像素部分的漏区；
在具有像素部分的漏区的基板上形成具有第一接触孔和第二接触孔的钝化膜，所述第一接触孔和第二接触孔分别暴露像素部分的源区和像素部分的漏区；
在钝化膜上顺序形成透明导电膜和金属膜；
在金属膜上形成绝缘膜；以及
有选择地蚀刻所述绝缘膜、所述金属膜和透明导电膜以在像素部分形成顺序沉积以覆盖第一接触孔的源极图案、源极和所述源极上的第一绝缘图案，以及形成顺序沉积以覆盖第二接触孔的像素部分的漏极图案、漏极和所述漏极上的第二绝缘图案。
- 2、根据权利要求 1 所述的方法，其特征在于，还包括在形成像素部分的栅极之前在具有有源层的基板上形成栅绝缘膜。
- 3、根据权利要求 1 所述的方法，其特征在于，通过在具有像素部分的漏区的基板上沉积和活化退火硅氧化物膜并且在该活化的硅氧化物膜上沉积和氢化退火硅氮化物膜而形成钝化膜。
- 4、根据权利要求 1 所述的方法，其特征在于，通过在具有漏区的基板上顺序形成硅氧化物膜和硅氮化物膜并且在退火该硅氧化物膜和硅氮化物膜后同时进行所述硅氧化物膜的活化和硅氮化物膜的氢化而形成所述钝化膜。
- 5、根据权利要求 1 所述的方法，其特征在于，通过在具有漏区的基板上顺序形成硅氧化物膜、硅氮化物膜和硅氧化物膜而形成所述钝化膜。
- 6、根据权利要求 1 所述的方法，其特征在于，还包括在形成所述钝化膜后形成充填于所述第一接触孔和第二接触孔中的隔离金属图案。
- 7、根据权利要求 6 所述的方法，其特征在于，通过在钝化膜上形成隔离

金属膜以覆盖所述第一接触孔和第二接触孔、在具有隔离金属膜的基板上沉积阻挡膜、灰化所述阻挡膜以形成暴露隔离金属膜并剩余在所述第一接触孔和第二接触孔中的阻挡膜图案、蚀刻由阻挡膜图案暴露的隔离金属膜以及去除该阻挡膜图案而形成所述隔离金属图案。

8、根据权利要求7所述的方法，其特征在于，所述隔离金属膜由钼膜形成。

9、根据权利要求7所述的方法，其特征在于，所述隔离金属膜的厚度为 $0.5\mu\text{m}$ 至 $0.1\mu\text{m}$ 。

10、根据权利要求1所述的方法，其特征在于，通过使用单一掩模的衍射曝光形成所述像素部分的源极图案、像素部分的源极、像素部分的漏极图案和像素部分的漏极。

11、一种制造液晶显示器的方法，包括：

制备绝缘基板，所述绝缘基板限定有像素部分的 TFT 区域、栅焊盘区域以及设置在像素部分的 TFT 区域和栅焊盘区域之间的密封线区域；

在基板上形成有源层以覆盖像素区域的 TFT 区域；

在有源层上形成像素部分的栅极并且同时在基板的栅焊盘区域上形成栅焊盘；

在有源层中位于像素部分的栅极两侧处形成像素部分的源区和像素部分的漏区；

在具有像素部分的漏区的基板上形成具有第一接触孔和第二接触孔以及开口部分的钝化膜，所述第一接触孔和第二接触孔分别暴露像素部分的源区和像素部分的漏区，所述开口部分暴露所述栅焊盘；

在钝化膜上顺序形成透明导电膜和金属膜；以及

有选择地蚀刻所述金属膜和透明导电膜以形成顺序沉积以覆盖第一接触孔的像素部分的源极图案和像素部分的源极、顺序沉积以覆盖第二接触孔的像素部分的漏极图案和像素部分的漏极以及顺序沉积以覆盖开口部分和密封线区域的焊盘部分的透明导电膜图案和焊盘部分的金属膜图案。

12、根据权利要求11所述的方法，其特征在于，还包括在形成焊盘部分的透明导电膜图案和焊盘部分的金属膜图案之后，有选择地蚀刻该焊盘部分的金属膜图案以暴露所述密封线区域，并且在所述密封线区域中形成密封线。

13、根据权利要求 11 所述的方法，其特征在于，通过使用单一掩模的衍射曝光来形成所述像素部分的源极图案和像素部分的源极、像素部分的漏极图案和像素部分的漏极以及焊盘部分的透明导电膜图案和焊盘部分的金属膜图案。

14、一种制造液晶显示器的方法，包括：

制备绝缘基板，所述绝缘基板限定有像素部分的 TFT 区域和电路部分，所述电路部分被划分为 n 沟道 TFT 区域和 p 沟道 TFT 区域；

在同一平面内在所述基板上形成第一有源层、第二有源层以及第三有源层以分别覆盖像素部分的 TFT 区域、所述电路部分的 n 沟道 TFT 区域和 p 沟道 TFT 区域；

在第三有源层上形成电路部分的第一栅极；

在第三有源层中位于电路部分的第一栅极两侧处顺序形成电路部分的第一源区和电路部分的第一漏区；

在第一有源层上形成像素部分的栅极，在第二有源层上形成电路部分的第二栅极；

在第一有源层中位于像素部分的栅极两侧处形成像素部分的源区和像素部分的漏区，并且同时在第二有源层中位于电路部分的第二栅极两侧处形成电路部分的第二源区和电路部分的第二漏区；

在具有电路部分的第二漏区的基板上形成具有第一接触孔、第二接触孔、第三接触孔、第四接触孔、第五接触孔和第六接触孔的钝化膜，所述第一接触孔、第二接触孔、第三接触孔、第四接触孔、第五接触孔和第六接触孔分别暴露像素部分的源区、像素部分的漏区、电路部分的第二源区、电路部分的第二漏区、电路部分的第一源区以及电路部分的第一漏区；

在钝化膜上顺序形成透明导电膜和金属膜；以及

有选择地蚀刻所述金属膜和透明导电膜以形成顺序沉积以覆盖第一、第三和第五接触孔的像素部分的源极图案和像素部分的源极、电路部分的第二源极图案和电路部分的第二源极以及电路部分的第一源极图案和电路部分的第一源极，并且同时形成顺序沉积以覆盖第二、第四和第六接触孔的像素部分的漏极图案和像素部分的漏极、电路部分的第二漏极图案和电路部分的第二漏极以及电路部分的第一漏极图案和电路部分的第一漏极。

15、根据权利要求 14 所述的方法，其特征在于，还包括在形成所述钝化膜之后形成充填于所述第一接触孔和第二接触孔中的隔离金属图案。

16、根据权利要求 15 所述的方法，其特征在于，通过在钝化膜上形成隔离金属膜以覆盖所述第一接触孔和第二接触孔、在具有隔离金属膜的基板上沉积阻挡膜、灰化所述阻挡膜以形成暴露隔离金属膜并剩余在所述第一接触孔和第二接触孔中的阻挡膜图案、蚀刻由阻挡膜图案暴露的隔离金属膜并且去除该阻挡膜图案而形成隔离金属图案。

17、根据权利要求 16 所述的方法，其特征在于，所述隔离金属膜由厚度为 $0.5\mu\text{m}$ 至 $0.1\mu\text{m}$ 的钼膜形成。

18、根据权利要求 14 所述的方法，其特征在于，通过使用单一掩模的衍射曝光来形成被顺序沉积的像素部分的源极图案和像素部分的源极、电路部分的第二源极图案和电路部分的第二源极、电路部分的第一源极图案和电路部分的第一源极、像素部分的漏极图案和像素部分的漏极、电路部分的第二漏极图案和电路部分的第二漏极以及电路部分的第一漏极图案和电路部分的第一漏极。

19、一种液晶显示器，包括：

由像素部分的 TFT 区域所限定的绝缘基板；

形成在所述基板上以覆盖像素部分的 TFT 区域的有源层；

形成在所述有源层上的像素部分的栅极；

在所述有源层中形成在像素部分的栅极两侧的像素部分的源区和像素部分的漏区；

形成在具有像素部分的漏区的基板上并且具有第一接触孔和第二接触孔的钝化膜，所述第一接触孔和第二接触孔分别暴露像素部分的源区和像素部分的漏区；

顺序沉积在所述钝化膜上以覆盖第一接触孔的像素部分的源极图案和像素部分的源极以及顺序沉积在所述钝化膜上以覆盖第二接触孔的像素部分的漏极图案和像素部分的漏极；以及

所述源极上的第一绝缘图案和所述漏极上的第二绝缘图案。

20、根据权利要求 19 所述的液晶显示器，其特征在于，还包括插入在所述有源层和像素部分的栅极之间的栅绝缘膜。

21、根据权利要求 19 所述的液晶显示器，其特征在于，所述钝化膜由单层硅氮化物膜（ SiN_x ）、顺序沉积的硅氧化物膜（ SiO_2 ）和硅氮化物膜（ SiN_x ）以及顺序沉积的硅氧化物膜（ SiO_2 ）、硅氮化物膜（ SiN_x ）和硅氧化物膜（ SiO_2 ）的其中之一形成。

22、根据权利要求 19 所述的液晶显示器，其特征在于，还包括形成在所述第一接触孔和第二接触孔中并且插入在像素部分的源区和源极图案之间以及像素部分的漏区和漏极图案之间的隔离金属图案。

23、根据权利要求 22 所述的液晶显示器，其特征在于，所述隔离金属图案由钼膜形成。

24、根据权利要求 19 所述的液晶显示器，其特征在于，所述像素部分的源极图案和像素部分的漏极图案由透明导电膜形成，并且所述像素部分的源极和像素部分的漏极由金属膜形成。

25、根据权利要求 19 所述的液晶显示器，其特征在于，所述像素部分的漏极图案为像素电极。

26、一种液晶显示器，包括：

绝缘基板，其由像素部分的 TFT 区域、栅焊盘区域以及设置在像素部分的 TFT 区域和栅焊盘区域之间的密封线区域限定；

形成在所述基板上以覆盖所述像素部分的 TFT 区域的有源层；

分别形成在所述基板上的栅焊盘区域上和有源层上的栅极和栅焊盘；

在有源层中位于像素部分的栅极两侧处的像素部分的源区和像素部分的漏区；

在具有像素部分的漏区的基板上具有第一接触孔和第二接触孔以及开口部分的钝化膜，所述第一接触孔和第二接触孔分别暴露像素部分的源区和像素部分的漏区，所述开口部分暴露所述栅焊盘；

顺序沉积以覆盖第一接触孔的像素部分的源极图案和像素部分的源极、顺序沉积以覆盖第二接触孔的像素部分的漏极图案和像素部分的漏极以及覆盖开口部分和密封线区域的焊盘部分的透明导电膜图案。

27、根据权利要求 26 所述的液晶显示器，其特征在于，还包括形成在第一接触孔和第二接触孔中并且插入在像素部分的源区和源极图案之间以及像素部分的漏区和漏极图案之间的隔离金属图案。

28、根据权利要求 27 所述的液晶显示器，其特征在于，所述隔离金属图案由钼膜形成。

29、根据权利要求 26 所述的液晶显示器，其特征在于，所述像素部分的源极图案、像素部分的漏极图案以及焊盘部分的透明导电膜图案由透明导电膜形成，并且所述像素部分的源极和像素部分的漏极由金属膜形成。

30、一种液晶显示器，包括：

绝缘基板，其由像素部分的 TFT 区域和电路部分限定，所述电路部分被划分为 n 沟道 TFT 区域和 p 沟道 TFT 区域；

在所述基板的同一平面上的第一有源层、第二有源层以及第三有源层，从而分别覆盖像素部分的 TFT 区域、n 沟道 TFT 区域和 p 沟道 TFT 区域；

分别形成在所述第一有源层、第二有源层以及第三有源层上的像素部分的栅极以及电路部分的第二和第一栅极；

形成在第一有源层中位于像素部分的栅极两侧处的像素部分的源区和像素部分的漏区，形成在第二有源层中位于电路部分的第二栅极两侧处的电路部分的第二源区和电路部分的第二漏区，以及形成在第三有源层中位于电路部分的第一栅极两侧处的电路部分的第一源区和电路部分的第一漏区；

形成在具有电路部分的第一漏区的基板上的钝化膜，所述钝化膜具有分别暴露像素部分的源区、像素部分的漏区、电路部分的第二源区、电路部分的第二漏区、电路部分的第一源区以及电路部分的第一漏区的第一接触孔、第二接触孔、第三接触孔、第四接触孔、第五接触孔和第六接触孔；以及

顺序沉积在所述钝化膜上以覆盖第一接触孔的像素部分的源极图案和像素部分的源极，相继沉积以覆盖第二接触孔的像素部分的漏极图案和像素部分的漏极，顺序沉积以覆盖第三接触孔的电路部分的第二源极图案和电路部分的第二源极，顺序沉积以覆盖第四接触孔的电路部分的第二漏极图案和电路部分的第二漏极，顺序沉积以覆盖第五接触孔的电路部分的第一源极图案和电路部分的第一源极，以及顺序沉积以覆盖第六接触孔的电路部分的第一漏极图案和电路部分的第一漏极。

31、根据权利要求 30 所述的液晶显示器，其特征在于，还包括填充于所述第一接触孔、第二接触孔、第三接触孔、第四接触孔、第五接触孔和第六接触孔中并且分别插入在像素部分的源区和像素部分的源极图案之间、像素部分

的漏区和像素部分的漏极图案之间、电路部分的第二源区和电路部分的第二源极图案之间、电路部分的第二漏区和电路部分的第二漏极图案之间、电路部分的第一源区和电路部分的第一源极图案之间以及电路部分的第一漏区域和电路部分的第一漏极图案之间的隔离金属图案。

32、根据权利要求 31 所述的液晶显示器，其特征在于，所述隔离金属图案由钼膜形成。

33、根据权利要求 30 所述的液晶显示器，其特征在于，所述像素部分的源极图案和像素部分的漏极图案、电路部分的第二源极图案和电路部分的第二漏极图案以及电路部分的第一源极图案和电路部分的第一漏极图案由透明导电膜形成，并且所述像素部分的源极和像素部分的漏极、电路部分的第二源极和电路部分的第二漏极以及电路部分的第一源极和电路部分的第一漏极由金属膜形成。

液晶显示器及其制造方法

本发明中所公开的内容涉及于 2006 年 6 月 30 日和 2006 年 12 月 7 日提交的在先韩国专利申请 No. 10-2006-0061669 和 No.10-2006-124001, 在此引入其全部内容作为参考。

技术领域

本发明涉及一种液晶显示器及其制造方法, 更具体地, 涉及一种通过减少掩模数量来简化制造工序步骤和提高产量的液晶显示器及其制造方法。

背景技术

在现代信息社会中, 作为信息传输媒体的显示器得到重视。研发显示器的关键在于对能耗低、外形薄、重量轻以及图像质量高的需求。作为平板显示器 (FPD) 中的主流器件的液晶显示器 (LCD), 其性能可满足上述需求并且可进行大规模生产。因此, 制造了基于 LCD 的各种新产品, 并且 LCD 作为替代阴极射线管 (CRT) 的主要部件已被广泛使用。

通常, LCD 根据图像信息通过向排列为矩阵形状的多个液晶显示单元分别提供数据信号并且控制多个液晶显示单元的透光率来显示所需图像。

LCD 主要使用有源矩阵驱动模式, 其中非晶硅薄膜晶体管 (a-Si TFT) 用开关元件, 以驱动像素部分的液晶。

正如 1979 英国的 LeComber 所创建的理论, 自 1986 年以来, 非晶硅薄膜晶体管已经实际应用于 3" 的液晶便携电视中。近来, 开发了 50" 或更大的大尺寸薄膜晶体管 LCD。尤其是, 由于非晶硅薄膜晶体管满足使用低成本绝缘基板的低温工序步骤, 因此而被积极使用。

然而, 由于非晶硅薄膜晶体管 $1\text{cm}^2/\text{Vsec}$ 的电子迁移率, 其在需要高于 1MHz 的高速操作外围设备中使用存在限制, 这样, 展开了针对使用多晶硅 (poly-Si) 薄膜晶体管在玻璃基板上同时集成像素部分和驱动电路部分的研究, 其中多晶硅薄膜晶体管的场效应迁移率高于非晶硅薄膜晶体管的场效应迁

移率。

由于自 1982 年发展了液晶彩色电视，多晶硅薄膜晶体管已经被用于诸如可携式摄像机的小尺寸模块中。由于多晶硅薄膜晶体管具有低灵敏性和高电场效应迁移率的优点，所以可在基板上直接制造驱动电路。

迁移率的增大可改善用于确定驱动像素数目的驱动电路部分的操作频率。其使显示器更加优良。同样，由于通过减少像素部分信号电压的充电时间可减少传输信号的失真，所以有可能预期图像质量的改善。

另外，与具有 25V 高驱动电压的非晶硅薄膜晶体管相比，由于多晶硅薄膜晶体管可由小于 10V 的电压进行驱动，所以其具有低能耗的优点。

在下文中将参考图 1 来详细说明 LCD 的结构。

图 1 为现有技术中 LCD，特别是在阵列基板上集成驱动电路的 LCD，的结构平面图。

如图 1 所示，LCD 包括滤色片基板 5、阵列基板 10 以及形成于滤色片基板 5 和阵列基板 10 之间的液晶层（未示出）。

阵列基板 10 包括像素部分 35 和驱动电路部分 30，其中像素部分 35 为单元像素排列为矩阵形式的图像显示区域，并且驱动电路部分 30 包括数据驱动电路 31 和栅驱动电路 32，其沿像素部分 35 的外围进行设置。虽然未示出，阵列基板 10 的像素部分 35 包括以垂直和水平方向设置在基板 10 上的多条栅线和数据线以限定多个像素区域，形成在栅线和数据线相交叉部分处的多个薄膜晶体管，以及形成于像素区域中的像素电极。

各薄膜晶体管作为开关元件施加或阻挡信号电压流入像素电极，并且为使用电场控制电流流动的场效应晶体管（FET）。

阵列基板 10 的驱动电路部分 30 位于阵列基板 10 比滤色片基板 5 更突出的像素部分 35 的外围。数据驱动电路 31 位于突出的阵列基板 10 的长边而栅驱动电路 32 位于突出的阵列基板 10 的短边。

此时，在数据驱动电路 31 和栅驱动电路 32 中，使用作为转换器的互补金属氧化物半导体（CMOS）结构的薄膜晶体管以正确地输出一输入信号。

CMOS 为一种用于驱动电路部分的薄膜晶体管的 MOS 结构的集成电路，该驱动电路部分需要高速信号处理，CMOS 需要 n 沟道薄膜晶体管和 p 沟道薄膜晶体管，并且具有相应于 NMOS 和 PMOS 的中间级别的速度和密度特性。

栅驱动电路 32 和数据驱动电路 31 分别经栅线和数据线向像素电极提供扫描信号和数据信号。由于电路 32 和 31 与外部信号输入端（未示出）相连接，因而其经外部信号输入端控制外部信号输入并将其输出至像素电极。

此外，滤色片基板 5 的像素部分 35 包括显示颜色的滤色片（未示出），以及形成在基板 10 中用作像素电极的相对电极的公共电极（未示出）。

具有如上结构的滤色片基板 5 和阵列基板 10 具有盒间隙，以使其通过衬垫料（未示出）而相互间隔开。滤色片基板 5 和阵列基板 10 通过形成在像素部分 35 外围的密封图案（未示出）而彼此粘接以形成单元 LCD 板。此时，基板 5 和 10 通过形成在滤色片基板 5 或者阵列基板 10 中的粘接标记而彼此粘接。

由于前述具有驱动电路的 LCD 使用多晶硅薄膜晶体管，因而其具有优异的器件特性、良好的图像质量、出色以及低能耗的特点。

然而，由于具有驱动电路的 LCD 应具有形成在单个基板上的 n 沟道薄膜晶体管和 p 沟道薄膜晶体管，因而其制造工序步骤比仅形成单一类型沟道的非晶硅薄膜晶体管的制造工序步骤更加复杂。

在制造包括薄膜晶体管的阵列基板时，需要多次光刻工序。

光刻工序包括通过将印刷在掩模的图案转印到沉积有薄膜的基板上而形成所需图案的一系列工序步骤，其中该一系列工序步骤包括光刻胶的涂覆、曝光和显影工序步骤。这样，由于光刻工序降低了产量并增加了具有缺陷的薄膜晶体管的可能性，所以会出现问题。

尤其是，由于设计用于形成图案的掩模非常昂贵，因此如果用于工序步骤的掩模数量增加，则相应的增加了 LCD 的制造成本。

发明内容

因此，本发明的目的在于提供一种液晶显示器及其制造方法，其减少了掩模数量以简化制造工序步骤并提高产量。

为了实现这些和其它优点并根据本发明的目的，如同这里具体和广义所描述的，提供一种制造液晶显示器的方法，包括：制备限定像素部分的 TFT 区域的绝缘基板；在基板上形成有源层以覆盖像素部分的 TFT 区域；在有源层上形成像素部分的栅极；在有源层中位于像素部分的栅极两侧处形成像素部分的源区和像素部分的漏区；在具有像素部分的漏区的基板上形成具有第一接触

孔和第二接触孔的钝化膜,所述第一接触孔和第二接触孔分别暴露像素部分的源区和像素部分的漏区;在钝化膜上顺序形成透明导电膜和金属膜;以及有选择地蚀刻所属金属膜和透明导电膜以形成顺序沉积以覆盖第一接触孔的像素部分的源极图案/像素部分的源极,以及顺序沉积以覆盖第二接触孔的像素部分的漏极图案/像素部分的漏极。

在本发明的另一方面中,提供一种液晶显示器,其包括:由像素部分的 TFT 区域限定的绝缘基板;形成在所述基板上以覆盖像素部分的 TFT 区域的有源层;形成在所述有源层上的像素部分的栅极;在有源层中形成在像素部分的栅极两侧处的像素部分的源区和像素部分的漏区;形成在具有像素部分的漏区的基板上并且具有第一接触孔和第二接触孔的钝化膜,所述第一接触孔和第二接触孔分别暴露像素部分的源区和像素部分的漏区;顺序沉积在所述钝化膜上以覆盖第一接触孔的像素部分的源极图案/像素部分的源极,以及顺序沉积在所述钝化膜上以覆盖第二接触孔的像素部分的漏极图案/像素部分的漏极。

结合附图,在接下来的关于本发明的详细说明中,本发明的上述和其他目的、特点、方面以及优点将会更加清楚。

附图说明

附图提供对本发明的进一步理解,其包含在说明书中并构成说明书的一部分,说明本发明的实施方式并且与说明书一起用于阐述本发明的原理。

在附图中:

图 1 为具有驱动电路的现有 LCD 结构的平面图;

图 2 为根据本发明第一实施方式的 LCD 阵列基板的部分平面图;

图 3A 至 3I 为沿图 2 中的线 II-II'提取的顺序制造工序步骤的截面图;

图 4 为根据本发明第二实施方式的 LCD 阵列基板的部分平面图;

图 5A 至 5K 为沿图 4 中的线 III-III'提取的截面图;

图 6 为根据本发明第二实施方式的 LCD 阵列基板的焊盘部分的平面图;

以及

图 7A 至 7F 为沿图 6 中的线 IV-IV'提取的截面图。

具体实施方式

将参照附图详细描述本发明的优选实施方式。

图 2 为根据本发明第一实施方式的 LCD 阵列基板的部分平面图。特别是，图 2 表示了包括像素部分的薄膜晶体管的一个像素。

虽然实际的 LCD 包括由 N 条栅线和 M 条数据线形成的 MxN 个像素，其中栅线与数据线相交叉，但为了简要说明，图 2 中表示了一个像素。

如图 2 所示，根据本发明第一实施方式的阵列基板 110 包括以垂直和水平方向设置在基板 110 上以限定像素区域的栅线 116 和数据线 117，设置在栅线 116 和数据线 117 相交叉部分的薄膜晶体管，以及形成在像素区域中并且与薄膜晶体管相连接的像素电极 118，其连同滤色片基板的公共电极（未示出）一起驱动液晶（未示出）。

薄膜晶体管包括与栅线 116 相连接的栅极 121，与数据线相连接的源极 122，以及与像素电极 118 相连接的漏极 123。薄膜晶体管还包括使用提供到栅极 121 的栅电压来形成位于源极 122 和漏极 123 之间的导电沟道的有源图案 124'。

此时，第一实施方式的有源图案 124' 由多晶硅薄膜形成，并且部分有源图案 124' 延伸到像素区域以与连同公共线 108 一起组成第一存储电容的存储图案 124'' 相连接。换句话说，形成在像素区域中的公共线 108 基本上与栅线 116 方向相同，并且通过插入第一绝缘膜（未示出）而重叠于其下方的存储图案 124'' 以形成第一存储电容。此时，经单独掩模工序通过存储掺杂构成有源图案 124' 的多晶硅薄膜来形成第一实施方式的存储图案 124''。

源极 122 和漏极 123 经分别形成在第一绝缘膜和第二绝缘膜（未示出）中的第一接触孔 140a 和第二接触孔 140b 电连接于有源图案 124' 的源区和漏区。同样，沿一方向延伸部分源极 122 以形成部分数据线 117，并且将部分漏极 123 延伸至像素区域以经形成在第三绝缘膜（未示出）中的第三接触孔 140 电连接于像素电极 118。

此时，通过插入第二绝缘膜，延伸至像素区域的部分漏极 123 重叠于其下方的公共线 108 以形成第二存储电容。

在下文中，参考图 3A 至 3I 来说明上述阵列基板的制造工序步骤。

图 3A 至 3I 为沿图 2 中的线 II-II' 提取的顺序制造工序步骤的截面图。图

3A 至 3I 示例性的说明了具有 n 沟道 TFT 的像素部分的阵列基板的制造工序。

如图 3A 所示, 在诸如玻璃的透明绝缘材料的基板 110 上形成硅薄膜并然后对其结晶以形成多晶硅薄膜。此时, 基板 110 由像素部分和电路部分(未示出)所限定, 其中像素部分被划分为 n 沟道 TFT 区域和存储区域, 并且电路部分被划分为 n 沟道 TFT 区域和 p 沟道 TFT 区域。然后, 蚀刻该多晶硅薄膜以形成多晶硅薄膜图案 124, 其包括有源图案和存储图案(第一掩模工序)。此时, 缓冲层 111 夹在基板 110 和多晶硅薄膜图案 124 之间。

如图 3B 所示, 多晶硅薄膜图案 124 由光刻胶的单独掩模(未示出)进行部分覆盖以进行掺杂, 从而形成存储图案 124”。由光刻胶覆盖的部分多晶硅薄膜 124 形成有源图案 124’ (第二掩模工序)。

如图 3C 所示, 第一绝缘膜 115a 和第一导电膜顺序形成在基板 100 的整个表面上, 并然后有选择地蚀刻第一导电膜以在有源图案 124’ 上形成第一导电膜的栅极 121, 并同时在存储图案 124” 上形成第一导电膜的公共线(第三掩模工序)。

第一导电膜由低电阻的不透明导电材料形成, 如铝(Al)、Al 合金、钨(W)、铜(Cu)、铬(Cr)和钼(Mu), 从而形成栅极 121 和公共线 108。此时, 在像素区域中, 通过插入第一绝缘膜 115a, 公共线 108 重叠于其下方的存储图案 124” 以形成第一存储电容。

如图 3D 所示, 在具有栅极 121 和公共线 108 的基板上形成第一阻挡膜 170。对该第一阻挡膜 170 进行构图以覆盖像素部分的阵列基板 110 的整个表面以及电路部分的 n 沟道 TFT 区域并且暴露 p 沟道 TFT 区域。其中, 电路部分未示出。然后, 使用第一阻挡膜 170 作为掩模将高掺杂 p⁺离子植入电路部分的 p 沟道 TFT 区域以形成 p⁺源区和漏区(未示出)(第四掩模工序)。

如图 3E 所示, 去除第一阻挡膜。随后, 在具有 p⁺源区和漏区的基板上形成第二阻挡膜 170’。对第二阻挡膜 170’ 进行构图以覆盖电路部分的 p 沟道 TFT 区域, 像素/电路部分的部分 n 沟道 TFT 区域, 以及存储区域。然后, 使用第二阻挡膜 170’ 作为掩模将高掺杂 n⁺离子植入像素部分的有源图案 124’, 从而在像素部分的有源图案 124’ 中形成 n⁺源区 124a 和漏区 124b(第五掩模工序)。

如图 3F 所示, 去除第二阻挡膜 170’, 并且然后将轻掺杂 n-离子植入已去除第二阻挡膜的基板 110 的整个表面, 从而形成轻掺杂漏(LDD)区 124I。在

图 3F 中,附图标记 124c 表示在源区 124a 和漏区 124b 之间形成导电沟道的沟道区域。更详细的,在源区 124a 和沟道区 124c 之间以及漏区 124b 和沟道区 124c 之间形成 LDD 区 124I。同时,虽然未示出,在像素部分的 n 沟道 TFT 区域中形成 LDD 区 124I 的同时,也将 n-离子植入电路部分的 n 沟道 TFT 区域中以形成 LDD 区。

然后,在将第二绝缘膜 115b 沉积在具有 LDD 区 124I 的基板 110 的整个表面之后,第一绝缘膜 115a 和第二绝缘膜 115b 被部分去除以形成第一接触孔 140a 和第二接触孔 140b,其中第一接触孔 140a 部分暴露源区 124a,以及第二接触孔 140b 部分暴露漏区 124b (第六掩模工序)。

如图 3G 所示,在基板 100 的整个表面上形成第二导电膜并且然后有选择地进行蚀刻以形成经第一接触孔 140a 电连接于源区 124a 的源极 122 并且还形成经第二接触孔 140b 电连接于漏区 124b 的漏极 123 (第七掩模工序)。

此时,沿一方向延伸像素部分的部分源极 122 以形成数据线 117,并且通过插入第二绝缘层 115b,将像素部分的部分漏极 123 延伸至像素区域并且重叠于其下方的公共线 108 以形成第二存储电容。

如图 3H 所示,将第三绝缘层 115c 沉积在基板 110 的整个表面上并且然后有选择地进行蚀刻以形成部分暴露漏极 123 的第三接触孔 140c (第八掩模工序)。

如图 3I 所示,在形成有第三绝缘膜 115c 的基板 110 的整个表面上形成第三导电膜,并且然后有选择地进行蚀刻以形成经第三接触孔 140c 电连接于漏极 123 的像素电极 118 (第九掩模工序)。

第三导电膜可由具有优异透射率的透明导电材料形成,例如铟锡氧化物 (ITO) 或者铟锌氧化物 (IZO),以形成像素电极 118。

如上所述,在本发明的第一实施方式中,由多晶硅薄膜形成有源图案和存储电极,并且通过单轮掩模工序为存储图案进行存储掺杂,从而可通过全部九个掩模工序来制造像素部分和电路部分的 TFT。

图 4 为根据本发明第二实施方式的 LCD 阵列基板部分的平面图。

如图 4 所示,根据本发明第二实施方式的绝缘基板 201 包括以垂直和水平方向设置以限定像素区域的栅线 213G 和数据线 240。绝缘基板 201 对应于阵列基板。作为开关器件的薄膜晶体管 (TFT) 形成在栅线 213G 和数据线 240

相交叉的部分,并且作为像素电极的像素部分的漏极图案 219P2 形成在像素区域中并电连接于 TFT,该像素电极连同滤色片基板(未示出)的公共电极(未示出)一起驱动液晶(未示出)。

TFT 包括像素部分的栅极 213G2 以及像素部分的源极 221S1 和漏极 221D1,其中栅极 213G2 连接于栅线 213G,并且源极 221S1 和漏极 221D1 连接于数据线 240。该 TFT 还包括使用提供到栅极 213G2 的栅电压而在源极 221S1 和漏极 221D1 之间形成导电沟道的第一有源层 205P1A。第一有源层 205P1A 被划分为像素区域的源区 205P1AS 和像素区域的漏区 205P1AD。部分第一有源层 2305P1A 延伸至像素区域(确切的为存储区域),并且存储电极 205S 形成在第一有源层 2305P1A 的延伸部分上。

沿基本与栅线 213G 相同的方向在像素区域中形成公共线 213C。通过在公共线 213C 和存储电极 205S 之间插入栅绝缘膜(未示出)而将公共线 213C 重叠于存储电极 205S 从而形成存储电容。公共线 213C 可由与栅极 213G 相同的膜进行构图。

将钝化膜(未示出)设置在具有公共线 213C3 的基板上。在钝化膜和栅绝缘膜中形成第一接触孔 215H1 和第二接触孔 215H2,其中第一接触孔 215H1 暴露第一有源层 205P1A 的源区 205P1AS 并且第二接触孔 215H2 暴露像素部分的漏区 205P1AD。源极 221S1 和漏极 221D1 分别经第一接触孔 215H1 和第二接触孔 215H2 电连接于第一有源层 205P1A 的源区 205P1AS 和漏区 205P1AD。

像素部分的源极图案 219P1 插入在源极 221S1 和源区 205P1AS 之间。同样,漏极图案 219P2 插入在漏极 221D1 和漏区 205P1AD 之间。像素部分的漏极图案 219P2 设置为平行延伸至像素区域。此时,像素部分的漏极图案 219P2 对应于像素电极。

换句话说,源极图案 219P1 和漏极图案 219P2 分别设置在像素部分的源极 221S1 和像素部分的漏极 221D1 下方。以相同的膜对像素部分的漏极图案 219P2 和像素部分的源极图案 219P1 进行构图。以透明导电膜对漏极图案 219P2 和源极图案 219P1 进行构图。

图 5A 至 5K 为沿图 4 中的线 III-III'提取的截面图;图 7A 至 7F 为沿图 6 中的线 IV-IV'提取的截面图。在下文中,将参考图 5A 至 5K 和图 7A 至 7F 来

详细说明根据本发明第二实施方式制造 LCD 的方法。

如图 5A 和 7A 所示, 制备绝缘基板 201。在绝缘基板 201 中分别限定像素部分、电路部分、栅焊盘部分以及密封线部分, 其中像素部分被划分为 n 沟道 (或 p 沟道) TFT 区域和存储区域, 并且电路部分被划分为 n 沟道 TFT 区域和 p 沟道 TFT 区域。像素部分可具有 n 沟道 TFT 和 p 沟道 TFT。为了简便, 接下来将对像素部分的 n 沟道 TFT 区域进行说明。同样, 电路部分可具有 n 沟道 TFT 和 p 沟道 TFT 以形成 CMOS 结构。

接下来, 在绝缘基板 201 上顺序形成缓冲层 203 和多晶硅膜 205。以沉积和结晶非晶硅膜相同的方式形成多晶硅膜 205。然后, 在具有多晶硅膜 205 的基板上形成第一阻挡膜 231。此时, 将第一阻挡膜形成为覆盖部分有源层, 该有源层分别形成于像素部分的 n 沟道 TFT 区域、电路部分的 n 沟道 TFT 区域以及电路部分的 p 沟道 TFT 区域中。

如图 5B 所示, 使用第一阻挡膜作为掩模来蚀刻多晶硅膜以形成多晶硅膜的第一多晶硅图案 205P1、第二多晶硅图案 205P2 和第三多晶硅图案 205P3, 该第一多晶硅图案 205P1、第二多晶硅图案 205P2 和第三多晶硅图案 205P3 分别形成于像素部分的 n 沟道 TFT 区域、电路部分的 n 沟道 TFT 区域以及电路部分的 p 沟道 TFT 区域中 (第一掩模工序)。

如图 5C 所示, 去除第一阻挡膜。随后, 在具有第一多晶硅图案、第二多晶硅图案和第三多晶硅图案的基板上形成第二阻挡膜 233。此时, 将第二阻挡膜 233 形成为覆盖第一多晶硅图案 205P1、第二多晶硅图案 205P2 和第三多晶硅图案 205P3 并且暴露存储区域中的部分第一多晶硅图案。然后, 使用第二阻挡膜 233 作为掩模将杂质离子掺杂到基板中以形成存储电极 205S。除存储电极 205S 之外的第一多晶硅图案 205P1A 对应于像素部分的 n 沟道 TFT 区域的有源层, 第二多晶硅图案 205P2 对应于电路部分的 n 沟道 TFT 区域的有源层, 以及第三多晶硅图案对应于 p 沟道 TFT 区域的有源层。此时, 像素部分的 n 沟道 TFT 区域的有源层、电路部分的 n 沟道 TFT 区域的有源层以及电路部分的 p 沟道 TFT 区域的有源层被分别表示为第一有源层, 第二有源层和第三有源层 (第二掩模工序)。

如图 5D 所示, 去除第二阻挡膜。在具有第一多晶硅图案 205P1、第二多晶硅图案 205P2 和第三多晶硅图案 205P3 的基板上顺序形成栅绝缘膜 207、第

一金属膜 213 和第三阻挡膜 235。此时，栅绝缘膜 207 可为硅氧化物膜 (SiO_2)。同样，将第三阻挡膜 235 形成为覆盖像素部分、电路部分的 n 沟道 TFT 区域以及部分 p 沟道 TFT 区域。然后，使用第三阻挡膜 235 作为掩模蚀刻第一金属膜以在电路部分的 p 沟道 TFT 区域中电路部分的第一栅极 213G1 (第三掩模工序)。此时，由于像素部分和电路部分的 n 沟道 TFT 区域被第二阻挡膜 233 进行遮蔽，所以像素部分和电路部分的 n 沟道 TFT 区域的第一金属膜未被构图且保持原状。另外，以湿刻工序来执行第一金属膜的蚀刻工序。因而，电路部分的第一栅极 231G1 会在侧部被过蚀刻。去除第三阻挡膜。然后，对具有电路部分的第一栅极 213G1 的基板执行 p+ 掺杂。结果，在第三有源层 205P3 中形成电路部分的第一源区 205P3S 和电路部分的漏区 205P3D。

如图 5E 所示，在具有电路部分的第一源区 205P3S 和电路部分的漏区 205P3D 的基板上形成第四阻挡膜 237。此时，第四阻挡膜 237 形成为覆盖栅极和像素部分的公共线的一部分、电路部分的 n 沟道 TFT 区域中第二栅极的部分以及 p 沟道 TFT 区域。

如图 5F 和图 7A 所示，使用第三阻挡膜 237 蚀刻剩余的第一金属膜以形成公共线 213C 和具有像素部分的栅极 213G2 的栅线。同时，在电路部分的 n 沟道 TFT 区域中形成电路部分的第二栅极 213G2 以及在栅焊盘区域中形成第一金属层图案 213G4 (第四掩模工序)。此时，以湿刻对剩余的第一金属膜进行蚀刻。结果，像素部分的栅极 213G2 以及电路部分公共线 213C 和第二栅极 213G3 其侧面会被过蚀刻。

接着，对具有第四阻挡膜的基板执行 n+ 离子掺杂。结果，在像素部分的栅极 213G2 的两侧下方的第一有源层 205P1A 中形成像素部分的源区 205P1AS 和像素部分的漏区 205P1AD，并且在电路部分的栅极 213G3 的两侧下方的有源层 205P2 中形成电路部分的第二源区 205P2S 和电路部分的第二漏区 205P2D。

如图 5F 所示，去除第三阻挡膜，并且然后使用像素部分的栅极 213G2 和电路部分的第二栅极 213G3 作为掩模对基板的整个表面进行 LDD 掺杂 (n-)。结果，在第一有源层 205P1A 中形成第一 LDD 区 205P1AL，并且在第二有源层 205P2 中形成第二 LDD 区 205P2L。第一 LDD 区 205P1AL 和第二 LDD 区 205P2L 形成为与湿 CD 偏差相同，并且可在无单独掩模的情况下通过对基板

的整个表面进行掺杂来获得上述第一LDD区205P1AL和第二LDD区205P2L。

如图5G和7B所示,在具有第一LDD区205P1AL和第二LDD区205P2L的基板上形成钝化膜215。以预定顺序沉积的硅氧化物膜(SiO_2)和硅氮化物膜(SiN_x)可用作钝化膜221。此时,以如下方法形成钝化膜215:在沉积硅氧化物膜和进行活化退火后,沉积硅氮化物膜并进行氢化退火(第一方法)。可选择的,可以如下方法形成钝化膜215:顺序形成硅氧化物膜和硅氮化物膜并然后进行退火(第二方法)。如果由第二方法形成钝化膜215,可通过一次退火同时进行硅氧化物膜的活化和硅氮化物膜的氢化。

同时,单个硅氮化物膜可用作钝化膜215。如上所述,本发明采用包括硅氮化物膜作为钝化膜215的结构。这样,硅氮化物膜可作为进行氢化的氢源。

然而,如上所述,如果采用硅氧化物膜(SiO_2)/硅氮化物膜(SiN_x)的结构或者单个硅氮化物膜(SiN_x)的结构作为钝化膜215,则与具有相同沉积厚度的具有3.9的介电常数的硅氧化物膜相比较,硅氮化物膜具有6.5-7.0的介电常数并且各单元区域具有更高的电容。因此,在分别设置于钝化膜215的上方和下方的栅线 and 数据线之间的电效应增大并且因此信号延迟增大,从而会在高速操作和高分辨率方面发生问题。

为了解决上述问题,钝化膜215可形成为硅氧化物膜(SiO_2)/硅氮化物膜(SiN_x)/硅氧化物膜(SiO_2)的三层结构,其中具有低介电常数的硅氧化物膜被沉积在硅氮化物膜上。如果钝化膜215采用硅氧化物膜(SiO_2)/硅氮化物膜(SiN_x)/硅氧化物膜(SiO_2)的三层结构,则其各单元区域的电容小于具有相同沉积厚度的结构为硅氧化物膜(SiO_2)/硅氮化物膜(SiN_x)或结构为硅氮化物膜(SiN_x)。结果,在栅线和数据线之间的电效应减小并且因此信号延迟减小,从而可实现高速操作或高分辨率。

接下来,使用单个掩模(未示出)蚀刻钝化膜和栅绝缘膜以形成第一接触孔215H1、第二接触孔215H2、第三接触孔215H3、第四接触孔215H4、第五接触孔215H5和第六接触孔215H6以及开口部分215O(第五掩模工序)。第一接触孔215H1和第二接触孔215H2暴露像素部分的源区205P1AS和漏区205P1AD。同样,第三接触孔215H3和第四接触孔215H4暴露电路部分的第二源区205P2S和电路部分的第二漏区205P2D。第五接触孔215H5和第六接触孔215H6暴露电路部分的第一源区205P3S和电路部分的第一漏区205P3D。

开口部分 215O 暴露第一金属层图案 213G4。

接下来,在具有接触孔 215H1、215H2、215H3、215H4、215H5 和 215H6 以及开口部分 215O 的基板上形成隔离金属膜 217。此时,钼膜被用作隔离金属膜 217。此外,隔离金属膜 217 具有 300 Å 到 700 Å 的厚度,优选为 500 Å。然后,在具有隔离金属膜 217 的基板上沉积阻挡膜 239。此时,如果钝化膜具有 1.5 μm 到 2.5 μm 的厚度,优选为 2.0 μm,则以 0.5 μm 到 1.0 μm 的厚度来沉积阻挡膜 239,优选为 0.8 μm。

如图 5H 和 7C 所示,通过灰化阻挡膜 239 形成第四阻挡膜 239P。此时,形成第四阻挡膜 239P 以保留在第一接触孔 215H1、第二接触孔 215H2、第三接触孔 215H3、第四接触孔 215H4、第五接触孔 215H5 和第六接触孔 215H6 以及开口部分 215O 中,并且暴露钝化膜 215 的上表面。然后,通过对具有第四阻挡膜 239P 的基板进行湿刻来有选择地去除钝化膜 215 上的隔离金属膜。结果,形成隔离金属膜图案 217P 以覆盖第一接触孔 215H1、第二接触孔 215H2、第三接触孔 215H3、第四接触孔 215H4、第五接触孔 215H5 和第六接触孔 215H6 以及开口部分 215O。此时,根据钝化膜 215 的厚度 (>2.0 μm),隔离金属膜图案 217P 可形成为覆盖第一接触孔 215H1、第二接触孔 215H2、第三接触孔 215H3、第四接触孔 215H4、第五接触孔 215H5 和第六接触孔 215H6 的底部。隔离金属膜图案 217P 用于改善其后要形成的透明导电膜、像素部分的源区 205PA1S、像素部分的漏区 205PA1D、电路部分的第二源区 205P2S、电路部分的第二漏区 205P2S、电路部分的第一源区 205P3S 以及电路部分的第一漏区 205P3D 中的接触电阻。

如图 5I 和 7D 所示,去除第四阻挡膜,并且然后在具有隔离金属膜图案 217P 的基板上形成透明导电膜 219、第二金属膜 221 和绝缘膜 223。然后,在具有绝缘膜 223 的基板上使用狭缝或半色调掩模(未示出)形成第五阻挡膜 241。此时,第五阻挡膜 241 形成为覆盖对应于开口部分 215O 以及第一接触孔 215H1、第二接触孔 215H2、第三接触孔 215H3、第四接触孔 215H4、第五接触孔 215H5 和第六接触孔 215H6 的部分并使得电路部分的 n 沟道 TFT 区域、电路部分的 p 沟道 TFT 区域以及像素部分的 n 沟道 TFT 区域厚于像素部分的存储区域和栅焊盘部分。

如图 5J 和 7E 所示,使用第五阻挡膜作为掩模湿刻绝缘膜、第二金属膜和

透明导电膜。接下来，灰化第六阻挡膜并然后通过已灰化的第五阻挡膜图案 241P 暴露绝缘膜和第二金属膜（第六掩模工序）。结果，在像素部分的 n 沟道 TFT 区域中形成顺序沉积以覆盖第一接触孔 215H1 和第二接触孔 215H2 的像素部分的源极图案 219P1/像素部分的源极 221S1/像素部分的第一绝缘图案 223P1 和像素部分的漏极图案 219P2/像素部分的漏极 221D1/像素部分的第二绝缘图案 223P2。同时，形成顺序沉积以覆盖第三接触孔 215H3 和第四接触孔 215H4 的电路部分的第二源极图案 219P3/电路部分的第二源极 221S2/电路部分的第一绝缘图案 223P3 和电路部分的第二漏极图案 219P4/电路部分的第二漏极 221D2/电路部分的第二绝缘图案 223P4。另外，在电路部分的 p 沟道 TFT 区域中形成顺序沉积以覆盖第五接触孔 215H5 和第六接触孔 215H6 的电路部分的第一源极图案 219P5/电路部分的第一源极 221S3/电路部分的第三绝缘图案 223P5 和电路部分的第一漏极图案 219P6/电路部分的第一漏极 221D3/电路部分的第四绝缘图案 223P6。此时，像素部分的漏极图案 219P2 可以是像素电极。同时，在焊盘部分中形成透明导电膜图案 219P7 以覆盖开口部分 215O。透明导电膜图案 219P7 经开口部分 215O 与第一金属层图案 219G4 相连接。

同时，像素部分的第一绝缘图案 223P1、像素部分的第二绝缘图案 223P2、电路部分的第一绝缘图案 223P3、电路部分的第二绝缘图案 223P4、电路部分的第三绝缘图案 223P5 以及电路部分的第四绝缘图案 223P6 用于在盒粘接工序中减少公共电极与滤色片基板之间的电容。因此，可避免液晶延迟。

如图 5K 和 7F 所示，去除已灰化的第五阻挡膜并且然后在密封线部分中形成密封线 225。

如上所述，在本发明的第二实施方式中，制造 LCD 的工序步骤包括形成有源层（第一掩模工序），形成存储电极（第二掩模工序），在电路部分的 p 沟道 TFT 区域中形成电路部分的第一栅极、形成像素部分的栅极、公共电极以及电路部分的第二栅极（第四掩模工序），在钝化膜中形成接触孔和开口部分（第五掩模工序），以及形成被顺序沉积的像素部分的源极图案/像素部分的源极和像素部分的漏极图案/像素部分的漏极和电路部分的第二源极图案/电路部分的第二源极和电路部分的第二漏极图案/电路部分的第二漏极和电路部分的第一源极图案/电路部分的第一源极和电路部分的第一漏极图案/电路部分的第一漏极以及透明导电膜图案（第六掩模工序）。因此，可以高孔径比实现六

个掩模的 CMOS 结构。

根据本发明的 LCD 及其制造方法具有如下优点。

使用单一掩模通过衍射曝光工序形成像素电极和源极/漏极。因此，减少了用于制造薄膜晶体管的掩模数量，并且由此减少了制造工序步骤和制造成本。

在本发明中，由于透明导电膜图案形成在密封线部分以及栅焊盘部分的外围中，由此可将由腐蚀所造成的缺陷最小化。

由于在不脱离本发明的精神和范围的情况下本发明可以多种方式来实施，因此可以理解的是上述实施方式并不限于上述说明中的内容，除非特别限定，但其可由权利要求所限定的精神和范围来解释，并且因此，本发明意图覆盖所有落入所附权利要求书及其等效物的范围之内的改进和变型。

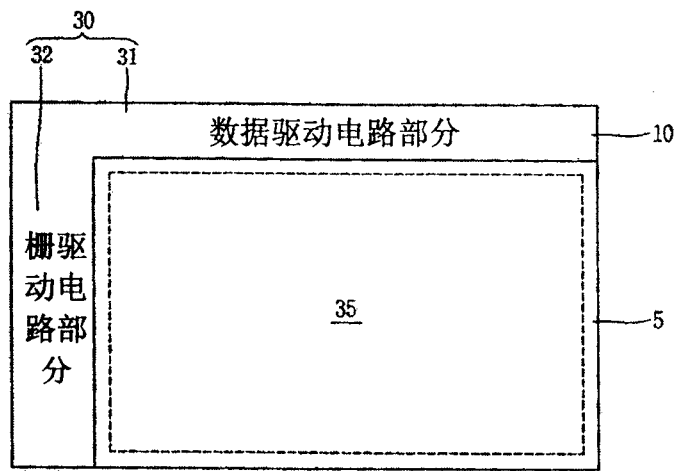


图 1

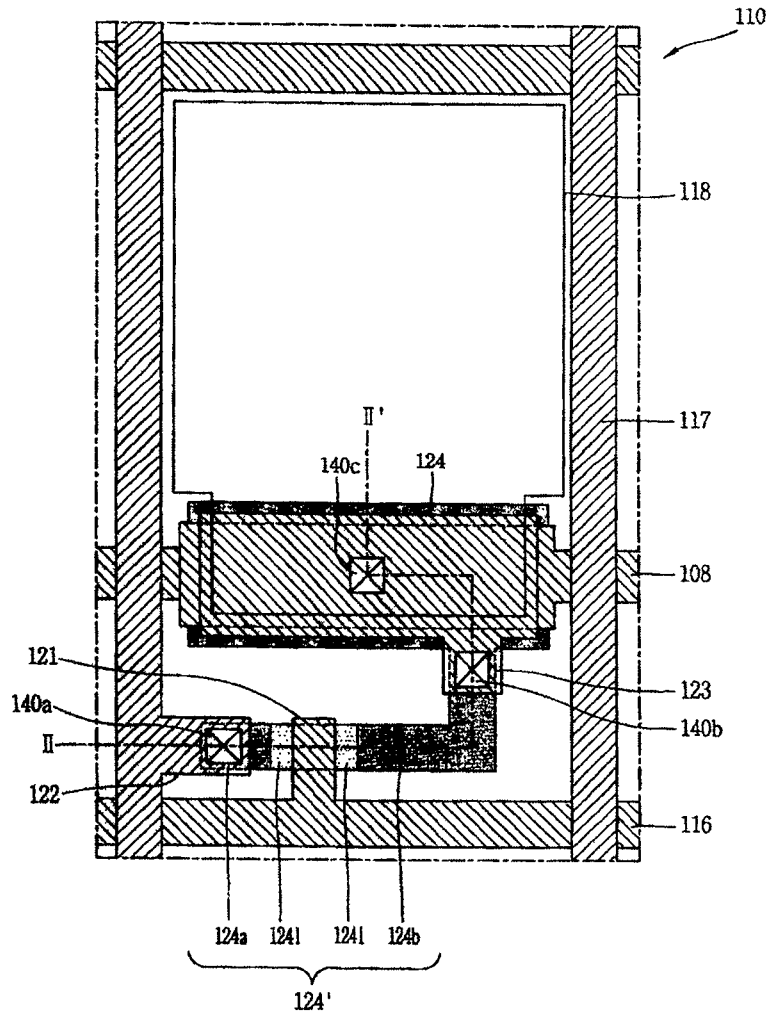


图 2

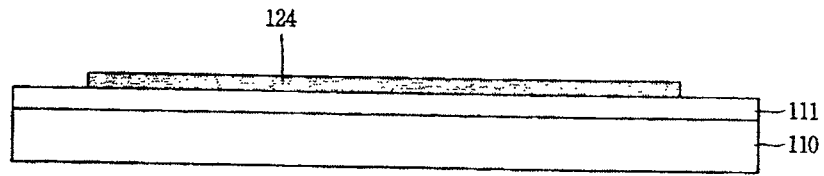


图 3A

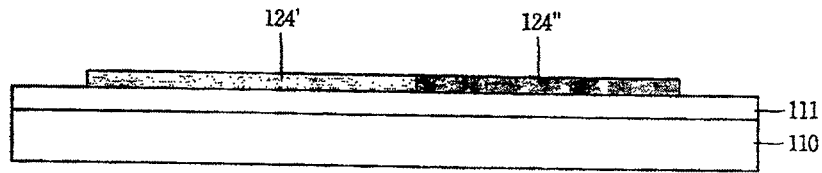


图 3B

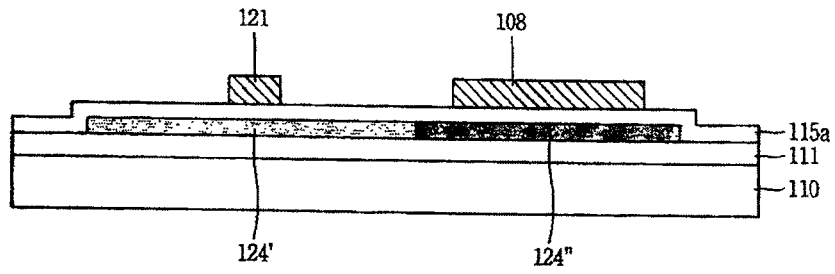


图 3C

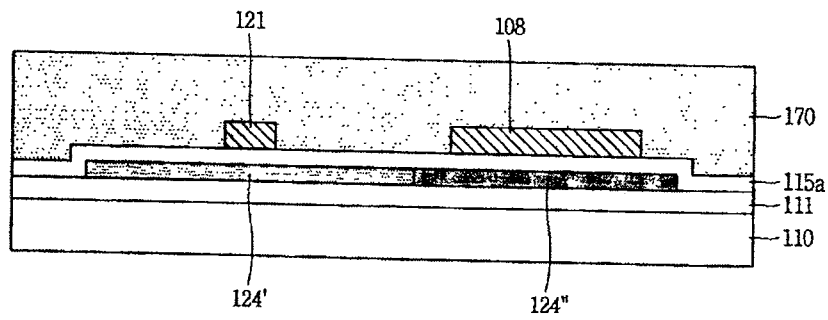


图 3D

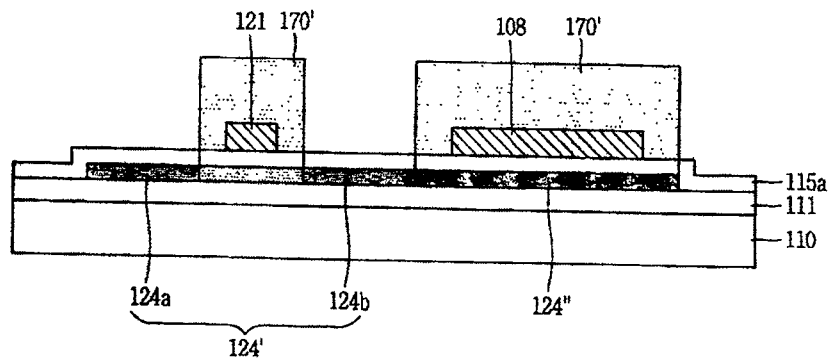


图 3E

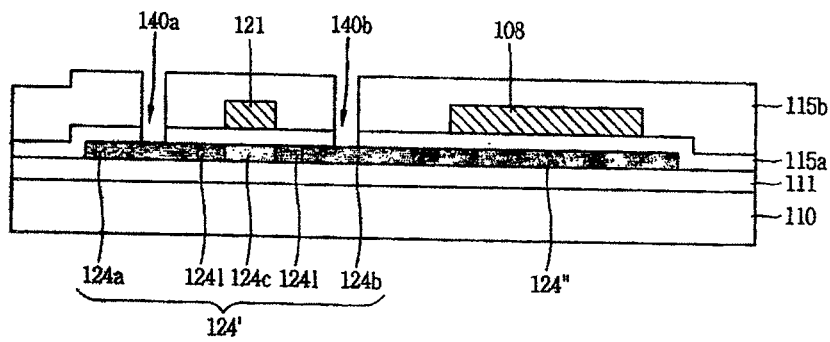


图 3F

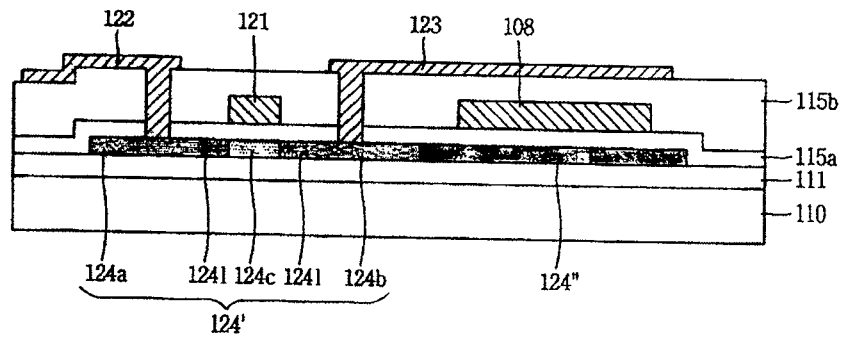


图 3G

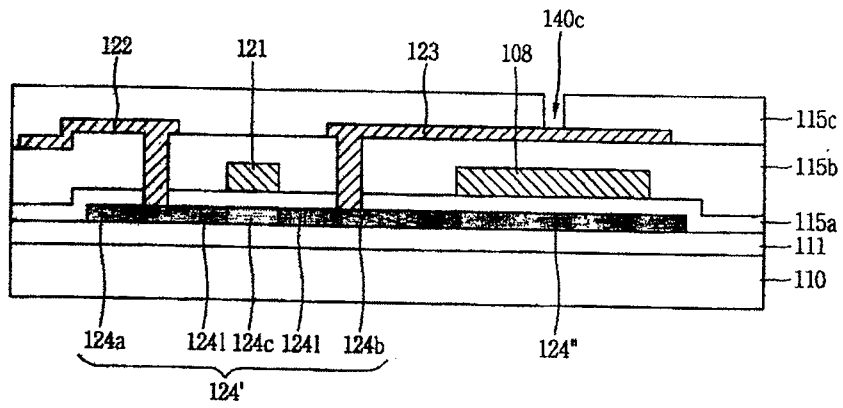


图 3H

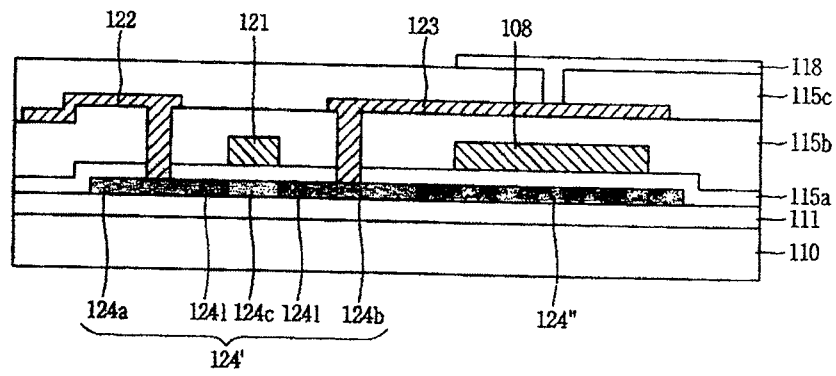


图 3I

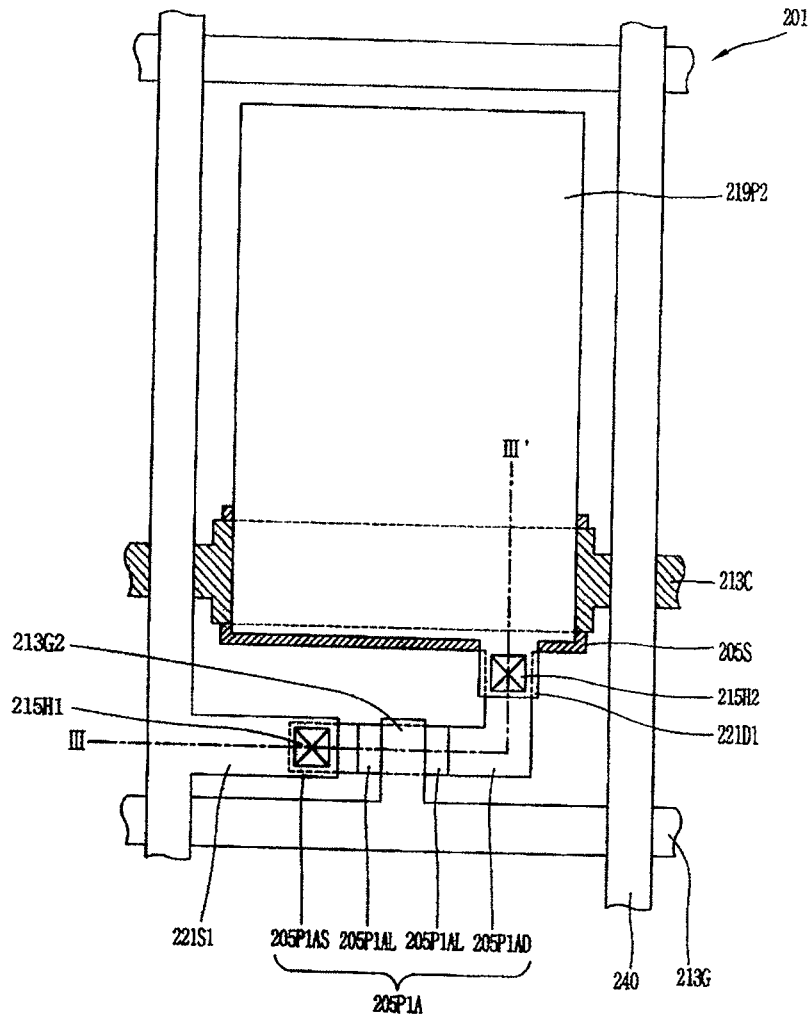


图 4

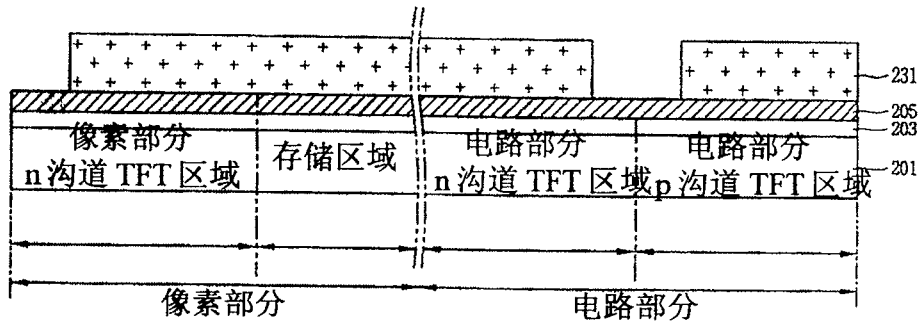


图 5A

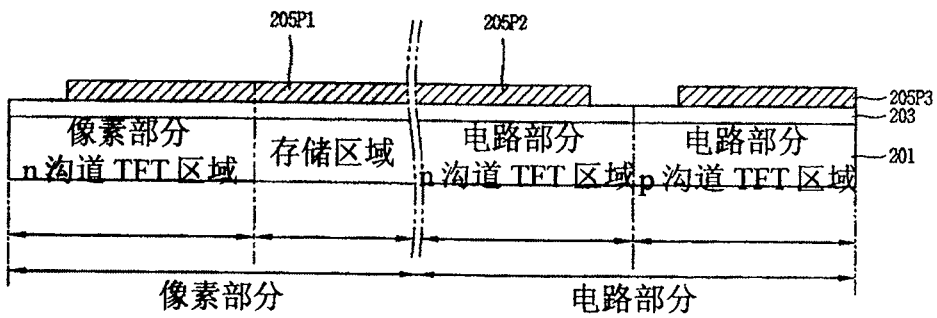


图 5B

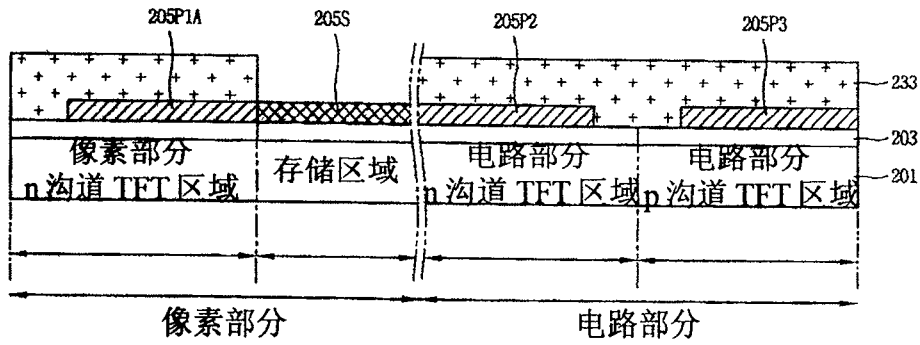


图 5C

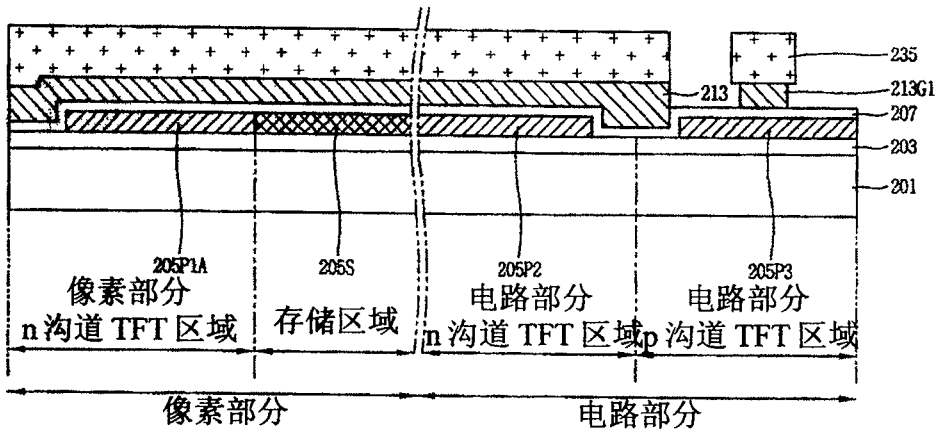


图 5D

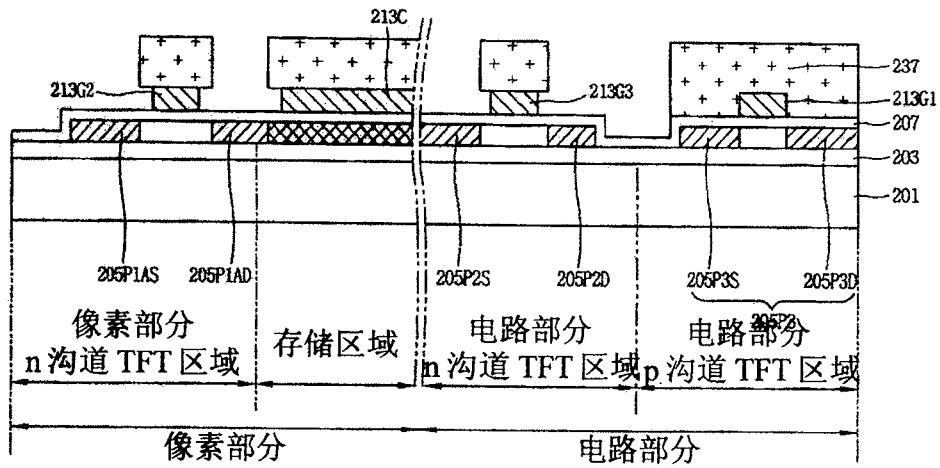


图 5E

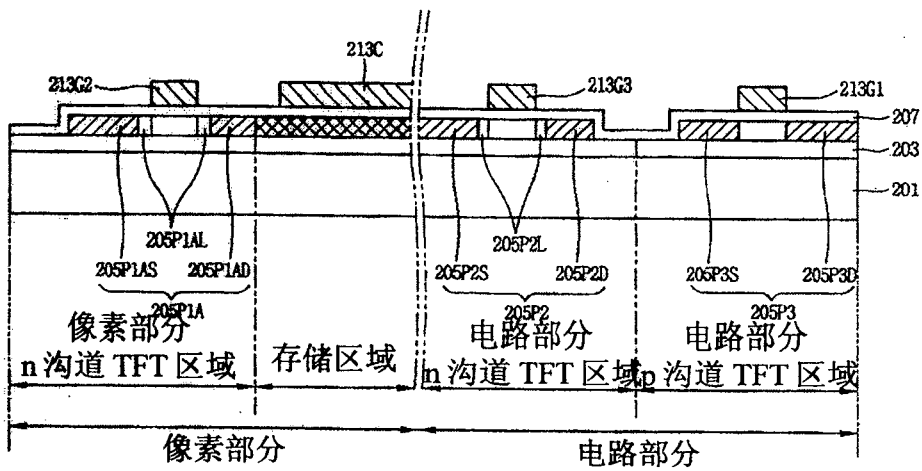


图 5F

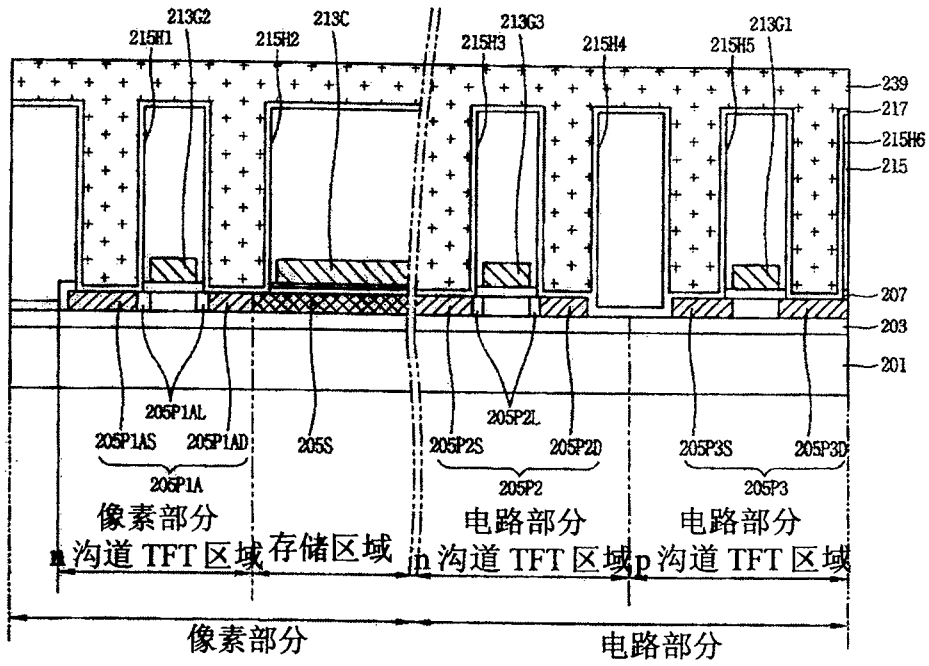


图 5G

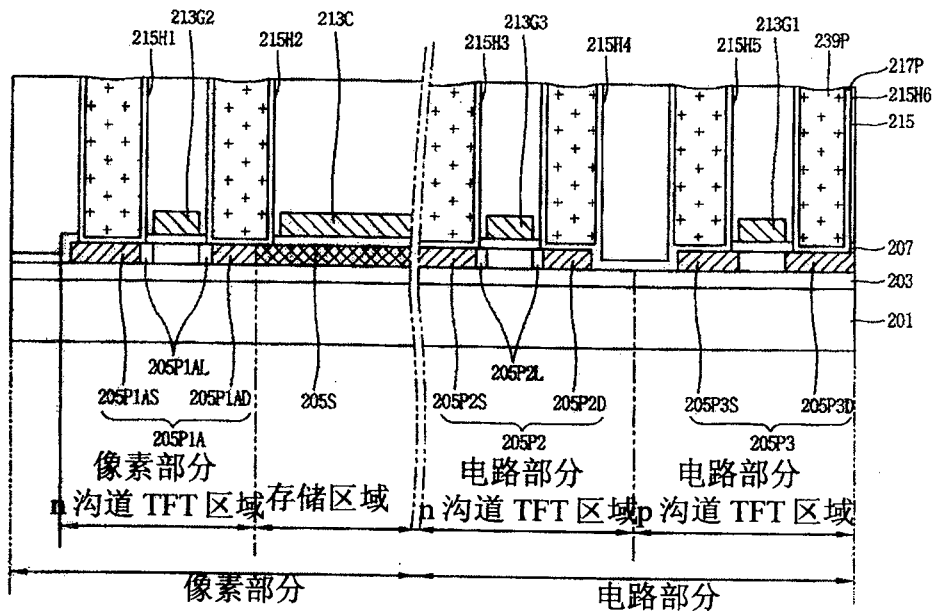


图 5H

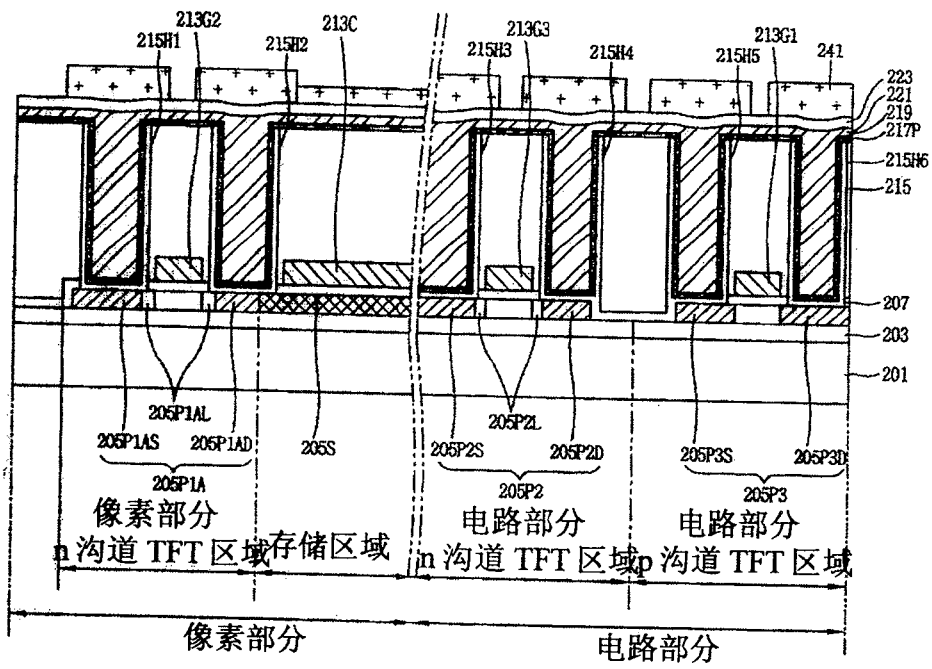


图 5I

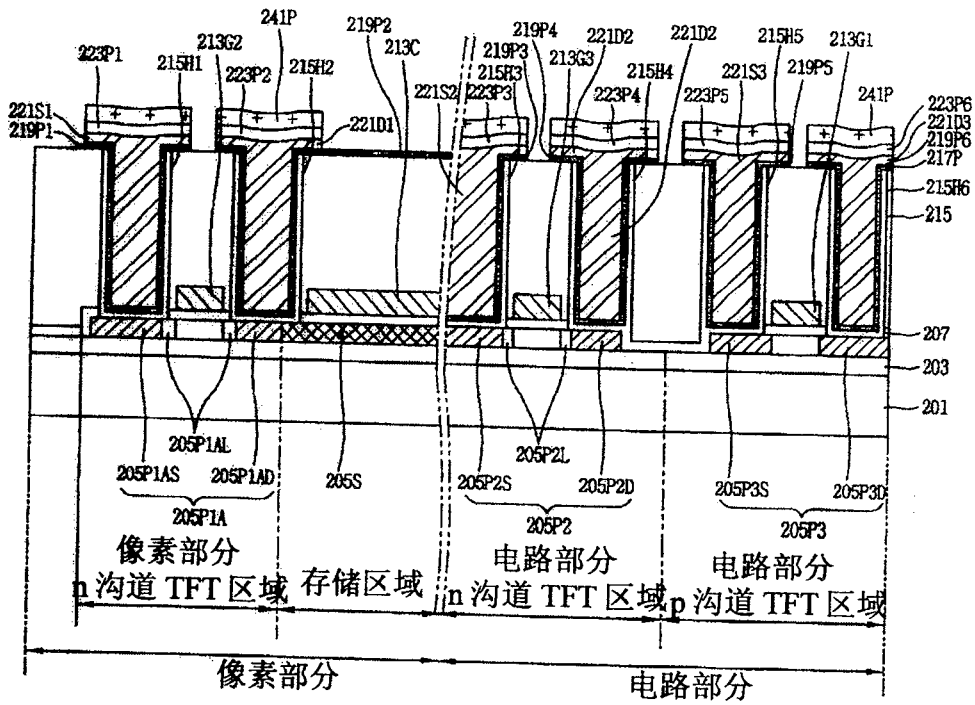


图 5J

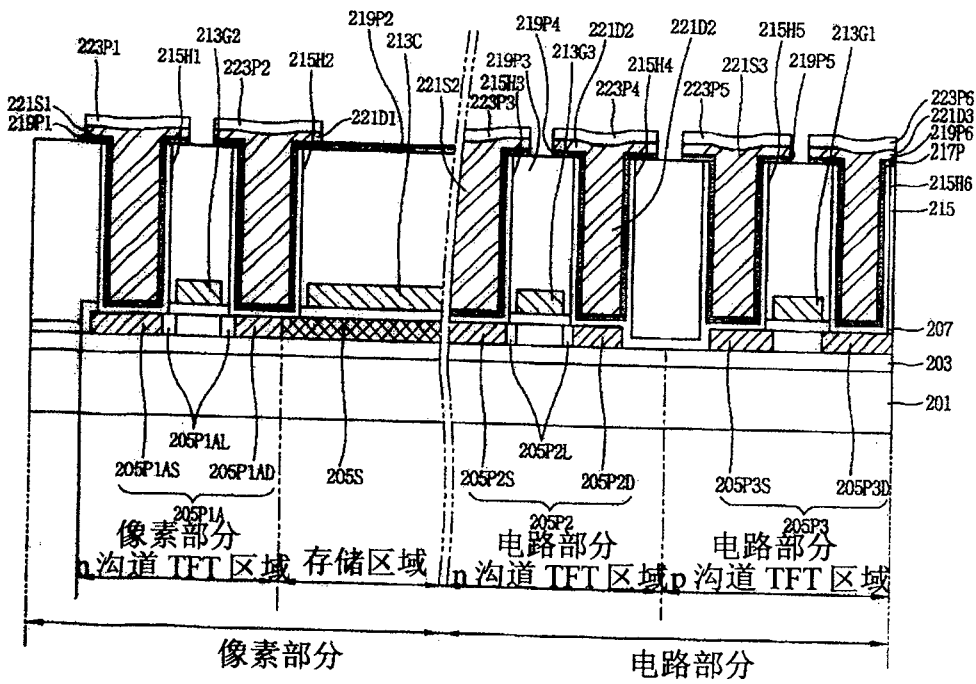


图 5K

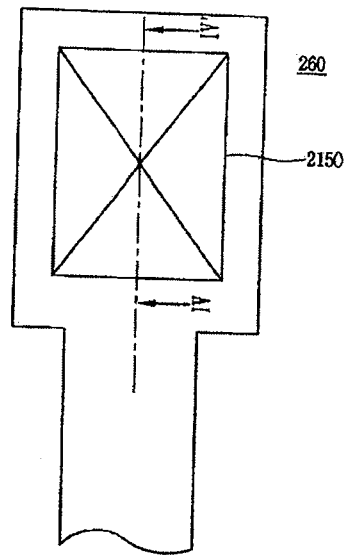


图 6

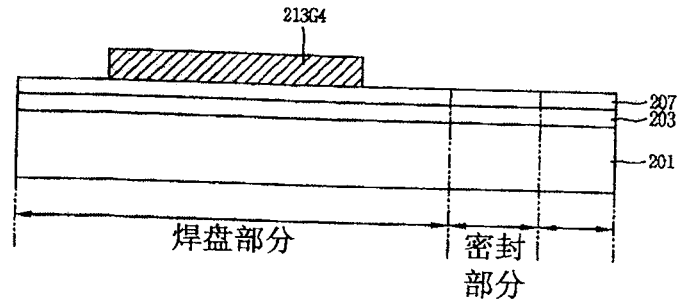


图 7A

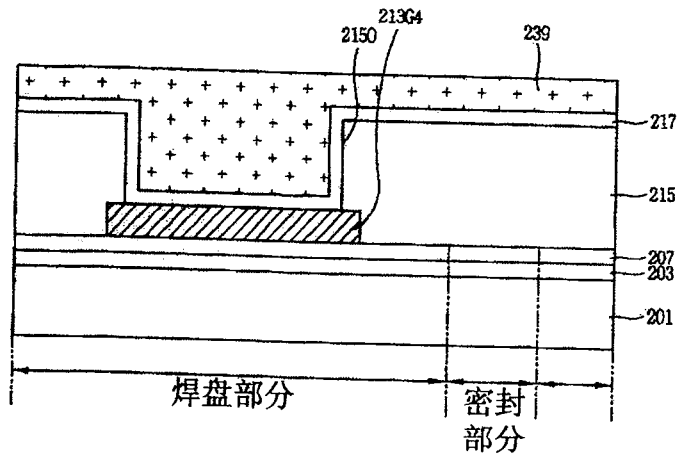


图 7B

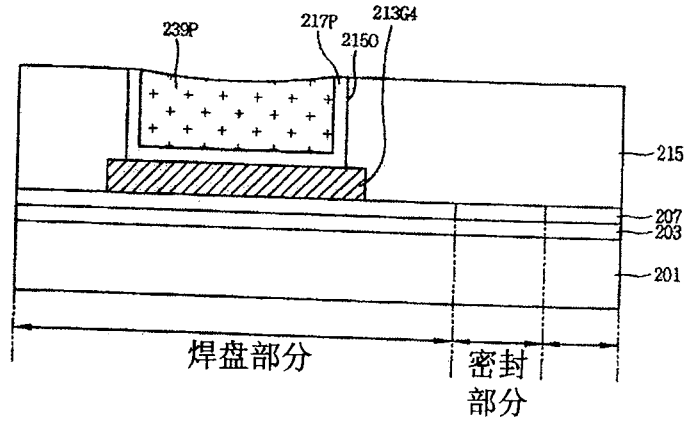


图 7C

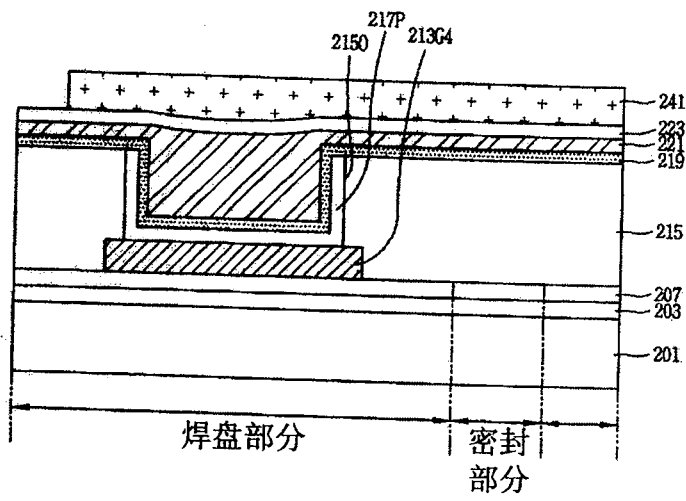


图 7D

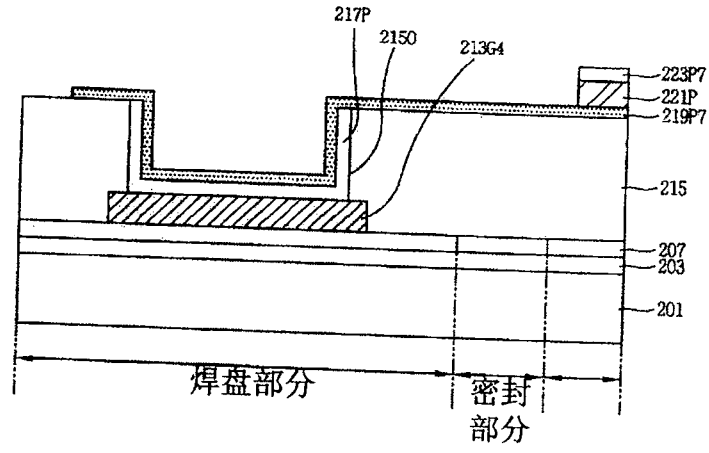


图 7E

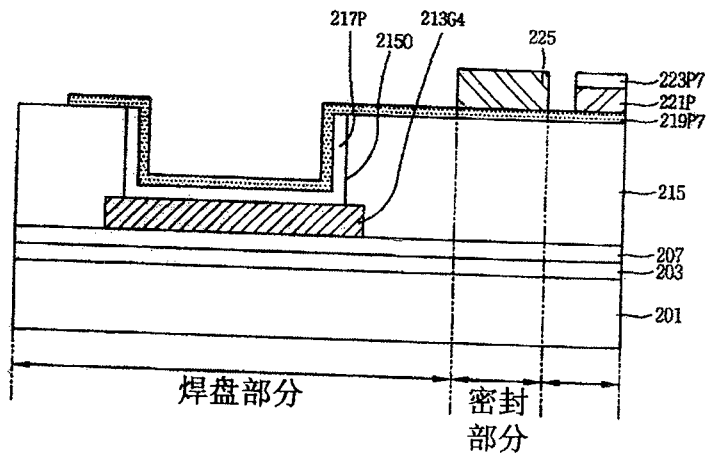


图 7F