



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년02월09일
(11) 등록번호 10-0882484
(24) 등록일자 2009년02월02일

(51) Int. Cl.

G11C 29/00 (2006.01)

(21) 출원번호 10-2007-0034901
(22) 출원일자 2007년04월10일
심사청구일자 2007년04월10일
(65) 공개번호 10-2008-0091890
(43) 공개일자 2008년10월15일
(56) 선행기술조사문헌
KR1020070023598 A
KR1019980073924 A
KR1020070036608 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

정희주

경기 용인시 기흥구 보라동 현대모닝사이드1차아파트 101-117 570번지 313-502

이정배

경기 용인시 수지구 풍덕천동 진산마을 삼성5차 509-801

(74) 대리인

박영우

전체 청구항 수 : 총 10 항

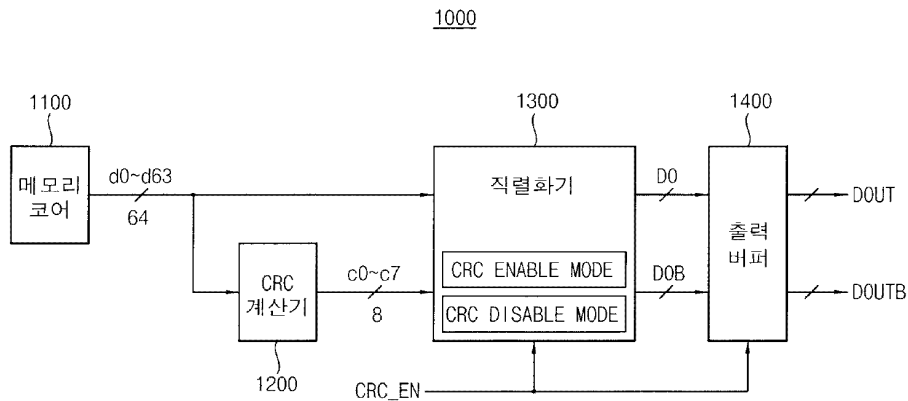
심사관 : 장호근

(54) 에러 검출 기능을 가지는 반도체 메모리 장치, 이를 구비한메모리 시스템 및 반도체 메모리 장치의 데이터 출력 방법

(57) 요약

에러 검출 기능을 가지는 반도체 메모리 장치 및 반도체 메모리 장치의 데이터 출력 방법이 개시된다. 반도체 메모리 장치는 에러 계산기, 직렬화기 및 출력 버퍼를 포함한다. 에러 계산기는 메모리 코어로부터 수신된 제 1 데이터에 기초하여 에러 데이터를 발생시킨다. 직렬화기는 에러 검출 활성화 신호의 상태에 따라 서로 다른 프레임 포맷을 구성하고 상기 제 1 데이터와 상기 에러 데이터를 직렬화하여 출력한다. 따라서, 반도체 메모리 장치는 클러킹이 간단하고 CRC 커버리지가 양호하며 부가적인 레이턴시를 요구하지 않는다.

대표도



특허청구의 범위

청구항 1

메모리 코어로부터 제 1 데이터를 수신하고, 상기 제 1 데이터에 기초하여 에러 데이터를 발생시키는 에러 계산기;

에러 검출 모드에서 상기 제 1 데이터 및 상기 에러 데이터에 기초하여 제 1 프레임을 구성하고, 상기 제 1 프레임에 따라 상기 제 1 데이터와 상기 에러 데이터를 직렬화하여 제 2 데이터를 발생시키고, 에러 검출을 수행하지 않는 제 1 동작 모드에서 상기 제 1 데이터에 기초하여 상기 제 1 프레임과 다른 형태를 가지는 제 2 프레임을 구성하고, 상기 제 2 프레임에 따라 상기 제 1 데이터를 직렬화하여 제 3 데이터를 발생시키는 직렬화기; 및

상기 제 2 데이터 및 상기 제 3 데이터를 버퍼링하여 출력 데이터를 발생시키는 출력 버퍼를 포함하는 반도체 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 동작 모드에서 상기 출력 버퍼를 구성하는 일부 회로가 비활성화되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제 1 항에 있어서,

상기 에러 검출 모드에서 상기 에러 데이터를 구성하는 비트들은 시간 축 상에서 상기 제 1 프레임의 맨 끝에 위치하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제 1 항에 있어서,

상기 제 1 동작 모드에서 상기 제 2 프레임의 시간 축 상의 맨 끝에는 상기 제 1 데이터의 제 1 부분 비트들이 위치하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제 1 항에 있어서, 상기 제 1 및 제 2 프레임은

상기 직렬화기의 출력 라인들에 대응하는 복수의 레인(lane)들을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

제 5 항에 있어서, 상기 직렬화기는

상기 제 1 동작 모드에서 상기 레인들 중 제 1 레인을 비활성화시키는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

제 6 항에 있어서,

상기 제 1 레인에 대응하는 출력 핀은 출력 핀 어레이의 가운데 부분에 위치하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

청구항 8은(는) 설정등록료 납부시 포기되었습니다.

제 5 항에 있어서, 상기 직렬화기는

청구항 9

청구항 9은(는) 설정등록료 납부시 포기되었습니다.

제 8 항에 있어서, 상기 직렬화부들 각각은

상기 제 1 프레임 및 상기 제 2 프레임의 각 레인에 대응하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

제 9 항에 있어서,

상기 제 1 데이터는 64 비트를 갖고 상기 예러 데이터는 8 비트를 갖는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11

청구항 11은(는) 설정등록료 납부시 포기되었습니다.

제 10 항에 있어서, 상기 제 1 및 제 2 프레임은 각각

9 개의 레인을 가지고, 각 레인은 시간축 상으로 8 UI를 가지는 것을 특징으로 하는 반도체 메모리 장치.

청구항 12

청구항 12은(는) 설정등록료 납부시 포기되었습니다.

제 11 항에 있어서,

상기 제 1 동작 모드에서 상기 9 개의 레인들 중 한 개의 레인은 비활성화되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 13

청구항 13은(는) 설정등록료 납부시 포기되었습니다.

상기 예러 검출 활성화 신호, 제 1 펄스 신호 및 제 1 클럭 신호에 응답하여 상기 제 1 데이터의 제 1 부분 비트들 및 상기 예러 데이터의 한 비트에 대해 상기 샘플링과 상기 선택 동작을 수행하여 직렬화된 상기 제 2 데이터의 각 비트를 발생시키는 제 1 내지 제 9 직렬화부를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 14

청구항 14은(는) 설정등록료 납부시 포기되었습니다.

제 13 항에 있어서, 상기 제 1, 제 2, 제 3, 제 4 직렬화부 및 제 6, 제 7, 제 8, 제 9 직렬화부는

상기 예러 검출 활성화 신호에, 제 1 펄스 신호 및 제 1 클럭 신호에 응답하여 상기 제 1 데이터의 부분 비트들 및 상기 예러 데이터의 한 비트에 대해 상기 샘플링과 상기 선택 동작을 수행하여 직렬화된 상기 제 2 데이터의 각 비트를 발생시키는 것을 특징으로 하는 반도체 메모리 장치.

청구항 15

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

제 13 항에 있어서, 상기 제 5 직렬화부는

상기 예러 검출 활성화 신호에, 제 1 펄스 신호 및 제 1 클럭 신호에 응답하여 상기 제 1 데이터의 부분 비트들에 대해 상기 샘플링과 상기 선택 동작을 수행하여 직렬화된 상기 제 2 데이터의 제 5 비트를 발생시키는 것을 특징으로 하는 반도체 메모리 장치.

청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

상기 제 1 동작 모드에서 비활성화되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 17

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

제 12 항에 있어서, 상기 출력 버퍼는

상기 직렬화기의 상기 에러 검출 모드에서 상기 제 2 데이터의 각 비트를 버퍼링하여 출력하고, 상기 제 1 동작 모드에서 상기 제 3 데이터의 각 비트를 버퍼링하여 출력하는 제 1 내지 제 9 출력 버퍼부를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 18

청구항 18은(는) 설정등록료 납부시 포기되었습니다.

제 17 항에 있어서,

상기 출력 버퍼부들 중 한 개는 상기 제 1 동작 모드에서 비활성화되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 19

메모리 컨트롤러와 포인트-투(to)-포인트 방식으로 결합되어 있고, 서로 스택 방식으로 결합되어 있는 복수의 반도체 메모리 장치를 포함하는 메모리 모듈에 있어서,

상기 반도체 메모리 장치들 각각은

리피터 기능을 가지며, 데이터를 입력하는 제 1 핀 어레이 및 데이터를 출력하는 제 2 핀 어레이를 가지고, 에러 검출 모드에서 제 1 프레임 포맷을 구성하고 상기 제 1 프레임 포맷에 따라 원본 데이터와 에러 데이터를 직렬화하여 제 1 독출 데이터를 발생시키고, 에러 검출을 수행하지 않는 제 1 동작 모드에서 상기 제 1 프레임 포맷과 다른 제 2 프레임 포맷을 구성하고 상기 제 2 프레임 포맷에 따라 원본 데이터를 직렬화하여 제 2 독출 데이터를 발생시키고, 상기 제 1 동작 모드에서 데이터가 할당되지 않는 프레임의 라인에 대응하는 출력 라인은 상기 제 2 핀 어레이 중 가운 데 위치한 핀에 결합되는 것을 특징으로 하는 메모리 모듈.

청구항 20

에러 검출 활성화 신호를 발생시키고, 패킷 데이터를 출력하는 메모리 컨트롤러; 및

상기 패킷 데이터를 버퍼링하고 상기 패킷 데이터에 포함된 기입 데이터를 저장하며, 메모리 코어에서 출력된 제 1 데이터에 기초하여 에러 데이터를 발생시키고, 상기 에러 검출 활성화 신호가 활성화되었을 때와 비활성화되었을 때 상기 제 1 데이터와 상기 에러 데이터에 기초하여 서로 다른 프레임 포맷을 구성하고 상기 프레임 포맷에 따라 독출 데이터를 발생시키고 상기 독출 데이터를 상기 메모리 컨트롤러에 제공하는 반도체 메모리 장치를 포함하는 메모리 시스템.

청구항 21

청구항 21은(는) 설정등록료 납부시 포기되었습니다.

제 20 항에 있어서, 상기 반도체 메모리 장치는

에러 검출 모드에서 상기 제 1 데이터 및 상기 에러 데이터에 기초하여 제 1 프레임을 구성하고, 상기 제 1 프레임에 따라 상기 제 1 데이터와 상기 에러 데이터를 직렬화하여 제 2 데이터를 발생시키고, 에러 검출을 수행하지 않는 제 1 동작 모드에서 상기 제 1 데이터에 응답하여 상기 제 1 프레임과 다른 형태를 가지는 제 2 프레임 구성하고, 상기 제 2 프레임에 따라 상기 제 1 데이터를 직렬화하여 제 3 데이터를 발생시키는 것을 특징으로 하는 메모리 시스템.

청구항 22

에러 검출 모드에서 원본 데이터를 구성하는 비트들을 $N(N$ 은 자연수) 개의 레인(lane) 각각의 시간 축 상 맨 끝에 위치한 공간들을 제외한 공간들에 할당시키는 단계;

상기 에러 검출 모드에서 에러 데이터를 구성하는 비트들을 상기 N 개의 레인 각각의 상기 시간 축 상에서 맨 끝에 위치한 공간에 할당시키는 단계; 및

에러 검출을 수행하지 않는 제 1 동작 모드에서 상기 원본 데이터를 구성하는 비트들을 상기 N 개의 레인들 중 $N-1$ 개의 레인 각각의 시간 축 상 모든 공간에 할당시키는 단계를 포함하는 프레임 구성 방법.

청구항 23

청구항 23은(는) 설정등록료 납부시 포기되었습니다.

제 22 항에 있어서,

상기 제 1 동작 모드에서 상기 N 개의 레인들 중 하나의 레인은 비활성화되는 것을 특징으로 하는 프레임 구성 방법.

청구항 24

청구항 24은(는) 설정등록료 납부시 포기되었습니다.

제 22 항에 있어서,

상기 제 1 동작 모드에서 상기 N 개의 레인들 중 하나의 레인에는 상기 원본 데이터 및 상기 에러 데이터가 할당되지 않는 것을 특징으로 하는 프레임 구성 방법.

청구항 25

메모리 코어로부터 출력된 제 1 데이터에 기초하여 에러 데이터를 발생시키는 단계;

에러 검출 모드에서 상기 제 1 데이터 및 상기 에러 데이터에 기초하여 제 1 프레임을 구성하는 단계;

상기 제 1 프레임에 따라 상기 제 1 데이터와 상기 에러 데이터를 직렬화하여 제 2 데이터를 발생시키는 단계;

에러 검출을 수행하지 않는 제 1 동작 모드에서 상기 제 1 데이터에 응답하여 상기 제 1 프레임과 다른 형태를 가지는 제 2 프레임을 구성하는 단계;

상기 제 2 프레임에 따라 상기 제 1 데이터를 직렬화하여 제 3 데이터를 발생시키는 단계; 및

상기 제 2 데이터 및 상기 제 3 데이터를 버퍼링하여 출력 데이터를 발생시키는 단계를 포함하는 반도체 메모리 장치의 데이터 출력 방법.

청구항 26

청구항 26은(는) 설정등록료 납부시 포기되었습니다.

제 25 항에 있어서,

상기 에러 검출 모드에서 상기 에러 데이터를 구성하는 비트들은 시간 축 상에서 상기 제 1 프레임의 맨 끝에 위치하는 것을 특징으로 하는 반도체 메모리 장치의 데이터 출력 방법.

청구항 27

청구항 27은(는) 설정등록료 납부시 포기되었습니다.

상기 제 1 동작 모드에서 상기 제 2 프레임의 시간 축 상의 맨 끝에 위치한 공간에는 상기 제 1 데이터의 부분 비트들이 위치하는 것을 특징으로 하는 반도체 메모리 장치의 데이터 출력 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <35> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 오류 검출 기능을 가지는 반도체 메모리 장치 및 반도체 메모리 장치의 데이터 출력 방법에 관한 것이다.
- <36> 반도체 칩 사이의 데이터 전송 속도가 빨라짐에 따라 전송되는 데이터에 오류가 발생할 수 있다. 최근에, 송신 장치와 수신 장치 사이에서 데이터를 전송할 때 발생할 수 있는 오류를 검출하기 위한 다양한 방식이 제안되고 있다. 예를 들면, 송신장치는 전송하고자 하는 원본 데이터에 CRC(Cyclic Redundancy Check) 코드를 함께 전송하고, 수신장치는 CRC 코드가 포함된 수신 데이터에 대한 CRC 체크를 통해 데이터 전송과정에서 오류가 발생되었는지를 판단한다. CRC 계산방법은 미국공개특허 제 2005/0066256호 등에 기술되어 있다.
- <37> 일반적으로 반도체 메모리 장치는 프레임 포맷(frame format)에 따라 병렬 형태의 데이터를 직렬 형태의 데이터로 변환하고 출력할 데이터의 순서를 결정하여 출력한다. CRC 검출기능을 가지는 반도체 메모리 장치는 원본 데이터와 CRC 코드를 포함하는 데이터를 출력하기 위한 새로운 프레임 포맷이 필요하다.
- <38> 도 1은 종래의 반도체 메모리 장치의 출력 데이터의 프레임 포맷(format)의 하나의 예를 나타내는 표이다. 도 1에 도시된 출력 데이터의 프레임 포맷은 물리적인 레인(lane)이 9 개이고, 시간 간격이 8 개이다. 한 개의 시간 간격을 1 UI(unit interval)라 부른다. 따라서, 도 1의 프레임 포맷은 9 레인과 8 UI를 가진다. 도 1의 표에서, 제 1 내지 제 8 레인(LANE0~LANE7)에는 원본 데이터가 할당되고, 제 9 레인(LANE8)(도 1의 빗금 친 부분)에는 CRC 데이터가 할당된다. 도 1에 도시된 프레임 포맷은 클러킹(clocking)은 간단하지만 CRC 커버리지(coverage)가 나쁘고 부가적인 레이턴시(latency)가 필요하다.
- <39> 도 2는 종래의 반도체 메모리 장치의 출력 데이터의 프레임 포맷의 다른 하나의 예를 나타내는 표이다. 도 2에 도시된 출력 데이터의 프레임은 물리적인 레인(lane)이 8 개이고, 시간 간격이 9 개이다. 따라서, 도 2의 프레임 포맷은 8 레인과 9 UI를 가진다. 도 2의 표에서, 제 1 내지 제 8 시간 구간(T0~T7)에는 원본 데이터가 할당되고, 제 9 시간 구간(T8)(도 1의 빗금 친 부분)에는 CRC 데이터가 할당된다. 도 2에 도시된 프레임 포맷은 CRC 커버리지가 양호하고 부가적인 레이턴시가 필요하지 않지만, 클러킹이 복잡하다.
- <40> 따라서, 클러킹이 간단하고 CRC 커버리지가 양호하며 부가적인 레이턴시를 요구하지 않는 프레임을 가지는 반도체 메모리 장치가 필요하다.

발명이 이루고자 하는 기술적 과제

- <41> 본 발명의 목적은 클러킹이 간단하고 에러 검출 활성화 신호에 응답하여 데이터 프레임을 구성하는 레인들 중 일부 레인을 턴오프시킬 수 있는 반도체 메모리 장치를 제공하는 것이다.
- <42> 본 발명의 다른 목적은 클러킹이 간단하고 에러 검출 활성화 신호에에 응답하여 데이터 프레임을 구성하는 레인들 중 일부 레인을 턴오프시킬 수 있는 반도체 메모리 장치를 포함하는 메모리 모듈을 제공하는 것이다.
- <43> 본 발명의 다른 목적은 클러킹이 간단하고 에러 검출 활성화 신호에 응답하여 데이터 프레임을 구성하는 레인들 중 일부 레인을 턴오프시킬 수 있는 반도체 메모리 장치를 포함하는 메모리 시스템을 제공하는 것이다.
- <44> 본 발명의 또 다른 목적은 클러킹이 간단하고 에러 검출 활성화 신호에 응답하여 데이터 프레임을 구성하는 레인들 중 일부 레인을 턴오프시킬 수 있는 프레임 구성 방법을 제공하는 것이다.
- <45> 본 발명의 또 다른 목적은 클러킹이 간단하고 에러 검출 활성화 신호에 응답하여 데이터 프레임을 구성하는 레인들 중 일부 레인을 턴오프시킬 수 있는 반도체 메모리 장치의 데이터 출력 방법을 제공하는 것이다.

발명의 구성 및 작용

- <46> 상기 목적을 달성하기 위하여 본 발명의 하나의 실시형태에 따른 반도체 메모리 장치는 에러 계산기, 직렬화기 및 출력 버퍼를 포함한다.
- <47> 에러 계산기는 메모리 코어로부터 제 1 데이터를 수신하고, 상기 제 1 데이터에 기초하여 에러 데이터를 발생시킨다. 직렬화기는 에러 검출 모드에서 상기 제 1 데이터 및 상기 에러 데이터에 기초하여 제 1 프레임을 구성하고, 상기 제 1 프레임에 따라 상기 제 1 데이터와 상기 에러 데이터를 직렬화하여 제 2 데이터를 발생시킨다.

또한, 직렬화기는 에러 검출을 수행하지 않는 제 1 동작 모드에서 상기 제 1 데이터에 기초하여 상기 제 1 프레임과 다른 형태를 가지는 제 2 프레임을 구성하고, 상기 제 2 프레임에 따라 상기 제 1 데이터를 직렬화하여 제 3 데이터를 발생시킨다. 출력 버퍼는 상기 제 2 데이터 및 상기 제 3 데이터를 버퍼링하여 출력 데이터를 발생시킨다.

- <48> 본 발명의 하나의 실시예에 의하면, 상기 제 1 동작 모드에서 상기 출력 버퍼를 구성하는 일부 회로가 비활성화될 수 있다.
- <49> 본 발명의 하나의 실시예에 의하면, 상기 에러 검출 모드에서 상기 CRC 데이터를 구성하는 비트들은 시간 축 상에서 상기 제 1 프레임의 맨 끝에 위치할 수 있다.
- <50> 본 발명의 하나의 실시예에 의하면, 상기 제 1 동작 모드에서 상기 제 2 프레임의 시간 축 상의 맨 끝에는 상기 제 1 데이터의 제 1 부분 비트들이 위치할 수 있다.
- <51> 본 발명의 하나의 실시예에 의하면, 상기 제 1 및 제 2 프레임은 상기 직렬화기의 출력 라인들에 대응하는 복수의 레인(lane)들을 포함할 수 있다.
- <52> 본 발명의 하나의 실시예에 의하면, 상기 직렬화기는 상기 제 1 동작 모드에서 상기 레인들 중 제 1 레인은 비활성화될 수 있다.
- <53> 본 발명의 하나의 실시예에 의하면, 상기 제 1 레인에 대응하는 출력 핀은 출력 핀 어레이의 가운데 부분에 위치할 수 있다.
- <54> 본 발명의 하나의 실시예에 의하면, 상기 직렬화기는 상기 제 1 데이터 및 상기 에러 데이터에 대해 샘플링과 선택 동작을 수행하고 에러 검출 활성화 신호에 응답하여 상기 제 2 데이터 또는 상기 제 3 데이터를 발생시키는 직렬화부를 복수 개 포함할 수 있다.
- <55> 본 발명의 하나의 실시형태에 따른 메모리 모듈은 메모리 컨트롤러와 포인트-투(to)-포인트 방식으로 결합되어 있고, 서로 스택 방식으로 결합되어 있는 복수의 반도체 메모리 장치를 포함한다.
- <56> 상기 반도체 메모리 장치들 각각은 리피터 기능을 가지며, 데이터를 입력하는 제 1 핀 어레이 및 데이터를 출력하는 제 2 핀 어레이를 가진다. 상기 반도체 메모리 장치들 각각은 에러 검출 모드에서 제 1 프레임 포맷을 구성하고 상기 제 1 프레임 포맷에 따라 원본 데이터와 에러 데이터를 직렬화하여 제 1 독출 데이터를 발생시킨다. 상기 반도체 메모리 장치들 각각은 에러 검출을 수행하지 않는 제 1 동작 모드에서 상기 제 1 프레임 포맷과 다른 제 2 프레임 포맷을 구성하고 상기 제 2 프레임 포맷에 따라 원본 데이터를 직렬화하여 제 2 독출 데이터를 발생시킨다. 상기 반도체 메모리 장치들 각각은 상기 제 1 동작 모드에서 데이터가 할당되지 않는 프레임의 레인에 대응하는 출력 라인은 상기 제 2 핀 어레이 중 가운데 위치한 핀에 결합된다.
- <57> 본 발명의 하나의 실시형태에 따른 메모리 시스템은 메모리 컨트롤러 및 반도체 메모리 장치를 포함한다.
- <58> 메모리 컨트롤러는 에러 검출 활성화 신호를 발생시키고, 패킷 데이터를 출력한다. 반도체 메모리 장치는 상기 패킷 데이터를 버퍼링하고 상기 패킷 데이터에 포함된 기입 데이터를 저장하며, 메모리 코어에서 출력된 제 1 데이터에 기초하여 에러 데이터를 발생시킨다. 또한, 반도체 메모리 장치는 상기 에러 검출 활성화 신호가 활성화되었을 때와 비활성화되었을 때 상기 제 1 데이터와 상기 에러 데이터에 기초하여 서로 다른 프레임 포맷을 구성한다. 반도체 메모리 장치는 상기 프레임 포맷에 따라 독출 데이터를 발생시키고 상기 독출 데이터를 상기 메모리 컨트롤러에 제공한다.
- <59> 본 발명의 하나의 실시형태에 따른 프레임 구성 방법은 에러 검출 모드에서 원본 데이터를 구성하는 비트들을 $N(N$ 은 자연수) 개의 레인(lane) 각각의 시간 축 상 맨 끝에 위치한 공간들을 제외한 공간들에 할당시키는 단계, 상기 에러 검출 모드에서 에러 데이터를 구성하는 비트들을 상기 N 개의 레인 각각의 상기 시간 축 상에서 맨 끝에 위치한 공간에 할당시키는 단계, 및 에러 검출을 수행하지 않는 제 1 동작 모드에서 상기 원본 데이터를 구성하는 비트들을 상기 N 개의 레인들 중 $N-1$ 개의 레인 각각의 시간 축 상 모든 공간에 할당시키는 단계를 포함한다.
- <60> 본 발명의 하나의 실시예에 의하면, 상기 제 1 동작 모드에서 상기 N 개의 레인들 중 하나의 레인에는 상기 원본 데이터 및 상기 에러 데이터가 할당되지 않을 수 있다.
- <61> 본 발명의 하나의 실시형태에 따른 반도체 메모리 장치의 데이터 출력 방법은 메모리 코어로부터 출력된 제 1 데이터에 기초하여 에러 데이터를 발생시키는 단계, 에러 검출 모드에서 상기 제 1 데이터 및 상기 에러 데이터

에 기초하여 제 1 프레임을 구성하는 단계, 상기 제 1 프레임에 따라 상기 제 1 데이터와 상기 에러 데이터를 직렬화하여 제 2 데이터를 발생시키는 단계, 에러 검출을 수행하지 않는 제 1 동작 모드에서 상기 제 1 데이터에 응답하여 상기 제 1 프레임과 다른 형태를 가지는 제 2 프레임을 구성하는 단계, 상기 제 2 프레임에 따라 상기 제 1 데이터를 직렬화하여 제 3 데이터를 발생시키는 단계, 및 상기 제 2 데이터 및 상기 제 3 데이터를 버퍼링하여 출력 데이터를 발생시키는 단계를 포함한다.

- <62> 따라서, 본 발명의 실시예에 따른 반도체 메모리 장치는 9 레인과 8 UI의 구조를 가지는 데이터 프레임에 따라 동작하며, 클러킹이 간단하고 CRC 인에이블 신호에 응답하여 데이터 프레임을 구성하는 레인들 중 일부 레인을 턴오프시킬 수 있다.
- <63> 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.
- <64> 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- <65> 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- <66> 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- <67> 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- <68> 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- <69> 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- <70> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- <71> 도 3 및 도 4는 본 발명의 하나의 실시예에 따른 반도체 메모리 장치의 출력 데이터의 프레임 포맷(format)을 나타내는 표이다. 도 3은 CRC 인에이블 모드에서 반도체 메모리 장치의 출력 데이터의 프레임 포맷을 나타내고, 도 4는 CRC 디스에이블 모드에서 반도체 메모리 장치의 출력 데이터의 프레임 포맷을 나타낸다.
- <72> 도 3 및 도 4에 도시된 출력 데이터의 프레임 포맷은 물리적인 레인(lane)이 9 개이고, 시간 간격이 8 개이다. 따라서, 도 3의 프레임 포맷은 9 레인과 8 UI를 가진다.
- <73> 도 3의 표를 참조하면, CRC 인에이블 모드에서, 제 1 레인 내지 제 4 레인(LANE0~LANE3) 및 제 6 레인 내지 제 9 레인(LANE4~LANE7)에는 시간 축 상에서 T0에서 T6까지 원본 데이터의 비트들이 할당되고, T7에서 CRC 데이터의 비트들(c0~c7)이 각각 할당된다. 또한, CRC 인에이블 모드에서, 제 5 레인(LANEC)에는 시간축 상에서 T0에서

T7까지 원본 데이터의 비트들(d28~d35)만 할당되고, CRC 데이터는 할당되지 않는다.

- <74> CRC 인에이블 모드에서, 제 1 레인(LANE0)에는 T0에서 T6까지 원본 데이터의 제 1 내지 제 7 비트들(d0~d6)이 할당되고, T7에는 CRC 데이터의 제 1 비트(c0)가 할당된다. 제 2 레인(LANE1)에는 T0에서 T6까지 원본 데이터의 제 8 내지 제 14 비트들(d7~d13)이 할당되고, T7에는 CRC 데이터의 제 2 비트(c1)가 할당된다. 제 3 레인(LANE2)에는 T0에서 T6까지 원본 데이터의 제 15 내지 제 21 비트들(d14~d20)이 할당되고, T7에는 CRC 데이터의 제 3 비트(c2)가 할당된다. 제 4 레인(LANE3)에는 T0에서 T6까지 원본 데이터의 제 22 내지 제 28 비트들(d21~d27)이 할당되고, T7에는 CRC 데이터의 제 4 비트(c3)가 할당된다. 제 5 레인(LANE_C)에는 T0에서 T6까지 원본 데이터의 제 29 내지 제 35 비트들(d28~d34)이 할당되고, T7에는 원본 데이터의 제 36 비트(d35)가 할당된다. 제 6 레인(LANE4)에는 T0에서 T6까지 원본 데이터의 제 37 내지 제 43 비트들(d36~d42)이 할당되고, T7에는 CRC 데이터의 제 5 비트(c4)가 할당된다. 제 7 레인(LANE5)에는 T0에서 T6까지 원본 데이터의 제 44 내지 제 50 비트들(d43~d49)이 할당되고, T7에는 CRC 데이터의 제 6 비트(c5)가 할당된다. 제 8 레인(LANE6)에는 T0에서 T6까지 원본 데이터의 제 51 내지 제 57 비트들(d50~d56)이 할당되고, T7에는 CRC 데이터의 제 7 비트(c6)가 할당된다. 제 9 레인(LANE7)에는 T0에서 T6까지 원본 데이터의 제 58 내지 제 64 비트들(d57~d63)이 할당되고, T7에는 CRC 데이터의 제 8 비트(c7)가 할당된다.
- <75> 도 4의 표를 참조하면, CRC 디스에이블 모드에서, 제 1 레인 내지 제 4 레인(LANE0~LANE3) 및 제 6 레인 내지 제 9 레인(LANE4~LANE7)에는 시간 축 상에서 T0에서 T7까지 원본 데이터의 비트들이 할당되고, CRC 데이터는 할당되지 않는다. 또한, CRC 디스에이블 모드에서, 제 5 레인(LANEC)에는 시간축상에서 T0에서 T7까지 원본 데이터의 비트들 및 CRC 데이터가 할당되지 않는다.
- <76> CRC 디스에이블 모드에서, 제 1 레인(LANE0)에는 T0에서 T6까지 원본 데이터의 제 1 내지 제 7 비트들(d0~d6)이 할당되고, T7에는 원본 데이터의 제 29 비트(d28)가 할당된다. 제 2 레인(LANE1)에는 T0에서 T6까지 원본 데이터의 제 8 내지 제 14 비트들(d7~d13)이 할당되고, T7에는 원본 데이터의 제 30 비트(d29)가 할당된다. 제 3 레인(LANE2)에는 T0에서 T6까지 원본 데이터의 제 15 내지 제 21 비트들(d14~d20)이 할당되고, T7에는 원본 데이터의 제 31 비트(d30)가 할당된다. 제 4 레인(LANE3)에는 T0에서 T6까지 원본 데이터의 제 22 내지 제 28 비트들(d21~d27)이 할당되고, T7에는 원본 데이터의 제 32 비트(d31)가 할당된다. CRC 디스에이블 모드에서, 제 5 레인(LANE_C)에는 원본 데이터와 CRC 데이터가 할당되지 않는다. 제 6 레인(LANE4)에는 T0에서 T6까지 원본 데이터의 제 37 내지 제 43 비트들(d36~d42)이 할당되고, T7에는 원본 데이터의 제 33 비트(d32)가 할당된다. 제 7 레인(LANE5)에는 T0에서 T6까지 원본 데이터의 제 44 내지 제 50 비트들(d43~d49)이 할당되고, T7에는 원본 데이터의 제 34 비트(d33)가 할당된다. 제 8 레인(LANE6)에는 T0에서 T6까지 원본 데이터의 제 51 내지 제 57 비트들(d50~d56)이 할당되고, T7에는 원본 데이터의 제 35 비트(d34)가 할당된다. 제 9 레인(LANE7)에는 T0에서 T6까지 원본 데이터의 제 58 내지 제 64 비트들(d57~d63)이 할당되고, T7에는 원본 데이터의 제 36 비트(d35)가 할당된다.
- <77> 따라서, 도 3 및 도 4에 도시된 출력 데이터의 프레임 포맷은 8 UI의 구조를 가지므로 클러킹이 간단하고, CRC 데이터가 시간축 상에서 맨 나중에 할당되므로 CRC 커버리지가 양호하며 부가적인 레이턴시를 요구하지 않는다.
- <78> 도 3에 도시된 본 발명의 반도체 메모리 장치의 데이터 프레임 구성하는 레인들(LANE0, LANE1, LANE2, LANE3, LANEC, LANE4, LANE5, LANE6, LANE7)은 후술하는 바와 같이, 직렬화기의 출력 라인들 및 반도체 메모리 장치의 출력 포트들에 대응한다.
- <79> 도 5a 내지 도 5d는 도 3 및 도 4에 도시된 출력 데이터의 프레임 포맷의 제 1 레인(lane)의 데이터를 발생시키는 과정을 설명하는 도면이다.
- <80> 도 5a를 참조하면, 직렬화하기 전, CRC 인에이블 모드에서 제 1 레인(LANE0)에 할당되는 데이터는 원본 데이터의 제 1 내지 제 7 비트들(d0~d6) 및 CRC 데이터의 제 1 비트(c0)가 혼합된 병렬 데이터이다. CRC 디스에이블 모드에서, 제 1 레인(LANE0)에 할당되는 데이터는 원본 데이터의 제 1 내지 제 7 비트들(d0~d6) 및 원본 데이터의 제 29 비트(d28)가 혼합된 병렬 데이터이다.
- <81> 도 5b를 참조하면, CRC 인에이블 모드에서 원본 데이터의 제 1 내지 제 4 비트들(d0~d3)은 제 1 펄스 신호의 제 1 서브 펄스(DP0)에 응답하여 샘플링되고, 원본 데이터의 제 5 내지 제 7 비트들(d4~d6) 및 CRC 데이터의 제 1 비트(c0)는 제 1 펄스 신호의 제 2 서브 펄스(DP1)에 응답하여 샘플링된다. CRC 디스에이블 모드에서, 원본 데이터의 제 1 내지 제 4 비트들(d0~d3)은 제 1 펄스 신호의 제 1 서브 펄스(DP0)에 응답하여 샘플링되고, 원본

데이터의 제 5 내지 제 7 비트들(d4~d6) 및 원본 데이터의 제 29 비트(d28)는 제 1 펄스 신호의 제 2 서브 펄스(DP1)에 응답하여 샘플링된다.

<82> 도 5c에서, 제 1 클럭 신호(TCLK<0:3>)는 90도의 위상차를 가지는 4 개의 서브 클럭들을 가진다. 도 5c를 참조하면, CRC 인에이블 모드에서 제 1 클럭 신호(TCLK<0:3>)의 제 1 서브 클럭(TCLK0)에 응답하여 원본 데이터의 제 1 비트(d0) 및 제 5 비트(d4)가 샘플링되고, 제 1 클럭 신호(TCLK<0:3>)의 제 2 서브 클럭(TCLK1)에 응답하여 원본 데이터의 제 2 비트(d1) 및 제 6 비트(d5)가 샘플링된다. 또한, 제 1 클럭 신호(TCLK<0:3>)의 제 3 서브 클럭(TCLK2)에 응답하여 원본 데이터의 제 3 비트(d2) 및 제 7 비트(d6)가 샘플링되고, 제 1 클럭 신호(TCLK<0:3>)의 제 4 서브 클럭(TCLK3)에 응답하여 원본 데이터의 제 4 비트(d3) 및 CRC 데이터의 제 1 비트(c0)가 샘플링된다. CRC 디스에이블 모드에서, CRC 데이터의 제 1 비트(c0) 대신에 원본 데이터의 제 29 비트(d28)가 샘플링된다.

<83> 도 5d에서, 제 2 펄스 신호(P<0:3>)는 서브 펄스들(P0~P3)을 가지며 도 5c에 도시된 제 1 클럭 신호(TCLK<0:3>)의 이웃하는 서브 클럭들을 이용하여 발생된다. 도 5d를 참조하면, 제 2 펄스 신호(P<0:3>)의 제 1 서브 펄스(P0)의 제 1 펄스에 응답하여 원본 데이터의 제 1 비트(d0)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 2 서브 펄스(P1)의 제 1 펄스에 응답하여 원본 데이터의 제 2 비트(d1)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 3 서브 펄스(P2)의 제 1 펄스에 응답하여 원본 데이터의 제 3 비트(d2)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 4 서브 펄스(P3)의 제 1 펄스에 응답하여 원본 데이터의 제 4 비트(d3)가 샘플링된다.

<84> 또한, 도 5d에서, 제 2 펄스 신호(P<0:3>)의 제 1 서브 펄스(P0)의 제 2 펄스에 응답하여 원본 데이터의 제 5 비트(d4)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 2 서브 펄스(P1)의 제 2 펄스에 응답하여 원본 데이터의 제 6 비트(d5)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 3 서브 펄스(P2)의 제 2 펄스에 응답하여 원본 데이터의 제 7 비트(d6)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 4 서브 펄스(P3)의 제 2 펄스에 응답하여 CRC 데이터의 제 1 비트(c0)가 샘플링된다. CRC 디스에이블 모드에서, CRC 데이터의 제 1 비트(c0) 대신에 원본 데이터의 제 29 비트(d28)가 샘플링된다.

<85> 따라서, 도 5a 내지 도 5d에 도시된 프레임 구성 방법에 의해 형성된 제 1 레인(LANE0)의 데이터는 CRC 인에이블 모드에서 원본 데이터의 제 1 내지 제 7 비트들(d0~d6) 및 CRC 데이터의 제 1 비트(c0)가 혼합된 직렬 데이터이다. CRC 디스에이블 모드에서 제 1 레인(LANE0)의 데이터는 원본 데이터의 제 1 내지 제 7 비트들(d0~d6) 및 원본 데이터의 제 29 비트(d28)가 직렬로 배열된 직렬 데이터이다.

<86> 도 6a 내지 도 6d는 도 3 및 도 4에 도시된 출력 데이터의 프레임 포맷의 제 2 레인의 데이터를 발생시키는 과정을 설명하는 도면이다.

<87> 도 6a를 참조하면, 직렬화하기 전, CRC 인에이블 모드에서 제 2 레인(LANE1)에 할당되는 데이터는 원본 데이터의 제 8 내지 제 14 비트들(d7~d13) 및 CRC 데이터의 제 2 비트(c1)가 혼합된 병렬 데이터이다. CRC 디스에이블 모드에서, 제 2 레인(LANE1)에 할당되는 데이터는 원본 데이터의 제 8 내지 제 14 비트들(d7~d13) 및 원본 데이터의 제 30 비트(d29)가 혼합된 병렬 데이터이다.

<88> 도 6b를 참조하면, CRC 인에이블 모드에서 원본 데이터의 제 8 내지 제 11 비트들(d7~d10)은 제 1 펄스 신호의 제 1 서브 펄스(DP0)에 응답하여 샘플링되고, 원본 데이터의 제 12 내지 제 14 비트들(d11~d13) 및 CRC 데이터의 제 2 비트(c1)는 제 1 펄스 신호의 제 2 서브 펄스(DP1)에 응답하여 샘플링된다. CRC 디스에이블 모드에서, 원본 데이터의 제 8 내지 제 11 비트들(d7~d10)은 제 1 펄스 신호의 제 1 서브 펄스(DP0)에 응답하여 샘플링되고, 원본 데이터의 제 12 내지 제 14 비트들(d11~d13) 및 원본 데이터의 제 30 비트(d29)는 제 1 펄스 신호의 제 2 서브 펄스(DP1)에 응답하여 샘플링된다.

<89> 도 6c에서, 제 1 클럭 신호(TCLK<0:3>)는 90도의 위상차를 가지는 4 개의 서브 클럭들을 가진다. 도 6c를 참조하면, CRC 인에이블 모드에서 제 1 클럭 신호(TCLK<0:3>)의 제 1 서브 클럭(TCLK0)에 응답하여 원본 데이터의 제 8 비트(d7) 및 제 12 비트(d11)가 샘플링되고, 제 1 클럭 신호(TCLK<0:3>)의 제 2 서브 클럭(TCLK1)에 응답하여 원본 데이터의 제 9 비트(d8) 및 제 13 비트(d12)가 샘플링된다. 또한, 제 1 클럭 신호(TCLK<0:3>)의 제 3 서브 클럭(TCLK2)에 응답하여 원본 데이터의 제 10 비트(d9) 및 제 14 비트(d13)가 샘플링되고, 제 1 클럭 신호(TCLK<0:3>)의 제 4 서브 클럭(TCLK3)에 응답하여 원본 데이터의 제 11 비트(d10) 및 CRC 데이터의 제 2 비트(c1)가 샘플링된다. CRC 디스에이블 모드에서, CRC 데이터의 제 2 비트(c1) 대신에 원본 데이터의 제 30 비트(d29)가 샘플링된다.

<90> 도 6d에서, 제 2 펄스 신호(P<0:3>)는 서브 펄스들(P0~P3)을 가지며 도 6c에 도시된 제 1 클럭 신호

(TCLK<0:3>)의 이웃하는 서브 클럭들을 이용하여 발생된다. 도 6d를 참조하면, 제 2 펄스 신호(P<0:3>)의 제 1 서브 펄스(P0)의 제 1 펄스에 응답하여 원본 데이터의 제 8 비트(d7)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 2 서브 펄스(P1)의 제 1 펄스에 응답하여 원본 데이터의 제 9 비트(d8)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 3 서브 펄스(P2)의 제 1 펄스에 응답하여 원본 데이터의 제 10 비트(d9)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 4 서브 펄스(P3)의 제 1 펄스에 응답하여 원본 데이터의 제 11 비트(d10)가 샘플링된다.

<91> 또한, 도 6d에서, 제 2 펄스 신호(P<0:3>)의 제 1 서브 펄스(P0)의 제 2 펄스에 응답하여 원본 데이터의 제 12 비트(d11)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 2 서브 펄스(P1)의 제 2 펄스에 응답하여 원본 데이터의 제 13 비트(d12)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 3 서브 펄스(P2)의 제 2 펄스에 응답하여 원본 데이터의 제 14 비트(d13)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 4 서브 펄스(P3)의 제 2 펄스에 응답하여 CRC 데이터의 제 2 비트(c1)가 샘플링된다. CRC 디스에이블 모드에서, CRC 데이터의 제 2 비트(c1) 대신에 원본 데이터의 제 30 비트(d29)가 샘플링된다.

<92> 따라서, 도 6a 내지 도 6d에 도시된 프레임 구성 방법에 의해 형성된 제 2 레인(LANE1)의 데이터는 CRC 인에이블 모드에서 원본 데이터의 제 8 내지 제 14 비트들(d7~d13) 및 CRC 데이터의 제 2 비트(c1)가 혼합된 직렬 데이터이다. CRC 디스에이블 모드에서 제 2 레인(LANE1)의 데이터는 원본 데이터의 제 8 내지 제 14 비트들(d7~d13) 및 원본 데이터의 제 30 비트(d29)가 직렬로 배열된 직렬 데이터이다.

<93> 도 7a 내지 도 7d는 도 3 및 도 4에 도시된 출력 데이터의 프레임 포맷의 제 5 레인의 데이터를 발생시키는 과정을 설명하는 도면이다.

<94> 도 7a를 참조하면, 직렬화하기 전, CRC 인에이블 모드에서 제 5 레인(LANE_C)에 할당되는 데이터는 원본 데이터의 제 29 내지 제 36 비트들(d28~d35)이 병렬로 배열된 병렬 데이터이다. 전술한 바와 같이, CRC 디스에이블 모드에서 제 5 레인(LANE_C)에는 원본 데이터 및 CRC 데이터가 할당되지 않는다.

<95> 도 7b를 참조하면, CRC 인에이블 모드에서 원본 데이터의 제 29 내지 제 32 비트들(d28~d31)은 제 1 펄스 신호의 제 1 서브 펄스(DP0)에 응답하여 샘플링되고, 원본 데이터의 제 33 내지 제 36 비트들(d32~d35)은 제 1 펄스 신호의 제 2 서브 펄스(DP1)에 응답하여 샘플링된다.

<96> 도 7c에서, 제 1 클럭 신호(TCLK<0:3>)는 90도의 위상차를 가지는 4 개의 서브 클럭들을 가진다. 도 7c를 참조하면, CRC 인에이블 모드에서 제 1 클럭 신호(TCLK<0:3>)의 제 1 서브 클럭(TCLK0)에 응답하여 원본 데이터의 제 29 비트(d28) 및 제 33 비트(d32)가 샘플링되고, 제 1 클럭 신호(TCLK<0:3>)의 제 2 서브 클럭(TCLK1)에 응답하여 원본 데이터의 제 30 비트(d29) 및 제 34 비트(d33)가 샘플링된다. 또한, 제 1 클럭 신호(TCLK<0:3>)의 제 3 서브 클럭(TCLK2)에 응답하여 원본 데이터의 제 31 비트(d30) 및 제 35 비트(d34)가 샘플링되고, 제 1 클럭 신호(TCLK<0:3>)의 제 4 서브 클럭(TCLK3)에 응답하여 원본 데이터의 제 32 비트(d31) 및 원본 데이터의 제 36 비트(d35)가 샘플링된다.

<97> 도 7d에서, 제 2 펄스 신호(P<0:3>)는 서브 펄스들(P0~P3)을 가지며 도 7c에 도시된 제 1 클럭 신호(TCLK<0:3>)의 이웃하는 서브 클럭들을 이용하여 발생된다. 도 7d를 참조하면, 제 2 펄스 신호(P<0:3>)의 제 1 서브 펄스(P0)의 제 1 펄스에 응답하여 원본 데이터의 제 29 비트(d28)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 2 서브 펄스(P1)의 제 1 펄스에 응답하여 원본 데이터의 제 30 비트(d29)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 3 서브 펄스(P2)의 제 1 펄스에 응답하여 원본 데이터의 제 31 비트(d30)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 4 서브 펄스(P3)의 제 1 펄스에 응답하여 원본 데이터의 제 32 비트(d31)가 샘플링된다.

<98> 또한, 도 7d에서, 제 2 펄스 신호(P<0:3>)의 제 1 서브 펄스(P0)의 제 2 펄스에 응답하여 원본 데이터의 제 33 비트(d32)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 2 서브 펄스(P1)의 제 2 펄스에 응답하여 원본 데이터의 제 34 비트(d33)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 3 서브 펄스(P2)의 제 2 펄스에 응답하여 원본 데이터의 제 35 비트(d34)가 샘플링되고, 제 2 펄스 신호(P<0:3>)의 제 4 서브 펄스(P3)의 제 2 펄스에 응답하여 원본 데이터의 제 36 비트(d35)가 샘플링된다.

<99> 따라서, 도 7a 내지 도 7d에 도시된 프레임 구성 방법에 의해 형성된 제 5 레인(LANE_C)의 데이터는 CRC 인에이블 모드에서 원본 데이터의 제 29 내지 제 36 비트들(d28~d35)이 직렬로 배열된 직렬 데이터이다. 전술한 바와 같이, CRC 디스에이블 모드에서 제 5 레인(LANE_C)에는 원본 데이터 및 CRC 데이터가 할당되지 않는다.

<100> 도 8은 본 발명의 제 1 실시예에 따른 반도체 메모리 장치(1000)를 나타내는 블록도이다. 도 8에는 설명의 편의상 반도체 메모리 장치의 출력 경로만 도시되었다.

- <101> 도 8을 참조하면, 반도체 메모리 장치(1000)는 메모리 코어(1100), CRC 계산기(1200), 직렬화기(serializer)(1300), 및 출력 버퍼(1400)를 포함한다.
- <102> 메모리 코어(1100)에는 제 1 데이터(d0~d63)가 저장되어 있다. CRC 계산기(1200)는 상기 메모리 코어로부터 64 비트의 제 1 데이터(d0~d63)를 수신하고, 제 1 데이터(d0~d63)에 기초하여 8 비트의 CRC 데이터(c0~c7)를 발생시킨다.
- <103> 직렬화기(1300)는 CRC 인에이블 모드와 CRC 디스에이블 모드에서 서로 다른 형태의 프레임(frame)을 가진다. 직렬화기(1300)는 CRC 인에이블 모드에서 제 1 데이터(d0~d63) 및 CRC 데이터(c0~c7)에 응답하여 제 1 프레임을 구성하고, 상기 제 1 프레임에 따라 제 1 데이터(d0~d63)와 상기 CRC 데이터를 직렬화한다.
- <104> 또한, 직렬화기(1300)는 CRC 디스에이블 모드에서 제 1 데이터(d0~d63)에 응답하여 상기 제 1 프레임과 다른 형태를 가지는 제 2 프레임을 구성하고, 상기 제 2 프레임에 따라 상기 제 1 데이터(d0~d63)를 직렬화한다. 상기 제 1 및 제 2 프레임은 각각 직렬화기(1300)의 출력 라인들에 대응하는 복수의 레인(lane)들을 포함한다.
- <105> 출력 버퍼(1400)는 직렬화기(1300)의 출력 데이터(DO, DOB)를 버퍼링하여 반도체 메모리 장치의 출력 데이터(DOUT, DOUTB)를 발생시킨다. CRC 인에이블 신호(CRC_EN)는 CRC 인에이블 모드에서 활성화되고, CRC 디스에이블 모드에서 비활성화된다. CRC 인에이블 신호(CRC_EN)는 모드 레지스터 셋 신호(Mode Register Set signal; MRS)에 응답하여 활성화될 수 있다.
- <106> 도 3 및 도 4에 도시된 출력 데이터의 프레임은 직렬화기(1300)에서 메모리 코어(1100)로부터 출력된 제 1 데이터(d0~d63) 및 CRC 데이터(c0~c7)를 직렬화하는 데 사용된다. CRC 인에이블 모드에서 직렬화기(1300)는 도 3에 도시된 제 1 프레임에 따라 제 1 데이터(d0~d63) 및 CRC 데이터(c0~c7)를 직렬화하고, CRC 디스에이블 모드에서 직렬화기(1300)는 도 4에 도시된 제 2 프레임에 따라 제 1 데이터(d0~d63)를 직렬화한다.
- <107> CRC 인에이블 모드에서, CRC 데이터를 구성하는 비트들(c0~c7)은 시간 축 상에서 제 1 프레임의 맨 끝에 위치한다. 또한, CRC 디스에이블 모드에서 제 2 프레임의 시간 축 상의 맨 끝에는 제 1 데이터의 제 1 부분 비트들이 위치한다. 출력 버퍼는 CRC 디스에이블 모드에서 비활성화된다.
- <108> 도 8에 도시된 본 발명에 따른 반도체 메모리 장치는 8 UI의 구조를 가지는 프레임에 따라 병렬 데이터를 직렬화하므로 클러킹이 간단하고, CRC 데이터가 시간축 상에서 맨 나중에 할당되므로 CRC 커버리지가 양호하며 부가적인 레이턴시를 요구하지 않는다.
- <109> 도 9는 도 8의 반도체 메모리 장치에 포함되어 있는 직렬화기의 하나의 실시예를 나타내는 블록도이다.
- <110> 도 9를 참조하면, 직렬화기(1300)는 제 1 직렬화부(1310), 제 2 직렬화부(1320), 제 3 직렬화부(1330), 제 4 직렬화부(1340), 제 5 직렬화부(1350), 제 6 직렬화부(1360), 제 7 직렬화부(1370), 제 8 직렬화부(1380), 및 제 9 직렬화부(1390)를 포함한다.
- <111> 제 1 직렬화부(1310)는 상기 제 1 프레임 및 상기 제 2 프레임의 제 1 레인(도 3의 LANE0)에 대응하고, 제 2 직렬화부(1320)는 상기 제 1 프레임 및 상기 제 2 프레임의 제 2 레인(도 3의 LANE1)에 대응하고, 제 3 직렬화부(1330)는 상기 제 1 프레임 및 상기 제 2 프레임의 제 3 레인(도 3의 LANE2)에 대응하고, 제 4 직렬화부(1340)는 상기 제 1 프레임 및 상기 제 2 프레임의 제 4 레인(도 3의 LANE3)에 대응하고, 제 5 직렬화부(1350)는 상기 제 1 프레임 및 상기 제 2 프레임의 제 5 레인(도 3의 LANE_C)에 대응하고, 제 6 직렬화부(1360)는 상기 제 1 프레임 및 상기 제 2 프레임의 제 6 레인(도 3의 LANE4)에 대응하고, 제 7 직렬화부(1370)는 상기 제 1 프레임 및 상기 제 2 프레임의 제 7 레인(도 3의 LANE5)에 대응하고, 제 8 직렬화부(1380)는 상기 제 1 프레임 및 상기 제 2 프레임의 제 8 레인(도 3의 LANE6)에 대응하고, 제 9 직렬화부(1390)는 상기 제 1 프레임 및 상기 제 2 프레임의 제 9 레인(도 3의 LANE7)에 대응한다.
- <112> 제 1 직렬화부(1310)는 CRC 인에이블 신호(CRC_EN), 제 1 펄스 신호(DP) 및 제 1 클럭 신호(TCLK)에 응답하여 제 1 데이터의 제 1 내지 제 7 비트(d0~d6), CRC 데이터의 제 1 비트(c0), 및 제 1 데이터의 제 29 비트(d28)에 대해 샘플링과 선택 동작을 수행하여 직렬화된 제 2 데이터의 제 1 비트쌍(D00, D00B)을 발생시킨다.
- <113> 제 5 직렬화부(1350)는 CRC 인에이블 신호(CRC_EN), 제 1 펄스 신호(DP) 및 제 1 클럭 신호(TCLK)에 응답하여 제 1 데이터의 제 29 내지 제 35 비트(d28~d34), 및 제 1 데이터의 제 36 비트(d35)에 대해 샘플링과 선택 동작을 수행하여 직렬화된 제 2 데이터의 제 5 비트쌍(D04, D04B)을 발생시킨다.
- <114> 제 1 직렬화부(1310), 제 2 직렬화부(1320), 제 3 직렬화부(1330), 제 4 직렬화부(1340), 제 6 직렬화부

(1360), 제 7 직렬화부(1370), 제 8 직렬화부(1380) 및 제 9 직렬화부(1390)는 각각 입력 데이터의 비트와 출력 데이터의 비트만 다르고 제 1 직렬화부(1310)와 유사하게 동작한다.

제 5 직렬화부(1350)는 도 3 및 도 4의 제 5 레인(LANE_C)에 대응하는 8 개의 비트를 생성한다. 이 8 개의 비트는 시간의 경과에 따라 T0에서 T7에 걸쳐 생성된다. 도 8 및 도 9를 참조하면, 직렬화기(1300)는 제 1 직렬화부(1310) 내지 제 9 직렬화부(1390)로 구성된다. 직렬화기(1300)의 출력 데이터(D0)는 한 번에 9 비트가 출력된다. 예르 들면, 도 3에서 시각(T0)에서 9 개의 레인들(LANE0, LANE1, LANE2, LANE3, LANE_C, LANE4, LANE5, LANE6, LANE7)을 통해 출력되는 데이터는 d0, d7, d14, d21, d28, d36, d43, d50, d57의 9 비트의 데이터가 된다.

이와 같이, 한 번에 직렬화기(1300)를 통해 출력되는 데이터(D0)가 제 2 데이터이다. 즉, 도 8과 도 9를 참조하면, 제 2 데이터는 직렬화기(1300)의 출력 데이터(D0)를 구성하는 9 개의 비트들(D00, D01, D02, D03, D04, D05, D06, D07, D08)이다. 제 2 데이터의 비트들은 도 3의 출력 데이터 프레임에서 동일한 시각에 발생하는 데이터 비트들(d0, d7, d14, d21, d28, d36, d43, d50, d57)에 대응된다. 시각(T1)에서는 제 2 데이터의 비트들은 도 3의 출력 데이터 프레임에서 T1에 발생하는 데이터 비트들(d1, d8, d15, d22, d29, d37, d44, d51, d58)에 대응된다. 즉, 제 2 데이터의 제 5 비트는 도 3의 출력 프레임의 제 5 레인(LANE_C)에 있는 8 개의 데이터 비트들(d28, d29, d30, d31, d32, d33, d34, d35)을 한 번에 하나씩 발생한다.

- <115> 도 10은 도 9의 직렬화기(1300)에 포함되어 있는 제 1 직렬화부(1310)의 하나의 실시예를 나타내는 회로도이다.
- <116> 도 10을 참조하면, 제 1 직렬화부(1310)는 제 1 선택 회로(1311), 제 1 게이팅 회로(1312), 제 2 선택 회로(1313), 제 2 게이팅 회로(1314), 펄스 발생 회로(1315), 및 제 3 선택 회로(1316)를 포함한다.
- <117> 제 1 선택 회로(1311)는 멀티플렉서로 구성되며, CRC 인에이블 신호(CRC_EN)에 응답하여 CRC 데이터의 제 1 비트(c0)와 제 1 데이터의 제 29 비트(d28) 중에서 하나를 선택하고 제 1 선택 데이터(MD1)를 출력한다.
- <118> 제 1 게이팅 회로(1312)는 제 1 펄스 신호(DP<0:1>)에 응답하여 제 1 데이터의 제 1 내지 제 7 비트(d0~d6) 및 제 1 선택 데이터(MD1)에 대해 샘플링을 수행하고 8 비트의 제 1 게이티드 데이터(GD0~GD7)를 발생시킨다.
- <119> 제 2 선택 회로(1313)는 제 1 펄스 신호(DP<0:1>)에 응답하여 제 1 게이티드 데이터의 각 비트들(GD0~GD7)에 대해 먹싱을 수행하여 4 비트의 제 2 게이티드 데이터(SGD00~SGD03)를 발생시킨다.
- <120> 제 2 게이팅 회로(1314)는 90도의 위상차를 가지는 4 개의 서브 클럭으로 구성된 제 1 클럭 신호(TCLK<0:3>)에 응답하여 제 2 게이티드 데이터의 각 비트들(SGD00~SGD03)에 대해 샘플링을 수행하고 4 비트의 제 3 게이티드 데이터(GSGD00~GSGD03)를 발생시킨다.
- <121> 펄스 발생 회로(1315)는 제 1 클럭 신호(TCLK<0:3>)의 서브 클럭들을 이용하여 순차적으로 발생하는 4 개의 서브 펄스로 구성된 제 2 펄스 신호(P<0:3>)를 발생시킨다.
- <122> 제 3 선택 회로(1316)는 제 2 펄스 신호(P<0:3>)에 응답하여 상기 제 3 게이티드 데이터(GSGD00~GSGD03)에 대해 먹싱을 수행하여 출력 데이터쌍(D00, D00B)을 발생시킨다.
- <123> 제 1 펄스 신호(DP<0:1>)의 서브 펄스들(DP0, DP1)은 도 5b에 도시된 파형을 가진다. 또한, 제 1 클럭 신호의 서브 클럭들(TCLK0, TCLK1, TCLK2, TCLK3)은 도 5c에 도시된 파형을 가지며, 제 2 펄스 신호의 서브 펄스들(P0, P1, P2, P3)은 도 5d에 도시된 파형을 가진다.
- <124> 도 11은 도 10의 제 1 직렬화부(1310)에 포함되어 있는 제 1 게이팅 회로(1312)의 하나의 실시예를 나타내는 회로도이다.
- <125> 도 11을 참조하면, 제 1 게이팅 회로(1312)는 제 1 플립플롭(FF1), 제 2 플립플롭(FF5), 제 3 플립플롭(FF2), 제 4 플립플롭(FF6), 제 5 플립플롭(FF3), 제 6 플립플롭(FF7), 제 7 플립플롭(FF4), 및 제 8 플립플롭(FF8)을 포함한다.
- <126> 제 1 플립플롭(FF1)은 상기 제 1 펄스 신호의 제 1 서브 펄스(DP0)에 응답하여 제 1 데이터의 제 1 비트(d0)를 샘플링하고 제 1 게이티드 데이터의 제 1 비트(GD0)를 출력한다. 제 2 플립플롭(FF5)은 제 1 펄스 신호의 제 2 서브 펄스(DP1)에 응답하여 제 1 데이터의 제 5 비트(d4)를 샘플링하고 제 1 게이티드 데이터의 제 2 비트(GD1)를 출력한다. 제 3 플립플롭(FF2)은 제 1 펄스 신호의 제 1 서브 펄스(DP0)에 응답하여 제 1 데이터의 제 2 비트(d1)를 샘플링하고 제 1 게이티드 데이터의 제 3 비트(GD2)를 출력한다. 제 4 플립플롭(FF6)은 제 1 펄스 신호의 제 2 서브 펄스(DP1)에 응답하여 제 1 데이터의 제 6 비트(d5)를 샘플링하고 제 1 게이티드 데이터의 제

4 비트(GD3)를 출력한다. 제 5 플립플롭(FF3)은 제 1 펄스 신호의 제 1 서브 펄스(DP0)에 응답하여 제 1 데이터의 제 3 비트(d2)를 샘플링하고 제 1 게이트드 데이터의 제 5 비트(GD4)를 출력한다. 제 6 플립플롭(FF7)은 제 1 펄스 신호의 제 2 서브 펄스(DP1)에 응답하여 제 1 데이터의 제 7 비트(d6)를 샘플링하고 제 1 게이트드 데이터의 제 6 비트(GD5)를 출력한다. 제 7 플립플롭(FF4)은 제 1 펄스 신호의 제 1 서브 펄스(DP0)에 응답하여 제 1 데이터의 제 4 비트(d3)를 샘플링하고 제 1 게이트드 데이터의 제 7 비트(GD6)를 출력한다. 제 8 플립플롭(FF8)은 제 1 펄스 신호의 제 2 서브 펄스(DP1)에 응답하여 제 1 선택 데이터(MD1)를 샘플링하고 제 1 게이트드 데이터의 제 8 비트(GD7)를 출력한다.

- <127> 도 12는 도 10의 제 1 직렬화부(1310)에 포함되어 있는 제 2 선택 회로(1313)의 하나의 실시예를 나타내는 회로도이다.
- <128> 도 12를 참조하면, 제 2 선택 회로(1313)는 제 1 멀티플렉서(M11), 제 2 멀티플렉서(M12), 제 3 멀티플렉서(M13), 및 제 4 멀티플렉서(M14)를 포함한다.
- <129> 제 1 멀티플렉서(M11)는 제 1 펄스 신호의 서브 펄스들(DP0, DP1)에 응답하여 제 1 게이트드 데이터의 제 1 비트(GD0)와 제 1 게이트드 데이터의 제 2 비트(GD1) 중에서 하나를 선택하고 제 2 게이트드 데이터의 제 1 비트(SGD00)를 발생시킨다.
- <130> 제 2 멀티플렉서(M12)는 제 1 펄스 신호의 서브 펄스들(DP0, DP1)에 응답하여 제 1 게이트드 데이터의 제 3 비트(GD2)와 제 1 게이트드 데이터의 제 4 비트(GD3) 중에서 하나를 선택하고 제 2 게이트드 데이터의 제 2 비트(SGD01)를 발생시킨다.
- <131> 제 3 멀티플렉서(M13)는 제 1 펄스 신호의 서브 펄스들(DP0, DP1)에 응답하여 제 1 게이트드 데이터의 제 5 비트(GD4)와 제 1 게이트드 데이터의 제 6 비트(GD5) 중에서 하나를 선택하고 제 2 게이트드 데이터의 제 3 비트(SGD02)를 발생시킨다.
- <132> 제 4 멀티플렉서(M14)는 제 1 펄스 신호의 서브 펄스들(DP0, DP1)에 응답하여 제 1 게이트드 데이터의 제 7 비트(GD6)와 제 1 게이트드 데이터의 제 8 비트(GD7) 중에서 하나를 선택하고 제 2 게이트드 데이터의 제 4 비트(SGD03)를 발생시킨다.
- <133> 도 13은 도 10의 제 1 직렬화부에 포함되어 있는 제 2 게이팅 회로(1314)의 하나의 실시예를 나타내는 회로도이다.
- <134> 도 13을 참조하면, 제 2 게이팅 회로(1314)는 제 1 플립플롭(FF11), 제 2 플립플롭(FF13), 제 3 플립플롭(FF12), 제 4 플립플롭(FF15), 제 5 플립플롭(FF14), 및 제 6 플립플롭(FF16)을 포함한다.
- <135> 제 1 플립플롭(FF11)은 제 1 클럭 신호의 제 1 서브 클럭(TCLK0)에 응답하여 제 2 게이트드 데이터의 제 1 비트(SGD00)를 샘플링하고 제 3 게이트드 데이터의 제 1 비트(GSGD00)를 출력한다. 제 2 플립플롭(FF13)은 제 1 클럭 신호의 제 2 서브 클럭(TCLK1)에 응답하여 제 2 게이트드 데이터의 제 2 비트(SGD01)를 샘플링하고 제 3 게이트드 데이터의 제 2 비트(GSGD01)를 출력한다. 제 3 플립플롭(FF12)은 제 1 클럭 신호의 제 1 서브 클럭(TCLK0)에 응답하여 제 2 게이트드 데이터의 제 3 비트(SGD02)를 샘플링한다. 제 4 플립플롭(FF15)은 제 1 클럭 신호의 제 3 서브 클럭(TCLK2)에 응답하여 제 3 플립플롭(FF12)의 출력 데이터를 샘플링하고 제 3 게이트드 데이터의 제 3 비트(GSGD02)를 출력한다. 제 5 플립플롭(FF14)은 제 1 클럭 신호의 상기 제 2 서브 클럭(TCLK1)에 응답하여 제 2 게이트드 데이터의 제 4 비트(SGD03)를 샘플링한다. 제 6 플립플롭(FF16)은 제 1 클럭 신호의 제 4 서브 클럭(TCLK3)에 응답하여 제 5 플립플롭(FF14)의 출력 데이터를 샘플링하고 제 3 게이트드 데이터의 제 4 비트(GSGD03)를 출력한다.
- <136> 도 14는 도 10의 제 1 직렬화부에 포함되어 있는 펄스 발생 회로(1315)의 하나의 실시예를 나타내는 회로도이다.
- <137> 도 14를 참조하면, 펄스 발생 회로(1315)는 제 1 AND 게이트(AND1), 제 2 AND 게이트(AND2), 제 3 AND 게이트(AND3) 및 제 4 AND 게이트(AND4)를 포함한다. 제 1 AND 게이트(AND1)는 제 1 클럭 신호의 제 1 서브 클럭(TCLK0)과 제 1 클럭 신호의 제 2 서브 클럭(TCLK1)에 대해 논리곱 연산을 수행하고 제 2 펄스 신호의 제 1 서브 펄스(P0)를 발생시킨다. 제 2 AND 게이트(AND2)는 제 1 클럭 신호의 제 2 서브 클럭(TCLK1)과 제 1 클럭 신호의 제 3 서브 클럭(TCLK2)에 대해 논리곱 연산을 수행하고 제 2 펄스 신호의 제 2 서브 펄스(P1)를 발생시킨다. 제 3 AND 게이트(AND3)는 제 1 클럭 신호의 제 3 서브 클럭(TCLK2)과 제 1 클럭 신호의 제 4 서브 클럭(TCLK3)에 대해 논리곱 연산을 수행하고 제 2 펄스 신호의 제 3 서브 펄스(P2)를 발생시킨다. 제 4 AND 게이트

(AND4)는 제 1 클럭 신호의 제 4 서브 클럭(TCLK3)과 제 1 클럭 신호의 제 1 서브 클럭(TCLK0)에 대해 논리곱 연산을 수행하고 제 2 펄스 신호의 제 4 서브 펄스(P3)를 발생시킨다.

- <138> 도 15는 도 10의 제 1 직렬화부(1310)에 포함되어 있는 제 3 선택 회로(1316)의 하나의 실시예를 나타내는 회로도이다.
- <139> 도 15를 참조하면, 제 3 선택 회로(1316)는 반전 회로(1316a), 제 1 결합 회로(1316b), 제 2 결합 회로(1316c), 제 1 멀티플렉서(1316d) 및 제 2 멀티플렉서(1316e)를 포함한다.
- <140> 반전 회로(1316a)는 제 3 게이티드 데이터의 제 1 비트(GSGD00), 제 3 게이티드 데이터의 제 2 비트(GSGD01), 제 3 게이티드 데이터의 제 3 비트(GSGD02), 및 제 3 게이티드 데이터의 제 4 비트(GSGD03)를 각각 반전시키고 제 1 반전 데이터, 제 2 반전 데이터, 제 3 반전 데이터, 및 제 4 반전 데이터를 발생시킨다.
- <141> 제 1 결합 회로(1316b)는 제 3 게이티드 데이터의 비트들(GSGD00, GSGD01, GSGD02, GSGD03) 각각과 제 2 펄스 신호의 서브 펄스들(P0, P1, P2, P3) 각각을 결합시킨다. 제 2 결합 회로(1316c)는 반전 회로(1316a)의 출력 데이터들과 제 2 펄스 신호의 서브 펄스들(P0, P1, P2, P3) 각각을 결합시킨다.
- <142> 제 1 멀티플렉서(1316d)는 제 1 결합 회로(1316b)의 출력 데이터들에 대해 먹싱을 수행하고 제 2 데이터 또는 제 3 데이터의 제 1 비트(D00)를 발생시킨다. 제 2 멀티플렉서(1316e)는 제 2 결합 회로(1316c)의 출력 데이터들에 대해 먹싱을 수행하고 제 2 데이터 또는 제 3 데이터의 제 1 비트(D00)의 상보 비트(D00B)를 발생시킨다.
- <143> 반전 회로(1316a)는 제 1 인버터(INV1), 제 2 인버터(INV2), 제 3 인버터(INV3) 및 제 4 인버터(INV4)를 포함한다.
- <144> 제 1 인버터(INV1)는 제 3 게이티드 데이터의 제 1 비트(GSGD00)를 반전시키고 상기 제 1 반전 데이터를 출력한다. 제 2 인버터(INV2)는 제 3 게이티드 데이터의 제 2 비트(GSGD01)를 반전시키고 상기 제 2 반전 데이터를 출력한다. 제 3 인버터(INV3)는 제 3 게이티드 데이터의 제 3 비트(GSGD02)를 반전시키고 상기 제 3 반전 데이터를 출력한다. 제 4 인버터(INV4)는 제 3 게이티드 데이터의 제 4 비트(GSGD03)를 반전시키고 상기 제 4 반전 데이터를 출력한다.
- <145> 제 1 결합 회로(1316b)는 제 1 AND 게이트(AND5), 제 2 AND 게이트(AND6), 제 3 AND 게이트(AND7) 및 제 4 AND 게이트(AND8)를 포함한다.
- <146> 제 1 AND 게이트(AND5)는 제 3 게이티드 데이터의 제 1 비트(GSGD00)와 제 2 펄스 신호의 제 1 서브 펄스(P0)에 대해 논리곱 연산을 수행한다. 제 2 AND 게이트(AND6)는 제 3 게이티드 데이터의 제 2 비트(GSGD01)와 제 2 펄스 신호의 제 2 서브 펄스(P1)에 대해 논리곱 연산을 수행한다. 제 3 AND 게이트(AND7)는 제 3 게이티드 데이터의 제 3 비트(GSGD02)와 제 2 펄스 신호의 제 3 서브 펄스(P2)에 대해 논리곱 연산을 수행한다. 제 4 AND 게이트(AND8)는 제 3 게이티드 데이터의 제 4 비트(GSGD03)와 제 2 펄스 신호의 제 4 서브 펄스(P3)에 대해 논리곱 연산을 수행한다.
- <147> 제 2 결합 회로(1316c)는 제 5 AND 게이트(AND9), 제 6 AND 게이트(AND10), 제 7 AND 게이트(AND11) 및 제 8 AND 게이트(AND12)를 포함한다.
- <148> 제 5 AND 게이트(AND9)는 상기 제 1 반전 데이터와 제 2 펄스 신호의 제 1 서브 펄스(P0)에 대해 논리곱 연산을 수행한다. 제 6 AND 게이트(AND10)는 상기 제 2 반전 데이터와 제 2 펄스 신호의 제 2 서브 펄스(P1)에 대해 논리곱 연산을 수행한다. 제 7 AND 게이트(AND11)는 상기 제 3 반전 데이터와 제 2 펄스 신호의 제 3 서브 펄스(P2)에 대해 논리곱 연산을 수행한다. 제 8 AND 게이트(AND12)는 상기 제 4 반전 데이터와 제 2 펄스 신호의 제 4 서브 펄스(P3)에 대해 논리곱 연산을 수행하는 제 4 AND 게이트를 포함한다.
- <149> 도 16은 도 9의 직렬화기에 포함되어 있는 제 2 직렬화부(1320)의 하나의 실시예를 나타내는 회로도이다.
- <150> 도 16을 참조하면, 제 2 직렬화부(1320)는 제 1 선택 회로(1321), 제 1 게이팅 회로(1322), 제 2 선택 회로(1323), 제 2 게이팅 회로(1324), 펄스 발생 회로(1325), 및 제 3 선택 회로(1326)를 포함한다.
- <151> 제 1 선택 회로(1321)는 멀티플렉서로 구성되며, CRC 인에이블 신호(CRC_EN)에 응답하여 CRC 데이터(c0~c7)의 제 2 비트(c1)와 상기 제 1 데이터의 상기 제 30 비트(d29) 중에서 하나를 선택하고 제 2 선택 데이터(MD2)를 출력한다.
- <152> 제 1 게이팅 회로(1322)는 제 1 펄스 신호(DP<0:1>)에 응답하여 제 1 데이터(d0~d63)의 제 8 내지 제 14 비트

(d7~d13) 및 제 2 선택 데이터(MD2)에 대해 샘플링을 수행하고 8 비트의 제 4 게이트 데이터(GD7~GD14)를 발생시킨다.

- <153> 제 2 선택 회로(1323)는 제 1 펄스 신호(DP<0:1>)에 응답하여 제 4 게이트 데이터(GD7~GD14)의 각 비트들에 대해 먹싱을 수행하여 4 비트의 제 5 게이트 데이터(SGD10~SGD13)를 발생시킨다.
- <154> 제 2 게이팅 회로(1324)는 90도의 위상차를 가지는 4 개의 서브 클럭으로 구성된 상기 제 1 클럭 신호(TCLK<0:3>)에 응답하여 제 5 게이트 데이터(SGD10~SGD13)의 각 비트들에 대해 샘플링을 수행하고 4 비트의 제 6 게이트 데이터(GSGD10~GSGD13)를 발생시킨다.
- <155> 펄스 발생 회로(1325)는 제 1 클럭 신호(TCLK<0:3>)의 서브 클럭들을 이용하여 순차적으로 발생하는 4 개의 서브 펄스로 구성된 제 2 펄스 신호(P<0:3>)를 발생시킨다.
- <156> 제 3 선택 회로(1326)는 제 2 펄스 신호(P<0:3>)에 응답하여 제 6 게이트 데이터(GSGD10~GSGD13)에 대해 먹싱을 수행하여 출력 데이터쌍(D01, D01B)을 발생시킨다.
- <157> 도 17은 도 9의 직렬화기에 포함되어 있는 제 5 직렬화부(1350)의 하나의 실시예를 나타내는 회로도이다.
- <158> 도 17을 참조하면, 제 5 직렬화부(1350)는 제 1 선택 회로(1351), 제 1 게이팅 회로(1352), 제 2 선택 회로(1353), 제 2 게이팅 회로(1354), 펄스 발생 회로(1355), 제 3 선택 회로(1356), 제 1 AND 게이트(1357) 및 제 2 AND 게이트(1358)를 포함한다.
- <159> 제 1 선택 회로(1351)는 CRC 인에이블 신호(CRC_EN)에 응답하여 CRC 데이터(c0~c7)의 제 2 비트(c1)와 상기 제 1 데이터의 상기 제 29 내지 제 36 비트(d28~d35) 각각과 접지전압에 대해 먹싱을 수행하고 제 1 내지 제 8 선택 데이터(d28P~d35P)를 출력한다.
- <160> 제 1 AND 게이트(1357)는 CRC 인에이블 신호(CRC_EN)와 제 1 펄스 신호(DP<0:1>)에 대해 논리곱 연산을 수행하고 제 2 펄스 신호를 발생시킨다.
- <161> 제 2 AND 게이트(1358)는 CRC 인에이블 신호(CRC_EN)와 제 1 클럭 신호(TCLK<0:3>)에 대해 논리곱 연산을 수행하고 제 2 클럭 신호를 발생시킨다.
- <162> 제 1 게이팅 회로(1352)는 상기 제 2 펄스 신호에 응답하여 제 1 내지 제 8 선택 데이터(d28P~d35P)에 대해 샘플링을 수행하고 8 비트의 제 7 게이트 데이터(GD28~GD35)를 발생시킨다.
- <163> 제 2 선택 회로(1353)는 제 1 펄스 신호(DP<0:1>)에 응답하여 제 7 게이트 데이터(GD28~GD35)의 각 비트들에 대해 먹싱을 수행하여 4 비트의 제 8 게이트 데이터(SGDC0~SGDC3)를 발생시킨다.
- <164> 제 2 게이팅 회로(1354)는 상기 제 2 클럭 신호에 응답하여 제 8 게이트 데이터(SGDC0~SGDC3)의 각 비트들에 대해 샘플링을 수행하고 4 비트의 제 9 게이트 데이터(GSGDC0~GSGDC3)를 발생시킨다.
- <165> 펄스 발생 회로(1355)는 제 2 클럭 신호의 서브 클럭들을 이용하여 순차적으로 발생하는 4 개의 서브 펄스로 구성된 제 3 펄스 신호(P<0:3>)를 발생시킨다.
- <166> 제 3 선택 회로(1356)는 제 3 펄스 신호(P<0:3>)에 응답하여 제 9 게이트 데이터(GSGDC0~GSGDC3)에 대해 먹싱을 수행하여 출력 데이터쌍(D0C, D0CB)을 발생시킨다.
- <167> 도 18은 도 8의 반도체 메모리 장치에 포함되어 있는 출력버퍼(1400)의 하나의 실시예를 나타내는 블록도이다.
- <168> 도 18을 참조하면, 출력버퍼(1400)는 제 1 출력버퍼부(1410), 제 2 출력버퍼부(1420), 제 3 출력버퍼부(1430), 제 4 출력버퍼부(1440), 제 5 출력버퍼부(1450), 제 6 출력버퍼부(1460), 제 7 출력버퍼부(1470), 제 8 출력버퍼부(1480), 및 제 9 출력버퍼부(1490)를 포함한다.
- <169> 제 1 출력버퍼부(1410)는 직렬화기(1300)의 출력 데이터의 제 1 비트쌍(D0, D0B)을 버퍼링하고 반도체 메모리 장치의 출력 데이터의 제 1 비트쌍(DOUT0, DOUT0B)을 출력한다. 직렬화기(1300)의 출력 데이터의 제 1 비트쌍(D0, D0B)은 CRC 인에이블 모드에서 상기 제 2 데이터의 제 1 비트가 되고, CRC 디스에이블 모드에서 상기 제 3 데이터의 제 1 비트가 된다.
- <170> 제 5 출력버퍼부(1450)는 직렬화기(1300)의 출력 데이터의 제 5 비트쌍(D4, D4B)을 버퍼링하고 반도체 메모리 장치의 출력 데이터의 제 5 비트쌍(DOUT4, DOUT4B)을 출력한다. 직렬화기(1300)의 출력 데이터의 제 5 비트쌍(D4, D4B)은 CRC 인에이블 모드에서 상기 제 2 데이터의 제 5 비트가 되고, CRC 디스에이블 모드에서 상기 제 3

데이터의 제 5 비트가 된다.

- <171> 제 2 출력버퍼부(1420), 제 3 출력버퍼부(1430), 제 4 출력버퍼부(1440), 제 6 출력버퍼부(1460), 제 7 출력버퍼부(1470), 제 8 출력버퍼부(1480) 및 제 9 출력버퍼부(1490)는 각각 입력 데이터의 비트와 출력 데이터의 비트만 다르고 제 1 출력버퍼부(1410)와 유사하게 동작한다.
- <172> 도 19는 도 18의 출력 버퍼(1400)에 포함되어 있는 제 1 출력 버퍼부(1410)의 하나의 실시예를 나타내는 회로도이다.
- <173> 도 19를 참조하면, 제 1 출력 버퍼부(1410)는 제 1 PMOS 트랜지스터(MP1), 제 2 PMOS 트랜지스터(MP2), 제 1 저항(R1), 제 2 저항(R2), 제 1 NMOS 트랜지스터(MN1), 제 2 NMOS 트랜지스터(MN2) 및 제 3 NMOS 트랜지스터(MN3)를 포함한다.
- <174> 제 1 PMOS 트랜지스터(MP1) 및 제 2 PMOS 트랜지스터(MP2)는 전원전압(VDD)에 연결된 소스 및 접지전압(GND)에 연결된 게이트를 가진다. 제 1 저항(R1)은 제 1 PMOS 트랜지스터(MP1)의 드레인과 제 1 출력 노드(NO1) 사이에 결합되어 있고, 제 2 저항(R2)은 제 2 PMOS 트랜지스터(MP2)의 드레인과 제 2 출력 노드(NO2) 사이에 결합되어 있다. 제 1 NMOS 트랜지스터(MN1)는 직렬화기(1300)의 출력 데이터(D00)가 인가되는 게이트, 제 1 출력 노드(NO1)에 연결된 드레인, 및 제 1 노드(N11)에 연결된 소스를 가진다. 제 2 NMOS 트랜지스터(MN2)는 직렬화기(1300)의 반전된 출력 데이터(D00B)가 인가되는 게이트, 제 2 출력 노드(NO2)에 연결된 드레인, 및 제 1 노드(N11)에 연결된 소스를 가진다. 제 3 NMOS 트랜지스터(MN3)는 바이어스 전압(VBIAS)이 인가되는 게이트, 제 1 노드(N11)에 연결된 드레인, 및 접지 전압(GND)에 연결된 소스를 가진다.
- <175> 도 20은 도 18의 출력 버퍼(1400)에 포함되어 있는 제 5 출력 버퍼부(1450)의 하나의 실시예를 나타내는 회로도이다.
- <176> 도 20을 참조하면, 제 5 출력 버퍼부(1450)는 제 1 PMOS 트랜지스터(MP3), 제 2 PMOS 트랜지스터(MP4), 제 1 저항(R3), 제 2 저항(R4), 제 1 NMOS 트랜지스터(MN4), 제 2 NMOS 트랜지스터(MN5), 제 3 NMOS 트랜지스터(MN6), 인버터(INV11), 전송 게이트(TG1) 및 제 4 NMOS 트랜지스터(MN7)를 포함한다.
- <177> 제 1 PMOS 트랜지스터(MP3) 및 제 2 PMOS 트랜지스터(MP4)는 전원전압(VDD)에 연결된 소스 및 접지전압(GND)에 연결된 게이트를 가진다. 제 1 저항(R3)은 제 1 PMOS 트랜지스터(MP3)의 드레인과 제 1 출력 노드(NO3) 사이에 결합되어 있고, 제 2 저항(R4)은 제 2 PMOS 트랜지스터(MP4)의 드레인과 제 2 출력 노드(NO2) 사이에 결합되어 있다. 제 1 NMOS 트랜지스터(MN4)는 직렬화기(1300)의 출력 데이터(D04)가 인가되는 게이트, 제 1 출력 노드(NO3)에 연결된 드레인, 및 제 1 노드(N12)에 연결된 소스를 가진다. 제 2 NMOS 트랜지스터(MN5)는 직렬화기(1300)의 반전된 출력 데이터(D04B)가 인가되는 게이트, 제 2 출력 노드(NO4)에 연결된 드레인, 및 제 1 노드(N12)에 연결된 소스를 가진다. 제 3 NMOS 트랜지스터(MN6)는 제 1 전압신호(VB)가 인가되는 게이트, 제 1 노드(N12)에 연결된 드레인, 및 접지 전압(GND)에 연결된 소스를 가진다.
- <178> 인버터(INV11)는 CRC 인에이블 신호(CRC_EN)를 반전시킨다. 전송 게이트(TG1)는 CRC 인에이블 신호(CRC_EN) 및 인버터(INV11)의 출력신호에 응답하여 바이어스 전압(VBIAS)을 샘플링하고 제 1 전압신호(VB)를 발생시킨다. 제 4 NMOS 트랜지스터(MN7)는 제 3 NMOS 트랜지스터(MN6)의 게이트에 연결된 드레인, 인버터(INV11)의 출력 신호가 인가되는 게이트, 및 접지 전압(GND)에 연결된 소스를 가진다.
- <179> 제 5 출력 버퍼부(1450)는 CRC 인에이블 모드에서, 즉 CRC 인에이블 신호(CRC_EN)가 인에이블되었을 때, 바이어스 전압(VBIAS)이 제 3 NMOS 트랜지스터(MN6)의 게이트에 제공되어 활성화된다. CRC 디스에이블 모드에서, 즉 CRC 인에이블 신호(CRC_EN)가 디스에이블되었을 때, 전송 게이트(TG1)가 턴오프되고 제 5 출력 버퍼부(1450)는 비활성화된다.
- <180> 도 21은 메모리 컨트롤러와 DRAM 장치들을 포함하는 메모리 모듈 사이의 연결관계를 나타내는 본 발명의 하나의 실시예에 따른 메모리 시스템(2000)을 나타내는 블록도이다.
- <181> 도 21을 참조하면, 메모리 시스템(2000)은 메모리 컨트롤러(MC)(2100) 및 메모리 모듈 (DIMM)(2200)을 포함한다. 메모리 모듈 (DIMM)(2200)에는 도 8에 도시된 반도체 메모리 장치의 구성을 가지는 반도체 메모리 장치들이 스택 방식(stack mode)으로 장착되어 있다. 메모리 컨트롤러(MC)(2100)와 메모리 모듈 (DIMM)(2200) 간에는 포인트-투-포인트(point-to-point) 방식으로 결합되어 있다. 메모리 모듈 (DIMM)(2200)에 장착된 반도체 메모리 장치들은 각각 리피터(repeater)(미도시)를 구비하며 이전 단의 반도체 메모리 장치 또는 메모리 컨트롤러로부터 수신된 데이터를 다음 단의 반도체 메모리 장치에 전달하는 기능을 가진다. 도 21에서는 설명의 편의

상 2 개의 DRAM 장치들(2210, 2220)이 장착된 메모리 모듈 (DIMM)(2200)을 나타내었다.

- <182> 도 22는 도 21의 메모리 시스템(2000)을 구성하는 DRAM 장치들 사이의 결합 관계를 나타내는 회로도이다.
- <183> 도 22를 참조하면, 제 1 DRAM 장치(2210)는 입력 핀들(PI11~PI15)과 출력 핀들(PO11~PO15)을 포함하고, 제 2 DRAM 장치(2220)는 입력 핀들(PI21~I25)과 출력 핀들(PO21~PO25)을 포함한다. 제 3 DRAM 장치(2230)는 입력 핀들(PI31~PI35)과 출력 핀들(PO31~PO35)을 포함하고, 제 4 DRAM 장치(2240)는 입력 핀들(PI41~I45)과 출력 핀들(PO41~PO45)을 포함한다.
- <184> 제 1 DRAM 장치(2210)의 출력 핀들(PO11~PO15)은 채널들(CH21, CH22, CH23, CH24, CH25)을 통해 제 2 DRAM 장치(2220)의 입력 핀들(PI25~PI21)에 각각 결합된다. 제 1 DRAM 장치(2210)의 입력 핀들(PI11~PI15)은 채널들(CH11, CH12, CH13, CH14, CH15)을 통해 제 3 DRAM 장치(2230)의 출력 핀들(PO35~PO31)에 각각 결합된다. 제 4 DRAM 장치(2240)의 출력 핀들(PO41~PO45)은 채널들(CH31, CH32, CH33, CH34, CH35)을 통해 제 3 DRAM 장치(2230)의 입력 핀들(PI35~PI31)에 각각 결합된다. 제 4 DRAM 장치(2240)의 입력 핀들(PI41~PI45)에는 메모리 컨트롤러에서 수신된 데이터가 입력되며, 제 2 DRAM 장치(2220)의 출력 핀들(PO21~PO25)에서 출력된 데이터는 메모리 컨트롤러에 제공된다.
- <185> 도 22의 예에서, 메모리 모듈은 서로 스택 방식으로 결합된 4 개의 DRAM 장치들(2210, 2220, 2230, 2240)을 포함하며, 각 DRAM 장치는 5 개의 입력 핀과 5 개의 출력 핀을 포함한다. 설명의 편의를 위해서, 도 22에는 데이터 입출력 핀만을 도시하였다. DRAM 장치들(2210, 2220, 2230, 2240)은 각각 시계방향으로 90도씩 회전시켜 스택 방식으로 결합되어 있고, 이웃하는 DRAM 장치끼리 데이터의 리피팅(repeating)을 수행한다. 즉, 제 4 DRAM 장치(2240)의 입력 핀들(PI41~PI45)을 통해 수신된 데이터는 제 3 DRAM 장치(2230), 제 1 DRAM 장치(2210) 및 제 2 DRAM 장치(2220)에 전달된다.
- <186> 도 3에 도시된 본 발명의 반도체 메모리 장치의 데이터 프레임 구성하는 레인들(LANE0, LANE1, LANE2, LANE3, LANE4, LANE5, LANE6, LANE7)에 대응하는 라인들이 도 22에 도시된 DRAM 장치들(2210, 2220, 2230, 2240) 각각에 전기적으로 연결된다. 도 22에는 설명의 편의상 5 개의 입력 핀과 5 개의 출력 핀만을 도시하였다.
- <187> CRC 인에이블 모드에서, 제 1 레인 내지 제 4 레인(LANE0~LANE3) 및 제 6 레인 내지 제 9 레인(LANE4~LANE7) 각각에는 시간 축 상에서 T0에서 T6까지 원본 데이터의 비트들이 할당되고, T7에서 CRC 데이터의 비트들(c0~c7)이 각각 할당된다. 또한, CRC 인에이블 모드에서, 제 5 레인(LANE4)에는 시간축상에서 T0에서 T7까지 원본 데이터의 비트들(d28~d35)만 할당되고, CRC 데이터는 할당되지 않는다.
- <188> CRC 디스에이블 모드에서, 제 1 레인 내지 제 4 레인(LANE0~LANE3) 및 제 6 레인 내지 제 9 레인(LANE4~LANE7) 각각에는 시간 축 상에서 T0에서 T7까지 원본 데이터의 비트들이 할당되고, CRC 데이터는 할당되지 않는다. 또한, CRC 디스에이블 모드에서, 제 5 레인(LANE4)에는 시간축상에서 T0에서 T7까지 원본 데이터의 비트들 및 CRC 데이터가 할당되지 않는다. 도 17에 도시된 바와 같이, CRC 디스에이블 모드에서, 제 5 레인(LANE4)에 대응하는 직렬화부(1350)는 동작하지 않는다.
- <189> 도 22에서, CRC 디스에이블 모드에서 비활성화되는 제 5 레인(LANE4)에 대응하는 직렬화부(1350)에 결합된 출력 라인은 출력 핀 어레이의 가운데 부분에 위치할 수 있다. 예를 들면, 제 5 레인(LANE4)에 대응하는 직렬화부(1350)에 결합된 출력 라인은 제 1 DRAM 장치(2210)의 출력 핀(PO13)에 결합될 수 있다.
- <190> 도 23은 메모리 컨트롤러와 반도체 메모리 장치 사이의 데이터 및 커맨드의 전송을 나타내는 본 발명의 하나의 실시예에 따른 메모리 시스템을 나타내는 블록도이다.
- <191> 도 23을 참조하면, 메모리 시스템(3000)은 메모리 컨트롤러(3100) 및 반도체 메모리 장치(3200)를 포함한다.
- <192> 메모리 컨트롤러(3100)는 CRC 인에이블 신호(CRC_EN)를 발생시키고, 패킷 데이터(WRD/CA)를 출력한다. 패킷 데이터(WRD/CA)는 기입 데이터(WRD), 커맨드 신호(C), 및 어드레스(A)가 병합된 데이터이다. 반도체 메모리 장치(3200)는 패킷 데이터(WRD/CA)를 버퍼링하고 패킷 데이터(WRD/CA)에 포함된 기입 데이터(WRD)를 저장하며, 메모리 코어(미도시)에서 출력된 제 1 데이터에 기초하여 CRC 데이터를 발생시킨다. 또한, 반도체 메모리 장치(3200)는 CRC 인에이블 신호(CRC_EN)를 수신하고 CRC 인에이블 신호(CRC_EN)가 활성화되었을 때와 비활성화되었을 때 상기 제 1 데이터와 상기 CRC 데이터에 기초하여 서로 다른 프레임 포맷을 구성한다. 반도체 메모리 장치(3200)는 상기 프레임 포맷에 따라 독출 데이터(RDD)를 발생시키고 독출 데이터(RDD)를 메모리 컨트롤러(3100)에 제공한다. 반도체 메모리 장치(3200)는 제 1 버스(3010)를 통해 메모리 컨트롤러(3100)로부터 CRC 인에이블

신호(CRC_EN)를 수신하고, 제 2 버스(3030)를 통해 메모리 컨트롤러(3100)로부터 패킷 데이터(WRD/CA)를 수신한다. 또한, 반도체 메모리 장치(3200)는 제 3 버스(3050)를 통해 메모리 컨트롤러(3100)에 독출 데이터(RDD)를 전송한다.

<193> 반도체 메모리 장치(3200)는 CRC 인에이블 모드에서 상기 제 1 데이터 및 상기 CRC 데이터에 응답하여 제 1 프레임을 구성하고, 상기 제 1 프레임에 따라 상기 제 1 데이터와 상기 CRC 데이터를 직렬화하여 제 2 데이터를 발생시킨다. 또한, 반도체 메모리 장치(3200)는 CRC 디스에이블 모드에서 상기 제 1 데이터에 응답하여 상기 제 1 프레임과 다른 형태를 가지는 제 2 프레임을 구성하고, 상기 제 2 프레임에 따라 상기 제 1 데이터를 직렬화하여 제 3 데이터를 발생시킨다.

발명의 효과

<194> 상술한 바와 같이, 본 발명에 따른 반도체 메모리 장치는 9 레인과 8 UI의 구조를 가지는 데이터 프레임에 따라 동작하며, 에러 검출 활성화 신호에 응답하여 데이터 프레임을 구성하는 레인들 중 일부 레인을 턴오프시킬 수 있다. 따라서, 본 발명에 따른 반도체 메모리 장치는 클러킹이 간단하고 CRC 커버리지가 양호하며 부가적인 레이턴시를 요구하지 않는다. 또한, 본 발명에 따른 반도체 메모리 장치는 에러 검출 활성화 신호가 디스에이블 되었을 때 데이터 프레임의 일부 레인에 대응하는 직렬화기의 부분회로 및 출력회로의 부분 회로를 비활성화시킴으로써 전력소모를 감소시킬 수 있다. 따라서, 본 발명에 따른 반도체 메모리 장치는 패킷 방식의 데이터 전송을 하는 고속 메모리 시스템에 적용할 수 있다.

<195> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

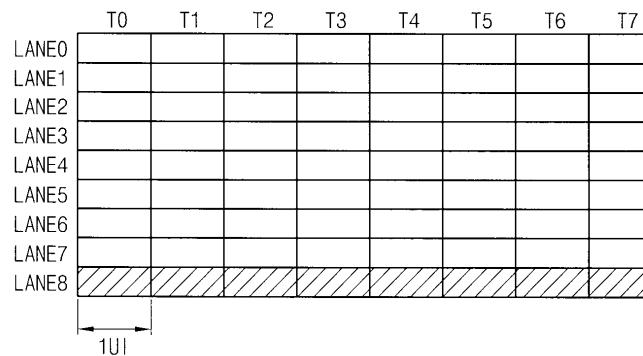
도면의 간단한 설명

- <1> 도 1은 종래의 반도체 메모리 장치의 출력 데이터의 프레임 포맷(format)의 하나의 예를 나타내는 표이다.
- <2> 도 2는 종래의 반도체 메모리 장치의 출력 데이터의 프레임 포맷의 다른 하나의 예를 나타내는 표이다.
- <3> 도 3 및 도 4는 본 발명의 하나의 실시예에 따른 반도체 메모리 장치의 출력 데이터의 프레임 포맷을 나타내는 표이다.
- <4> 도 5a 내지 도 5d는 도 3 및 도 4에 도시된 출력 데이터의 프레임 포맷의 제 1 레인(lane)의 데이터를 발생시키는 과정을 설명하는 도면이다.
- <5> 도 6a 내지 도 6d는 도 3 및 도 4에 도시된 출력 데이터의 프레임 포맷의 제 2 레인의 데이터를 발생시키는 과정을 설명하는 도면이다.
- <6> 도 7a 내지 도 7d는 도 3 및 도 4에 도시된 출력 데이터의 프레임 포맷의 제 5 레인의 데이터를 발생시키는 과정을 설명하는 도면이다.
- <7> 도 8은 본 발명의 제 1 실시예에 따른 반도체 메모리 장치를 나타내는 블록도이다.
- <8> 도 9는 도 8의 반도체 메모리 장치에 포함되어 있는 직렬화기의 하나의 실시예를 나타내는 블록도이다.
- <9> 도 10은 도 9의 직렬화기에 포함되어 있는 제 1 직렬화부의 하나의 실시예를 나타내는 회로도이다.
- <10> 도 11은 도 10의 제 1 직렬화부에 포함되어 있는 제 1 게이팅 회로의 하나의 실시예를 나타내는 회로도이다.
- <11> 도 12는 도 10의 제 1 직렬화부에 포함되어 있는 제 2 선택 회로의 하나의 실시예를 나타내는 회로도이다.
- <12> 도 13은 도 10의 제 1 직렬화부에 포함되어 있는 제 2 게이팅 회로의 하나의 실시예를 나타내는 회로도이다.
- <13> 도 14는 도 10의 제 1 직렬화부에 포함되어 있는 펄스 발생 회로의 하나의 실시예를 나타내는 회로도이다.
- <14> 도 15는 도 10의 제 1 직렬화부에 포함되어 있는 제 3 선택 회로의 하나의 실시예를 나타내는 회로도이다.
- <15> 도 16은 도 9의 직렬화기에 포함되어 있는 제 2 직렬화부의 하나의 실시예를 나타내는 회로도이다.
- <16> 도 17은 도 9의 직렬화기에 포함되어 있는 제 5 직렬화부의 하나의 실시예를 나타내는 회로도이다.
- <17> 도 18은 도 8의 반도체 메모리 장치에 포함되어 있는 출력 버퍼의 하나의 실시예를 나타내는 블록도이다.

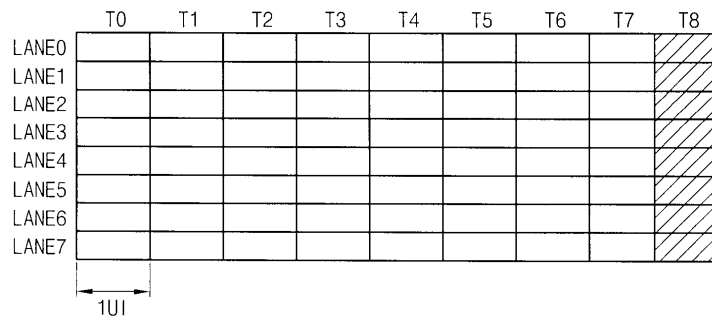
- <18> 도 19는 도 18의 출력버퍼에 포함되어 있는 제 1 출력 버퍼부의 하나의 실시예를 나타내는 회로도이다.
- <19> 도 20은 도 18의 출력버퍼에 포함되어 있는 제 5 출력 버퍼부의 하나의 실시예를 나타내는 회로도이다.
- <20> 도 21은 메모리 컨트롤러와 DRAM 장치들을 포함하는 메모리 모듈 사이의 연결관계를 나타내는 본 발명의 하나의 실시예에 따른 메모리 시스템을 나타내는 블록도이다.
- <21> 도 22는 도 21의 메모리 시스템을 구성하는 DRAM 장치들 사이의 결합 관계를 나타내는 회로도이다.
- <22> 도 23은 메모리 컨트롤러와 반도체 메모리 장치 사이의 데이터 및 커맨드의 전송을 나타내는 본 발명의 하나의 실시예에 따른 메모리 시스템을 나타내는 블록도이다.
- <23> * 도면의 주요부분에 대한 부호의 설명 *
- <24> 1000, 2210, 2220, 2230, 2240, 3200 : 반도체 메모리 장치
- <25> 1100 : 메모리 코어
- <26> 1200 : CRC 계산기
- <27> 1300 : 직렬화기
- <28> 1400 : 출력 버퍼
- <29> 1312, 1314, 1322, 1324, 1352, 1354 : 게이팅 회로
- <30> 1311, 1313, 1316, 1321, 1323, 1326, 1351, 1353, 1356 : 선택 회로
- <31> 1315, 1325, 1355 : 펄스 발생회로
- <32> 2000, 3000 : 메모리 시스템
- <33> 2100, 3100 : 메모리 컨트롤러
- <34> 2200 : 메모리 모듈

도면

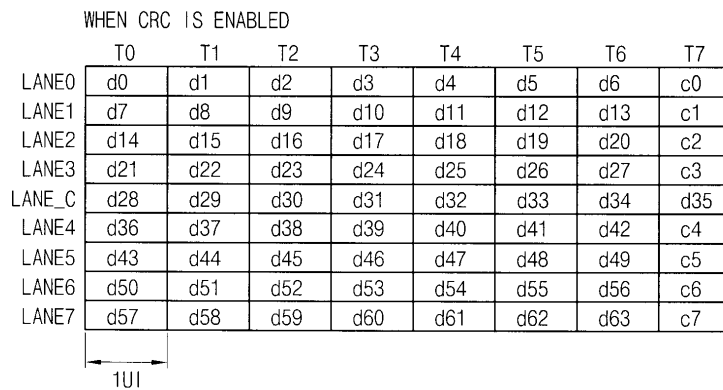
도면1



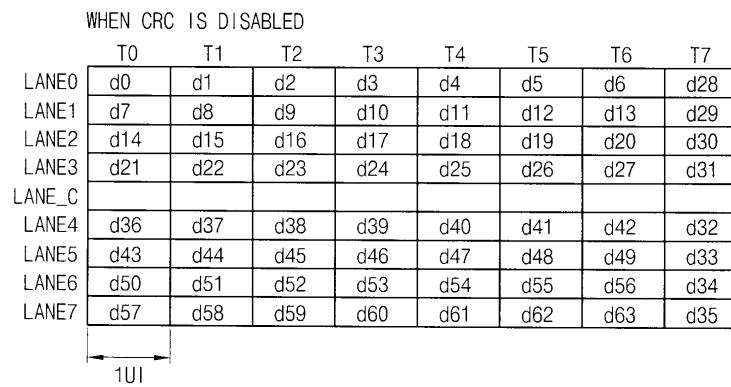
도면2



도면3



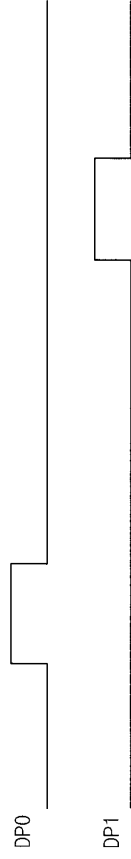
도면4



도면5a

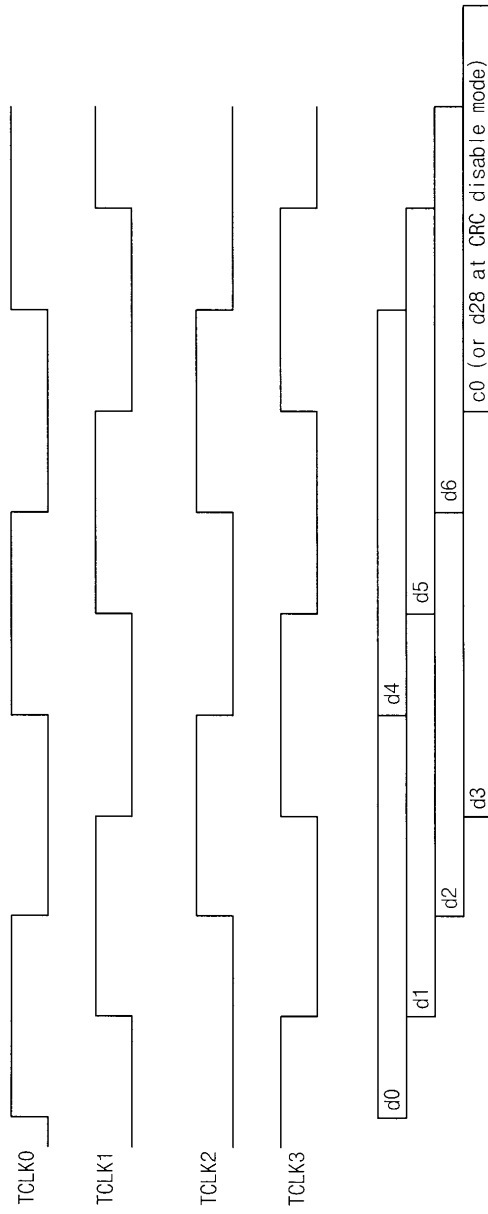
DATA FOR LANED BEFORE SERIALIZATION	
d0	
d1	
d2	
d3	
d4	
d5	
d6	
c0 (or d28 at CRC disable mode)	

도면5b

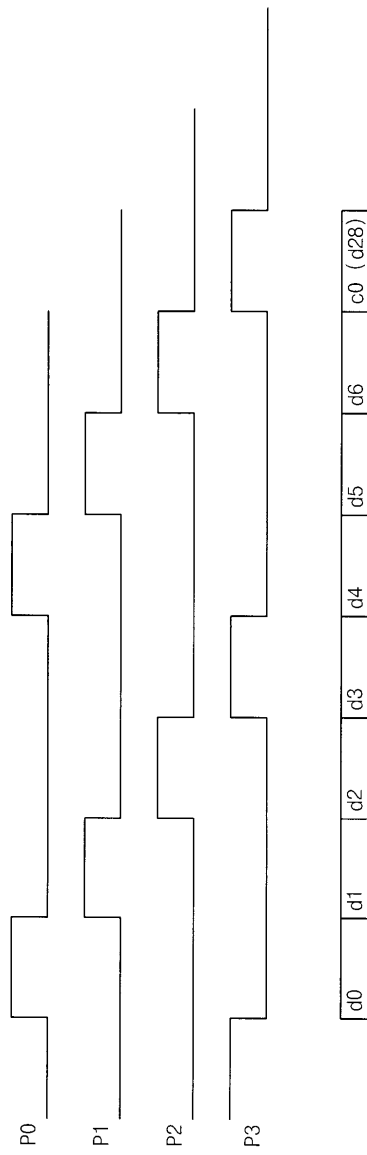


d0		d4
d1		d5
d2		d6
d3		c0 (or d28 at CRC disable mode)

도면5c



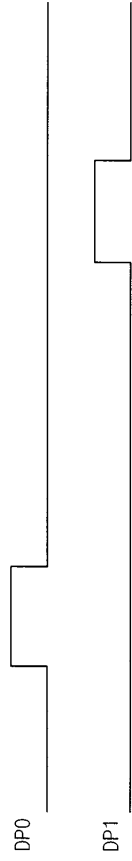
도면5d



도면6a

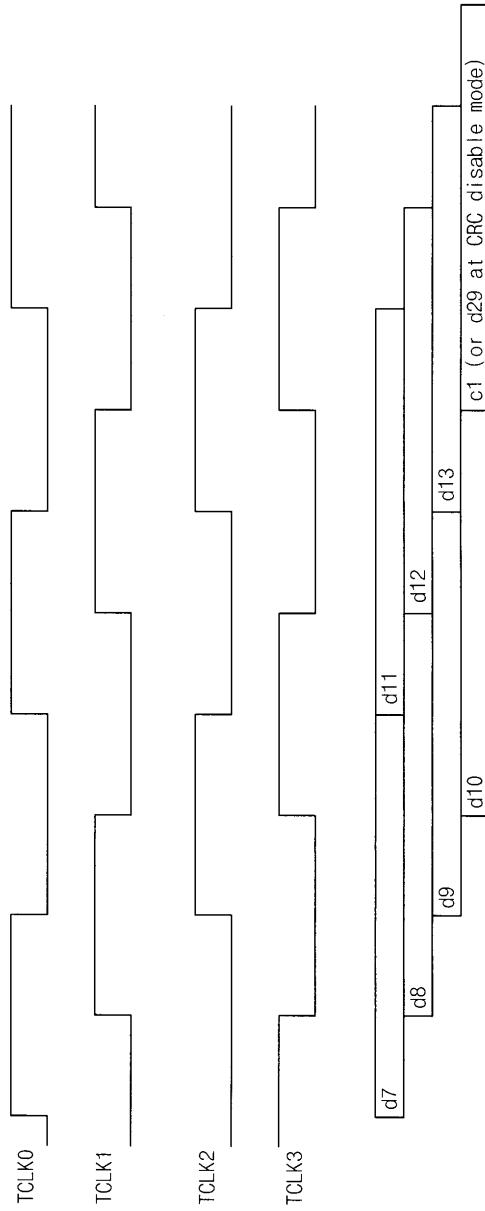
DATA FOR LANE1 BEFORE SERIALIZATION	
d7	
d8	
d9	
d10	
d11	
d12	
d13	
c1 (or d29 at CRC disable mode)	

도면6b

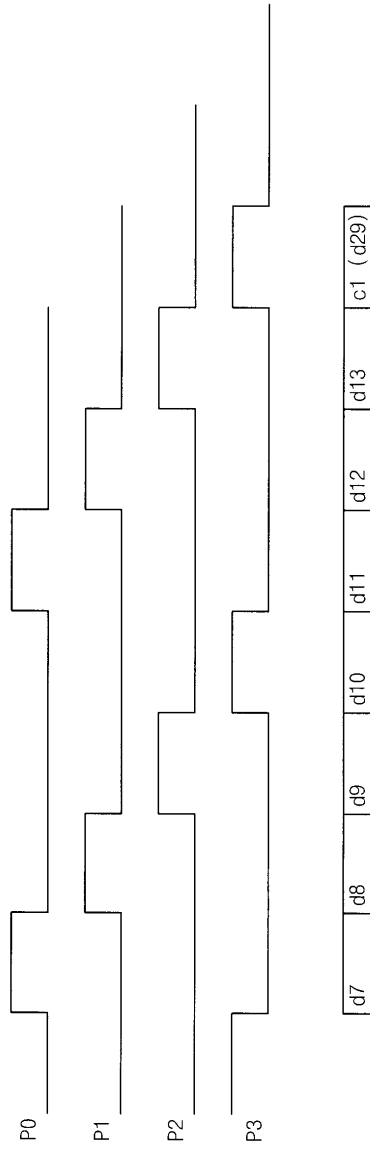


d7	d11
d8	d12
d9	d13
d10	c1 (or d29 at CRC disable mode)

도면6c



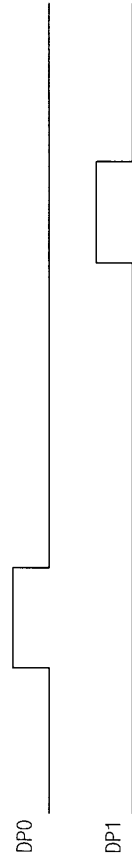
도면6d



도면7a

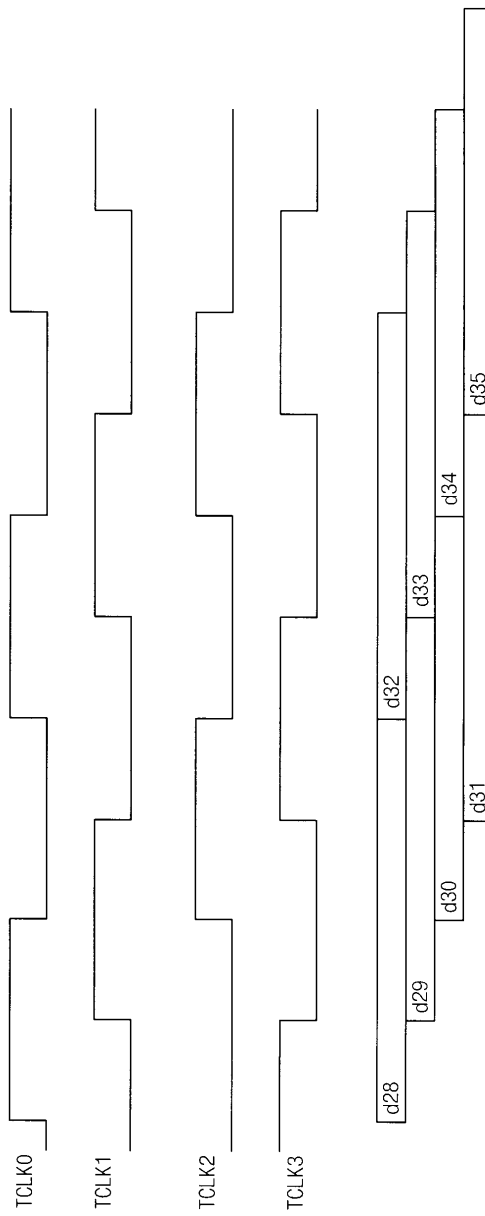
DATA FOR LANE_C BEFORE SERIALIZATION	
d28	
d29	
d30	
d31	
d32	
d33	
d34	
d35	

도면7b

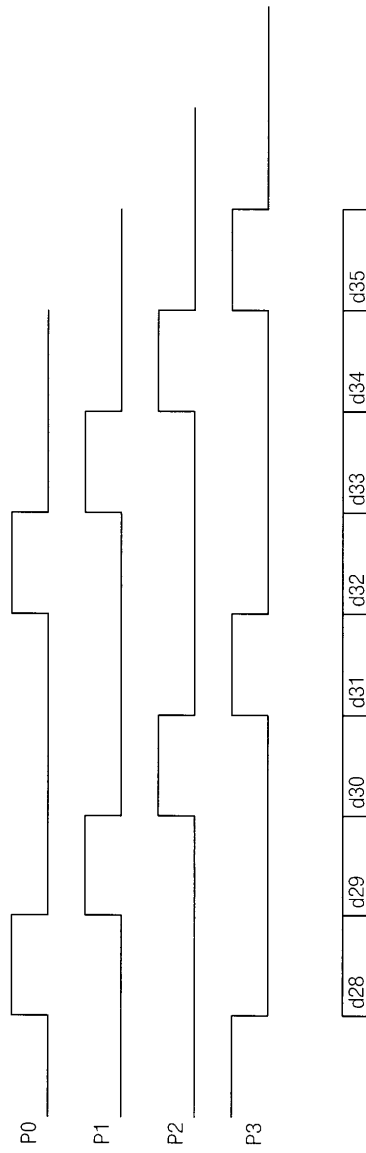


d28	d32
d29	d33
d30	d34
d31	d35

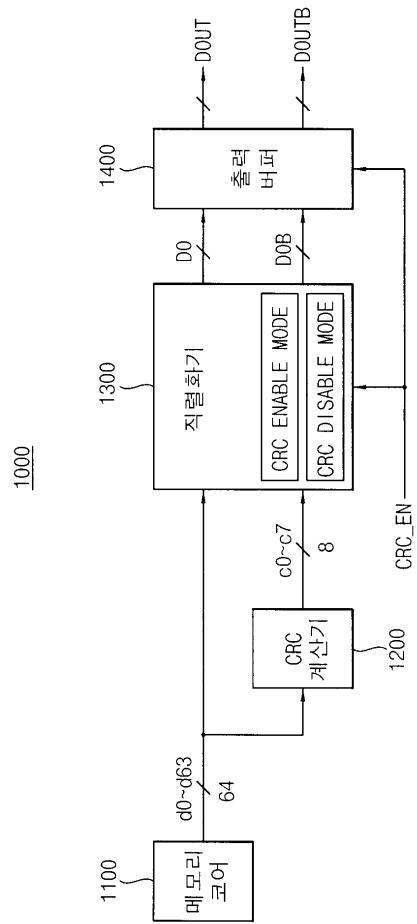
도면7c



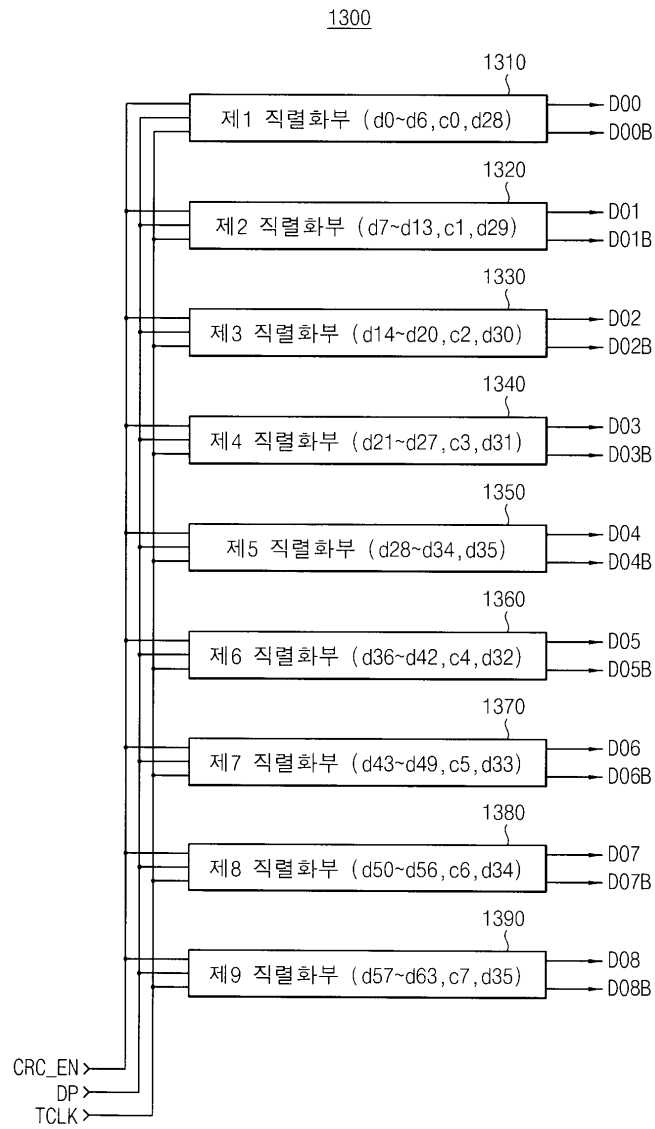
도면7d



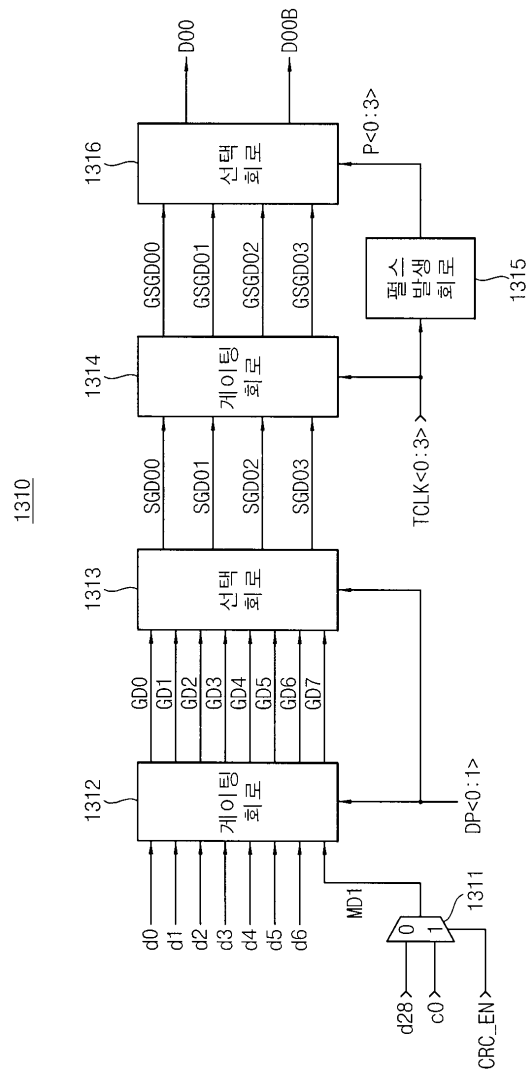
도면8



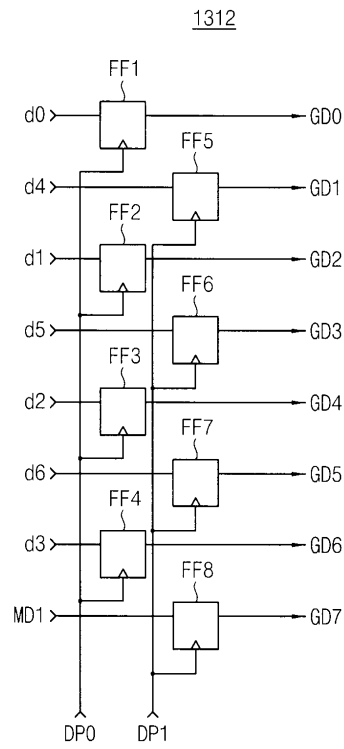
도면9



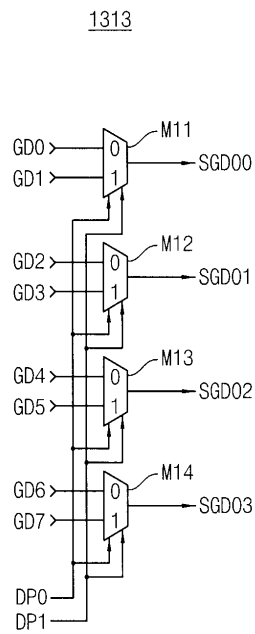
도면10



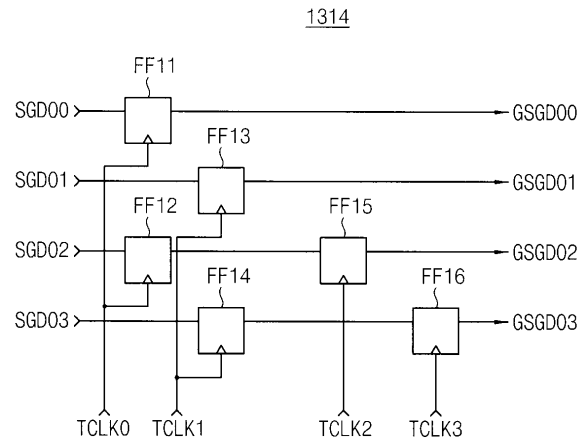
도면11



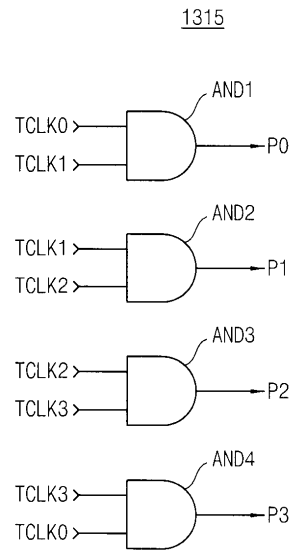
도면12



도면13

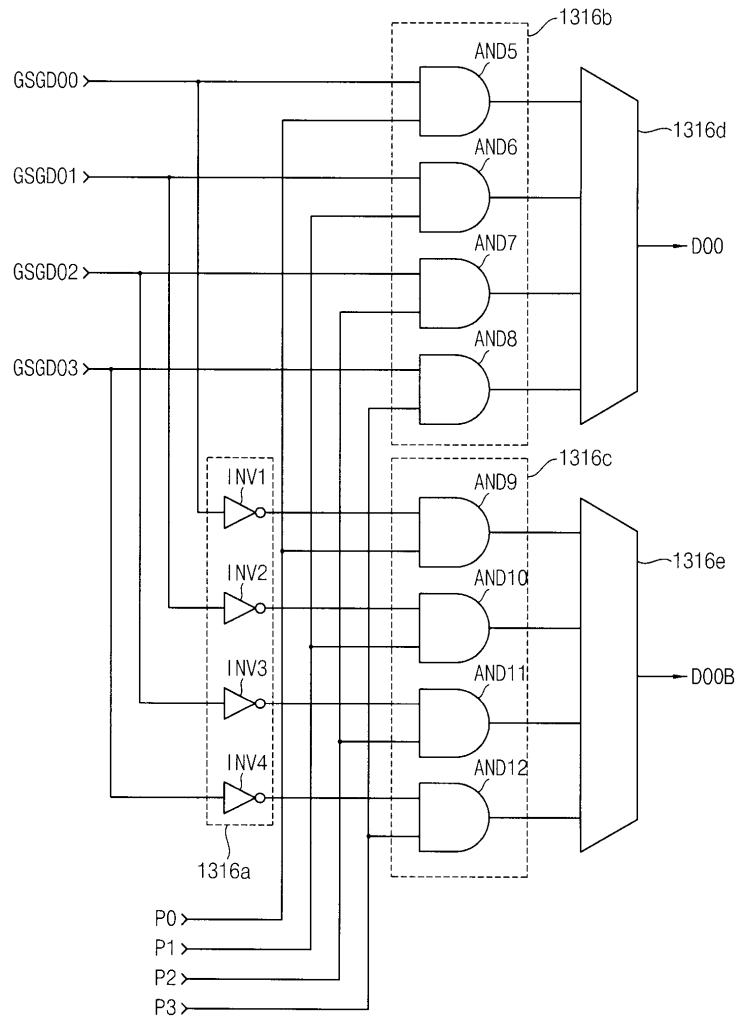


도면14

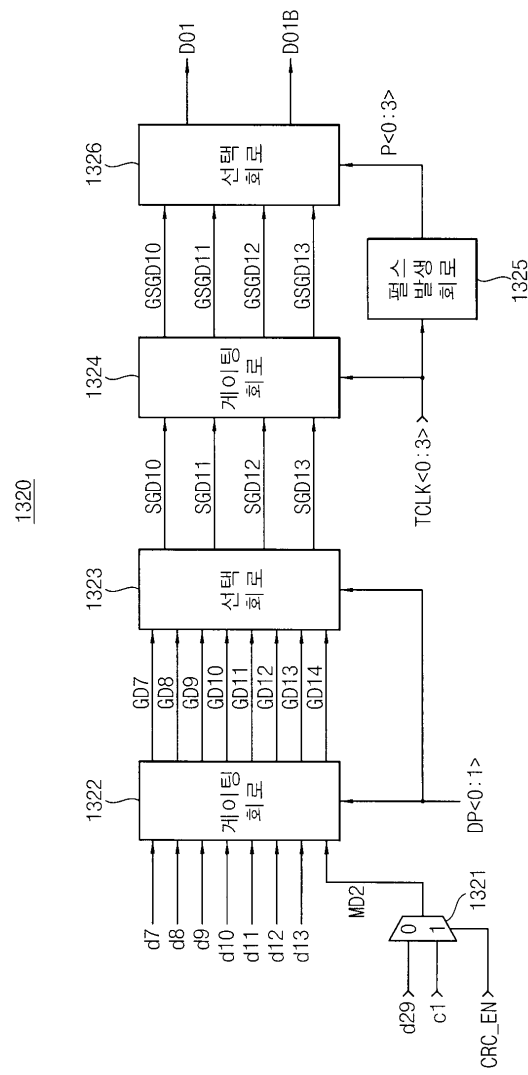


도면15

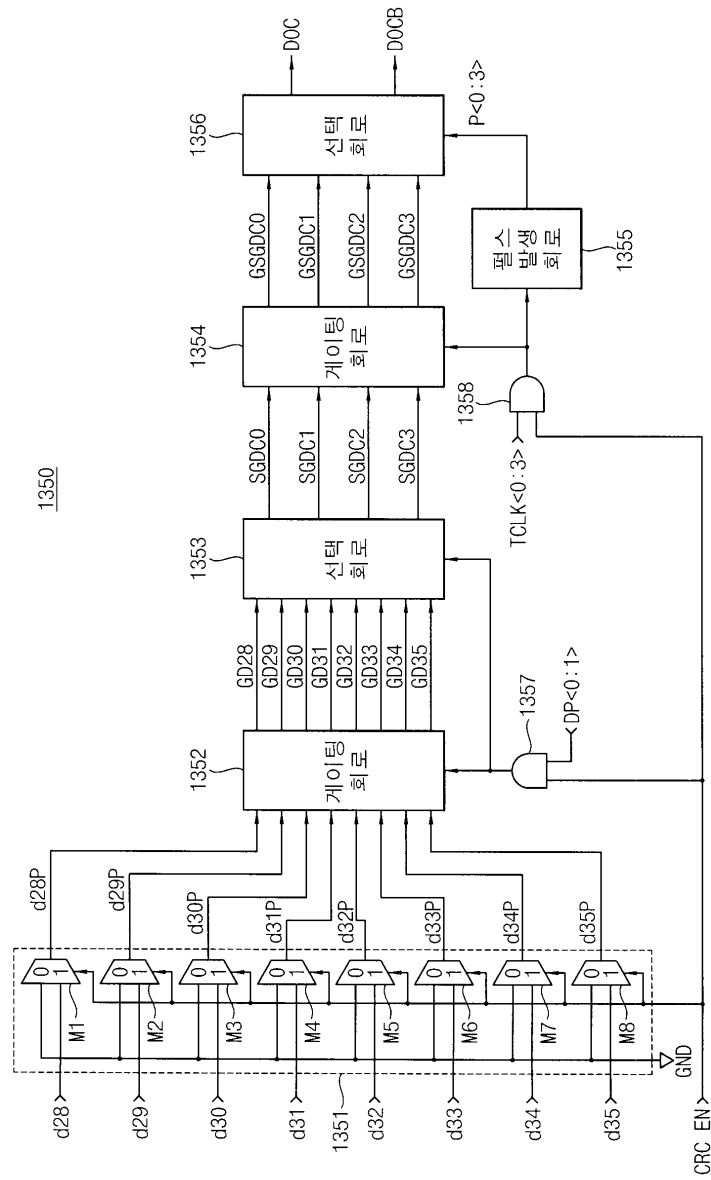
1316



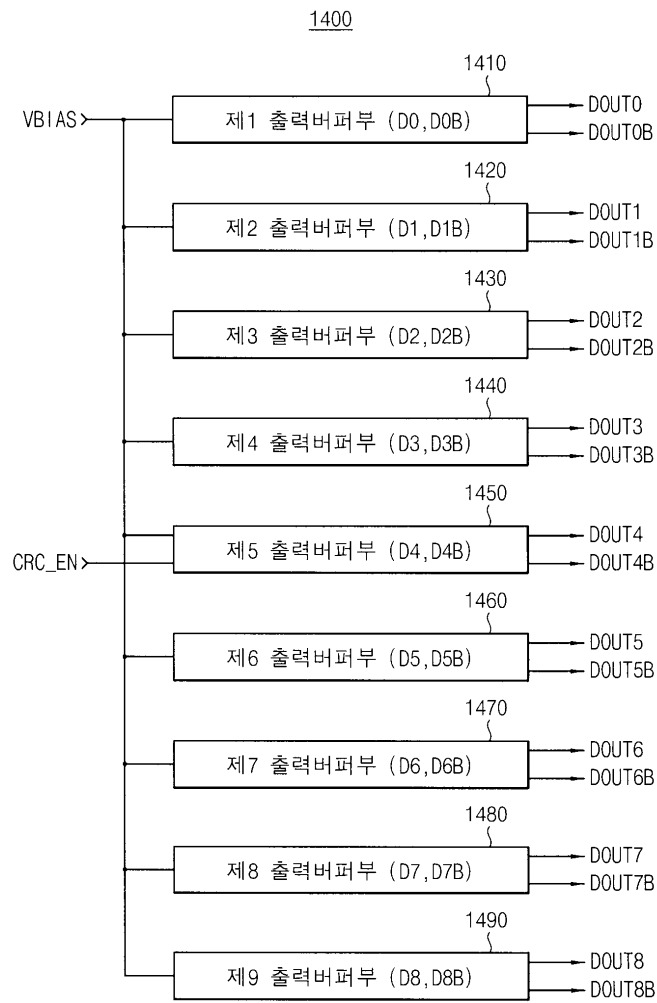
도면16



도면17

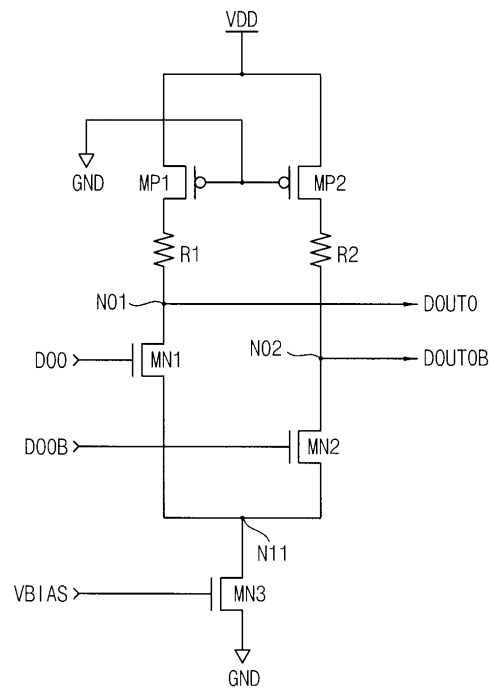


도면18

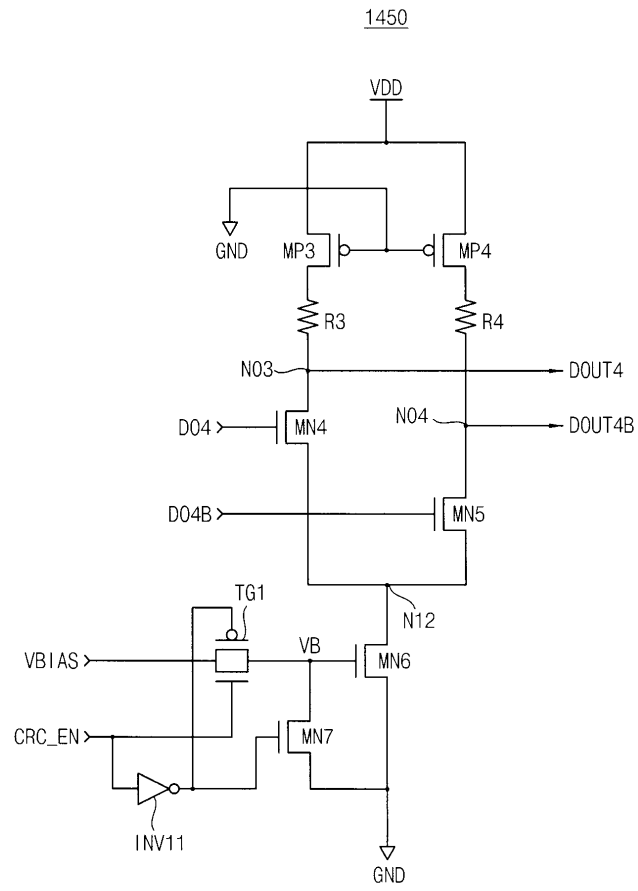


도면19

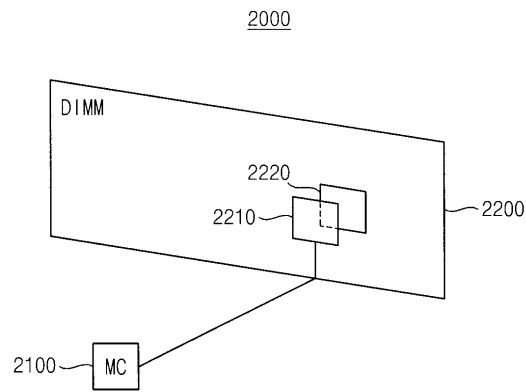
1410



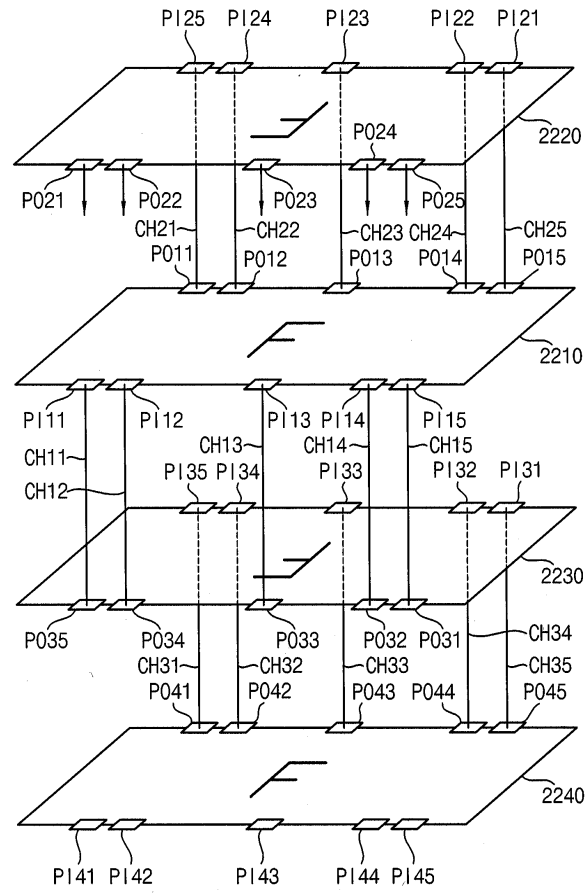
도면20



도면21



도면22



도면23

