



(12) 发明专利申请

(10) 申请公布号 CN 104810282 A

(43) 申请公布日 2015. 07. 29

(21) 申请号 201410037060. 0

(22) 申请日 2014. 01. 26

(71) 申请人 国家电网公司

地址 100031 北京市西城区西长安街 86 号

申请人 国网智能电网研究院

(72) 发明人 杨霏 李玲

(74) 专利代理机构 北京安博达知识产权代理有限公司 11271

代理人 徐国文

(51) Int. Cl.

H01L 21/331(2006. 01)

H01L 21/04(2006. 01)

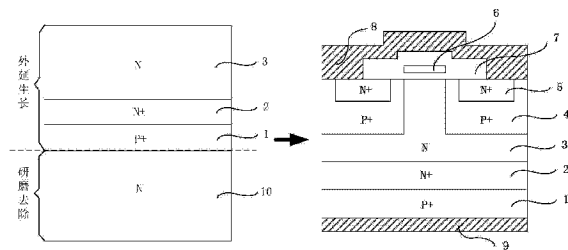
权利要求书2页 说明书5页 附图3页

(54) 发明名称

一种采用 N 型碳化硅衬底制作 N 沟道 IGBT 器件的方法

(57) 摘要

本发明涉及一种采用 N 型碳化硅衬底制作 N 沟道 IGBT 器件的方法,该方法首先在 N 型碳化硅衬底上外延生长碳化硅 P+ 外延层、碳化硅 N+ 缓冲层以及碳化硅 N 型漂移层,接着运用研磨方法或化学机械抛光等方法将 N 型碳化硅衬底去除,保留的部分用来制作 IGBT 的器件结构,之后在碳化硅 N 型漂移层中采用离子注入的方法形成 P+ 基极阱区,在 P+ 基极阱区中采用离子注入的方法形成 N+ 发射极阱区,在器件上表面热氧化形成场氧层,淀积多晶硅或者金属形成栅极,并用氧化层隔离保护,最后淀积金属形成发射极接触和集电极,该方法避免了采用 P 型碳化硅衬底制作 N 沟道 IGBT 器件,减小了集电极电阻,提高了 N 沟道碳化硅 IGBT 器件的性能,且工艺简单,易于实现。



1. 一种采用 N 型碳化硅衬底制作 N 沟道 IGBT 器件的方法,其特征在于,所述方法包括下述步骤:

步骤一,在 N 型碳化硅衬底(10)表面外延生长碳化硅 P+ 外延层(1)、碳化硅 N+ 缓冲层(2)以及碳化硅 N 型漂移层(3);

步骤二,将 N 型碳化硅衬底(10)去除,保留的部分用来制作 IGBT 器件,保留的部分称之为样品;

步骤三,在样品上表面旋涂光刻胶并进行光刻及显影,暴露出 P+ 基极阱区(3)的区域,进行 P+ 离子注入,形成 P+ 基极阱区(4),之后去除光刻胶;

步骤四,在样品上表面旋涂光刻胶并进行光刻及显影,暴露出 N+ 发射极阱区(5)的区域,进行 N+ 离子注入,形成 N+ 发射极阱区(5),之后去除光刻胶;

步骤五,在 IGBT 器件上表面热氧化,氧化温度为 1350℃ 以上,氧化时间 1 小时~ 20 小时,对其进行光刻及刻蚀,形成栅极氧化层(7);

步骤六,淀积多晶硅层或者金属层,对其进行光刻及刻蚀,形成栅极(6),用氧化层进行隔离保护;

步骤七,在样品正面淀积金属,与 N+ 发射极阱区(5)相连形成发射极接触(8);

步骤八,在样品背面的碳化硅 P+ 外延层(1)表面淀积金属,形成集电极(9)。

2. 如权利要求 1 所述的方法,其特征在于,所述步骤一中,所述 N 型碳化硅衬底(10)选取 4H-SiC 单晶衬底、6H-SiC 单晶衬底或 3C-SiC 单晶衬底的其中一种;

所述 N 型碳化硅衬底(10)的厚度为 360 μm 。

3. 如权利要求 2 所述的方法,其特征在于,所述碳化硅 P+ 外延层(1)采用在 N 型碳化硅衬底(10)上进行外延生长的方法得到;在 N 型碳化硅衬底(10)的上表面外延生长具有 P 型重掺杂性质的碳化硅 P+ 外延层(1),碳化硅 P+ 外延层(1)的掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$,其厚度为 $1 \mu\text{m} \sim 5 \mu\text{m}$;

所述碳化硅 N+ 缓冲层(2)在碳化硅 P+ 外延层(1)上由外延生长方法得到,在碳化硅 P+ 外延层(1)的上表面外延生长具有 N 型重掺杂性质的碳化硅 N+ 缓冲层(2),碳化硅 N+ 缓冲层(2)的掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3}$,其厚度为 $0.1 \mu\text{m} \sim 1 \mu\text{m}$;

在碳化硅 N+ 缓冲层(2)的上表面外延生长具有 N 型导电性的碳化硅 N 型漂移层(3),碳化硅 N 型漂移层(3)的掺杂浓度为 $1 \times 10^{14} \text{cm}^{-3} \sim 1 \times 10^{16} \text{cm}^{-3}$,其厚度为 $50 \mu\text{m} \sim 300 \mu\text{m}$ 。

4. 如权利要求 1 所述的方法,其特征在于,所述步骤二中,采用包括采用研磨法、化学机械抛光法、干式抛光法、湿法腐蚀法、等离子辅助化学腐蚀法和常压等离子腐蚀法中的其中一种方法将 N 型碳化硅衬底(10)去除,保留外延生长得到的碳化硅 P+ 外延层(1)、碳化硅 N+ 缓冲层(2)以及碳化硅 N 型漂移层(3),保留部分用以制作 IGBT 器件。

5. 如权利要求 1 所述的方法,其特征在于,所述步骤三中,在碳化硅 N 型漂移层(3)的表面上,通过化学气相淀积方式形成 SiO_2 层,对 SiO_2 层进行光刻并显影,暴露出需要进行 P 型离子注入的区域,对保留的光刻胶进行坚膜,增强其抗蚀性,之后运用反应离子刻蚀 RIE 或者电感耦合等离子体刻蚀 ICP 方式移除进行离子注入区域的 SiO_2 层,运用丙酮湿法刻蚀或者氧等离子体刻蚀的方式去除光刻胶,然后利用所制备的 SiO_2 层作为掩膜,进行 P 型离子注入,形成 P+ 基极阱区(4),同样采用反应离子刻蚀 RIE 或者电感耦合等离子体刻蚀 ICP 方式移除 SiO_2 层掩膜。

6. 如权利要求 1 所述的方法,其特征在于,所述步骤四中,在碳化硅 N 型漂移层(3)的表面上,通过化学气相淀积方式形成 SiO_2 层,对 SiO_2 层进行光刻并显影,暴露出需要进行 N 型离子注入的区域,对保留的光刻胶进行坚膜,增强其抗蚀性,之后运用反应离子刻蚀 RIE 或者电感耦合等离子体刻蚀 ICP 方式移除需要进行离子注入区域的 SiO_2 层,运用丙酮湿法刻蚀或者氧等离子体刻蚀的方法去除光刻胶,然后利用所制备的 SiO_2 层作为掩膜,进行 N 型离子注入,形成 N^+ 发射极阱区(5),同样用反应离子刻蚀 RIE 或者电感耦合等离子体刻蚀 ICP 方式移除 SiO_2 层掩膜;

N 型离子注入完成后,对注入的离子进行活化退火。

7. 如权利要求 1 所述的方法,其特征在于,所述步骤五中,热氧化生成 $10\text{nm} \sim 100\text{nm}$ 厚的氧化层,对氧化层进行光刻并显影,保留栅极氧化层上部的光刻胶作为刻蚀掩膜,去除除栅极氧化层上部其他区域的光刻胶,对光刻胶进行坚膜,利用反应离子刻蚀 RIE 或者电感耦合等离子体刻蚀 ICP 方式去除未掩蔽部分的氧化层,去除光刻胶,形成栅极氧化层(7a)。

8. 如权利要求 1 所述的方法,其特征在于,所述步骤六中,在栅极氧化层(7a)上形成由多晶硅或者金属制成的栅极(6);多晶硅栅极采用淀积多晶硅→光刻→显影→坚膜→RIE 或 ICP 刻蚀→去胶的工艺进行制备,金属栅极采用溅射或者蒸发金属膜→光刻→刻蚀金属栅区域以外金属→去胶的工艺进行制备,其中刻蚀金属包括湿法刻蚀、IBE 刻蚀和剥离方法。在栅极表面制备氧化层,并将其图形化,形成对栅电极的氧化隔离保护。

9. 如权利要求 1 所述的方法,其特征在于,所述步骤七中,采用金属剥离方法进行制备,首先进行光刻和显影,暴露出需要制作发射极接触的区域,淀积 $10\text{nm} \sim 1000\text{nm}$ 的 Ti/Ni 金属层,移除包括上层 Ti/Ni 金属层在内的光刻胶,保留发射极接触区域的金属,对金属进行热处理,形成发射极接触(8)。

10. 如权利要求 1 所述的方法,其特征在于,所述步骤八中,淀积 $10\text{nm} \sim 1000\text{nm}$ 的 Ti/Al/Ni 金属层,对金属进行热处理,形成集电极(9)。

一种采用 N 型碳化硅衬底制作 N 沟道 IGBT 器件的方法

技术领域

[0001] 本发明属于半导体微电子器件制备技术领域,具体涉及一种 N 沟道碳化硅 IGBT 器件的制作方法。

背景技术

[0002] 碳化硅由于其临界场强高、禁带宽度大等特点,成为在大功率、高温、高压等应用领域非常受欢迎的半导体材料。碳化硅器件与同类硅器件相比,其比导通电阻小两个数量级,工作频率 10 倍于硅,辐射耐受量 10 倍于硅,单个器件可承受的电压可达硅器件的 10 倍,芯片功率密度可达硅器件的 10 倍到 30 倍,碳化硅模块的体积重量与硅模块相比可减少 80%,系统损耗可降低 30% 到 70%。基于碳化硅的功率器件被期待具有更高的性能,且更适用于大功率应用。

[0003] 具有高开关频率兆瓦级器件的发展对于大功率系统具有非常多的好处。从 1990 年初开始,碳化硅大功率金属氧化物场效应晶体管(MOSFET)成为研究焦点,到 2004 年,碳化硅功率 MOSFET 的阻断电压已经可以达到 10kV,比导通电阻达 $123\text{m}\Omega \cdot \text{cm}^2$ 。目前已经报道的碳化硅大功率器件包括 10kV 的 DMOSFET,7.5kV 的 UMOSFET 等。基于碳化硅的 MOSFET 由于其合理的导通电阻及快速的开关特性,成为硅或碳化硅双极型器件非常强势的竞争者。然而,由于 MOSFET 的漂移区电阻随阻断电压呈平方关系增加,随着阻断电压增加到大于 15kV, MOSFET 的导通电阻会因其单极特性而显著提高,在高温时由于迁移率降低而更加恶化,从而限制了 MOSFET 的应用范围。

[0004] 随着阻断电压的增大,特别是在低频开关应用中,碳化硅绝缘栅双极型晶体管(IGBT)成为取代碳化硅 MOSFET 的诱人选择。由于碳化硅 IGBT 器件比 MOSFET 多了一个 P 型层(对于 P 沟道器件而言,是多了一个 N 型层),其在导通状态时,N 型漂移区会发生强烈的电导调制效应,使 IGBT 的导通电阻仅约为 MOSFET 的三分之一,导通损耗较 MOSFET 小。碳化硅 IGBT 器件因其优越的导通性能,合理的开关速度,以及很好的安全工作区域(SOA),正逐渐成为更合适的功率开关。

[0005] 从原理上来讲,N 沟道 IGBT 的性能要优于 P 沟道的 IGBT。一般而言,P 型衬底的电阻率比 N 型衬底高 50 倍,而制作 N 沟道的 IGBT 需要高质量,低电阻率的 P 型碳化硅衬底,在如今的技术条件下,所生产的 P 型碳化硅衬底质量还达不到这种要求,在 P 型碳化硅衬底上制作 N 沟道的 IGBT 器件会引入非常大的串联电阻($0.8\text{--}1.0\Omega \cdot \text{cm}^2$),从而增大了器件的损耗。

[0006] 基于上述问题,有必要寻求更好的方法制作 N 沟道碳化硅 IGBT。

发明内容

[0007] 针对现有技术的不足,本发明的目的是提供一种 N 沟道碳化硅 IGBT 器件的制作方法,N 沟道 IGBT 器件性能优于 P 沟道 IGBT 器件,且避免了使用低质量 P 型碳化硅衬底制作 N 沟道碳化硅 IGBT 器件所引入的大串联电阻问题,该方法工艺简单,易于实现。

[0008] 本发明的目的是采用下述技术方案实现的：

[0009] 本发明提供一种采用 N 型碳化硅衬底制作 N 沟道 IGBT 器件的方法，其改进之处在于，所述方法包括下述步骤：

[0010] 步骤一，在 N 型碳化硅衬底 10 表面外延生长碳化硅 P+ 外延层 1、碳化硅 N+ 缓冲层 2 以及碳化硅 N 型漂移层 3；

[0011] 步骤二，将 N 型碳化硅衬底 10 去除，保留的部分用来制作 IGBT 器件，保留的部分称之为样品；

[0012] 步骤三，在样品上表面旋涂光刻胶并进行光刻及显影，暴露出 P+ 基极阱区 3 的区域，进行 P+ 离子注入，形成 P+ 基极阱区 4，之后去除光刻胶；

[0013] 步骤四，在样品上表面旋涂光刻胶并进行光刻及显影，暴露出 N+ 发射极阱区 5 的区域，的进行 N+ 离子注入，形成 N+ 发射极阱区 5，之后去除光刻胶；

[0014] 步骤五，在 IGBT 器件上表面热氧化，氧化温度为 1350℃ 以上，氧化时间 1 小时～20 小时，对其进行光刻及刻蚀，形成栅极氧化层 7；

[0015] 步骤六，淀积多晶硅层或者金属层，对其进行光刻及刻蚀，形成栅极 6，用氧化层进行隔离保护；

[0016] 步骤七，在样品正面淀积金属，与 N+ 发射极阱区 5 相连形成发射极接触 8；

[0017] 步骤八，在样品背面的碳化硅 P+ 外延层 1 表面淀积金属，形成集电极 9。

[0018] 进一步地，所述步骤一中，所述 N 型碳化硅衬底 10 选取 4H-SiC 单晶衬底、6H-SiC 单晶衬底或 3C-SiC 单晶衬底的其中一种；

[0019] 所述 N 型碳化硅衬底 10 的厚度为 360 μm。

[0020] 进一步地，所述碳化硅 P+ 外延层 1 采用在 N 型碳化硅衬底 10 上进行外延生长的方法得到；在 N 型碳化硅衬底 10 的上表面外延生长具有 P 型重掺杂性质的碳化硅 P+ 外延层 1，碳化硅 P+ 外延层 1 的掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$ ，其厚度为 $1 \mu\text{m} \sim 5 \mu\text{m}$ ；

[0021] 所述碳化硅 N+ 缓冲层 2 在碳化硅 P+ 外延层 1 上由外延生长方法得到，在碳化硅 P+ 外延层 1 的上表面外延生长具有 N 型重掺杂性质的碳化硅 N+ 缓冲层 2，碳化硅 N+ 缓冲层 2 的掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3}$ ，其厚度为 $0.1 \mu\text{m} \sim 1 \mu\text{m}$ ；

[0022] 在碳化硅 N+ 缓冲层 2 的上表面外延生长具有 N 型导电性的碳化硅 N 型漂移层 3，碳化硅 N 型漂移层 3 的掺杂浓度为 $1 \times 10^{14} \text{cm}^{-3} \sim 1 \times 10^{16} \text{cm}^{-3}$ ，其厚度为 $50 \mu\text{m} \sim 300 \mu\text{m}$ 。

[0023] 进一步地，所述步骤二中，采用包括采用研磨法、化学机械抛光法、干式抛光法、湿法腐蚀法、等离子辅助化学腐蚀法和常压等离子腐蚀法中的其中一种方法将 N 型碳化硅衬底 10 去除，保留外延生长得到的碳化硅 P+ 外延层 1、碳化硅 N+ 缓冲层 2 以及碳化硅 N 型漂移层 3，保留部分用以制作 IGBT 器件。

[0024] 进一步地，所述步骤三中，在碳化硅 N 型漂移层 3 的表面上，通过化学气相淀积方式形成 SiO_2 层，对 SiO_2 层进行光刻并显影，暴露出需要进行 P 型离子注入的区域，对保留的光刻胶进行坚膜，增强其抗蚀性，之后运用反应离子刻蚀 RIE 或者电感耦合等离子体刻蚀 ICP 方式移除进行离子注入区域的 SiO_2 层，运用丙酮湿法刻蚀或者氧等离子体刻蚀的方式去除光刻胶，然后利用所制备的 SiO_2 层作为掩膜，进行 P 型离子注入，形成 P+ 基极阱区 4，同样采用反应离子刻蚀 RIE 或者电感耦合等离子体刻蚀 ICP 方式移除 SiO_2 层掩膜。

[0025] 进一步地，所述步骤四中，在碳化硅 N 型漂移层 3 的表面上，通过化学气相淀积方

式形成 SiO₂ 层,对 SiO₂ 层进行光刻并显影,暴露出需要进行 N 型离子注入的区域,对保留的光刻胶进行坚膜,增强其抗蚀性,之后运用反应离子刻蚀 RIE 或者电感耦合等离子体刻蚀 ICP 方式移除需要进行离子注入区域的 SiO₂ 层,运用丙酮湿法刻蚀或者氧等离子体刻蚀的方法去除光刻胶,然后利用所制备的 SiO₂ 层作为掩膜,进行 N 型离子注入,形成 N⁺ 发射极阱区 5,同样用反应离子刻蚀 RIE 或者电感耦合等离子体刻蚀 ICP 方式移除 SiO₂ 层掩膜;

[0026] N 型离子注入完成后,对注入的离子进行活化退火。

[0027] 进一步地,所述步骤五中,热氧化生成 10nm ~ 100nm 厚的氧化层,对氧化层进行光刻并显影,保留栅极氧化层上部的光刻胶作为刻蚀掩膜,去除除栅极氧化层上部其他区域的光刻胶,对光刻胶进行坚膜,利用反应离子刻蚀 RIE 或者电感耦合等离子体刻蚀 ICP 方式去除未掩蔽部分的氧化层,去除光刻胶,形成栅极氧化层 7a。

[0028] 进一步地,所述步骤六中,在栅极氧化层 7a 上形成由多晶硅或者金属制成的栅极 6;多晶硅栅极采用淀积多晶硅→光刻→显影→坚膜→RIE 或 ICP 刻蚀→去胶的工艺进行制备,金属栅极采用溅射或者蒸发金属膜→光刻→刻蚀金属栅区域以外金属→去胶的工艺进行制备,其中刻蚀金属包括湿法刻蚀、IBE 刻蚀和剥离方法。在栅极表面制备氧化层,并将其图形化,形成对栅电极的氧化隔离保护。

[0029] 进一步地,所述步骤七中,采用金属剥离方法进行制备,首先进行光刻和显影,暴露出需要制作发射极接触的区域,淀积 10nm-1000nm 的 Ti/Ni 金属层,移除包括上层 Ti/Ni 金属层在内的光刻胶,保留发射极接触区域的金属,对金属进行热处理,形成发射极接触 8。

[0030] 进一步地,所述步骤八中,淀积 10nm-1000nm 的 Ti/Al/Ni 金属层,对金属进行热处理,形成集电极 9。

[0031] 与现有技术比,本发明达到的有益效果是:

[0032] 本发明提供的 N 沟道碳化硅 IGBT 器件的制作方法,避免了使用电阻率大的 P 型碳化硅衬底制作 N 沟道 IGBT 器件,改由在高质量 N 型碳化硅衬底上外延生长得到的 P⁺ 外延层取代 P 型碳化硅衬底,其集电极电阻可减小两个数量级,外延生长完成后将 N 型碳化硅衬底去除,在保留的外延层上制作 N 沟道 IGBT 器件,用该方法制作的 N 沟道碳化硅 IGBT 器件比直接在 P 型衬底上制作的 N 沟道 IGBT 性能优异,且其工艺简单易于实现。

附图说明

[0033] 图 1 是本发明提供的在 N 型碳化硅衬底上外延生长 P⁺ 层、N⁺ 层和 N 型漂移层的横截面示意图;

[0034] 图 2 是本发明提供的将 N 型碳化硅衬底去除的横截面示意图;

[0035] 图 3 是本发明提供的离子注入形成 P⁺ 阱和 N⁺ 阱的横截面示意图;

[0036] 图 4 是本发明提供的形成栅氧和栅电极的横截面示意图;

[0037] 图 5 是本发明提供的形成氧化隔离层的横截面示意图;

[0038] 图 6 是本发明提供的采用本发明方法制作的 N 沟道碳化硅 IGBT 的横截面示意图;

[0039] 其中:1-碳化硅 P⁺ 外延层,2-碳化硅 N⁺ 缓冲层,3-碳化硅 N 型漂移层,4-P⁺ 基极阱区;5-N⁺ 发射极阱区,6-栅极,7a-栅极氧化层,8-发射极接触,9-集电极,10-N 型碳化硅衬底。

具体实施方式

[0040] 下面结合附图对本发明的具体实施方式作进一步的详细说明。

[0041] 本发明是在 N 型碳化硅衬底 10 上外延生长所需 P+、N+ 及 N 型外延层后,将 N 型碳化硅衬底 10 研磨去除,再在外延层上制作 N 沟道 IGBT 的方法。具体工艺流程如下:

[0042] 步骤一,选取 N 型碳化硅衬底 10,清洗处理后进行外延层的生长。参照图 1,选取 N 型掺杂的 4H-SiC 单晶衬底、6H-SiC 单晶衬底或者 3C-SiC 单晶衬底的其中一种,作为制作 N 沟道 IGBT 的牺牲衬底,N 型碳化硅衬底 10 的厚度大约为 $360\ \mu\text{m}$ 。在 N 型碳化硅衬底 10 的上表面外延生长具有 P 型重掺杂性质的碳化硅 P+ 外延层 1,碳化硅 P+ 外延层 1 的掺杂浓度约为 $1\times 10^{19}\text{cm}^{-3}$,碳化硅 P+ 外延层 1 的厚度约为 $1\ \mu\text{m}\sim 5\ \mu\text{m}$,在碳化硅 P+ 外延层 1 的上表面外延生长具有 N 型重掺杂性质的碳化硅 N+ 缓冲层 2,碳化硅 N+ 缓冲层 2 的掺杂浓度约为 $1\times 10^{18}\text{cm}^{-3}$,碳化硅 N+ 缓冲层 2 的厚度约为 $0.1\ \mu\text{m}\sim 1\ \mu\text{m}$,在碳化硅 N+ 缓冲层 2 的上表面外延生长具有 N 型导电性的碳化硅 N 型漂移层 3,碳化硅 N 型漂移层 3 的掺杂浓度约为 $1\times 10^{14}\text{cm}^{-3}\sim 1\times 10^{16}\text{cm}^{-3}$,碳化硅 N 型漂移层 3 的厚度约为 $50\ \mu\text{m}\sim 300\ \mu\text{m}$ 。

[0043] 步骤二,去除 N 型碳化硅牺牲衬底 10。参照图 2,用研磨法、化学机械抛光法、干式抛光法、湿法腐蚀法、等离子辅助化学腐蚀法、常压等离子腐蚀法等多种方法的其中一种方法将 N 型碳化硅牺牲衬底 10 去除,仅保留外延生长得到的碳化硅 P+ 层 1、碳化硅 N+ 缓冲层 2 和碳化硅 N 型漂移层 3,保留的部分用来制作 IGBT 的器件结构。

[0044] 步骤三,离子注入形成 P+ 基极阱区 4,参照图 3。首先在 N 型漂移区 3 的表面上,例如,通过化学气相淀积(CVD)的方法形成 SiO_2 层,对 SiO_2 层进行光刻并显影,暴露出需要进行 P 型离子注入的区域,对保留的光刻胶进行坚膜,增强其抗蚀性,之后运用反应离子刻蚀(RIE)或者电感耦合等离子体刻蚀(ICP)的方法移除需要进行离子注入区域的 SiO_2 层,运用例如丙酮湿法刻蚀或者氧等离子体刻蚀的方法去除光刻胶,然后利用所制备的 SiO_2 层作为掩膜,进行 P 型离子注入,形成 P+ 基极阱区 4,同样用 RIE 或者 ICP 方法移除 SiO_2 层掩膜。

[0045] 步骤四,运用相同的工序形成 N+ 发射极阱区 5,参照图 3。首先在 N 型漂移区的表面上,通过 CVD 方法形成 SiO_2 层,对 SiO_2 层进行光刻并显影,暴露出需要进行 N 型离子注入的区域,对保留的光刻胶进行坚膜,增强其抗蚀性,之后运用 RIE 或者 ICP 的方法移除需要进行离子注入区域的 SiO_2 层,运用例如丙酮湿法刻蚀或者氧等离子体刻蚀的方法去除光刻胶,然后利用所制备的 SiO_2 层作为掩膜,进行 N 型离子注入,形成 N+ 发射极阱区 5,同样用 RIE 或者 ICP 方法移除 SiO_2 层掩膜。

[0046] 离子注入完成后,对注入的离子进行活化退火。

[0047] 步骤五,形成栅极氧化层 7a,参照图 4。热氧化生成例如约 $10\text{nm}\sim 100\text{nm}$ 厚的氧化层,对氧化层进行光刻并显影,保留栅极氧化层上部的光刻胶作为刻蚀掩膜,去除其他区域的光刻胶,对光刻胶进行坚膜,利用例如 RIE 或者 ICP 等刻蚀方法去除未掩蔽部分的氧化层,去除光刻胶,形成栅极氧化层 7a。

[0048] 步骤六,形成栅极 6,并用氧化层隔离保护,参照图 4。在栅极氧化层上形成例如由多晶硅或者金属制成的栅极。多晶硅栅极可采用淀积多晶硅→光刻→显影→坚膜→RIE 或 ICP 刻蚀→去胶的工艺进行制备,金属栅极可采用溅射或者蒸发金属膜→光刻→刻蚀金属栅区域以外金属→去胶的工艺进行制备,其中刻蚀金属可以有湿法刻蚀、IBE 刻蚀、剥离等

方法。在栅极表面制备氧化层,并将其图形化,形成对栅电极的氧化隔离保护 7b。

[0049] 步骤七,在正面制作与 N⁺ 发射极相连的发射极接触 8,参照图 6。可采用金属剥离方法进行制备,首先进行光刻和显影,暴露出需要制作发射极接触的区域,淀积例如几十到几百纳米的 Ti/Ni 金属层,移除包括上层 Ti/Ni 金属层在内的光刻胶,保留发射极接触区域的金属,对金属进行热处理,形成发射极接触 8。

[0050] 步骤八,在背面制作与 P⁺ 层相连的集电极 9,参照图 6。淀积例如几十到几百纳米的 Ti/Al/Ni 金属层,对金属进行热处理,形成集电极。

[0051] 利用上述步骤,完成本实施例的采用 N 型碳化硅衬底制作的 N 沟道 IGBT 器件。

[0052] 本发明避免使用电阻率大的 P 型碳化硅衬底制作 N 沟道 IGBT,减小了碳化硅 N 沟道 IGBT 的集电极电阻,提高了器件性能,简化了制作工艺。

[0053] 最后应当说明的是:以上实施例仅用以说明本发明的技术方案而非对其限制,尽管参照上述实施例对本发明进行了详细的说明,所属领域的普通技术人员应当理解:依然可以对本发明的具体实施方式进行修改或者等同替换,而未脱离本发明精神和范围的任何修改或者等同替换,其均应涵盖在本发明的权利要求范围当中。

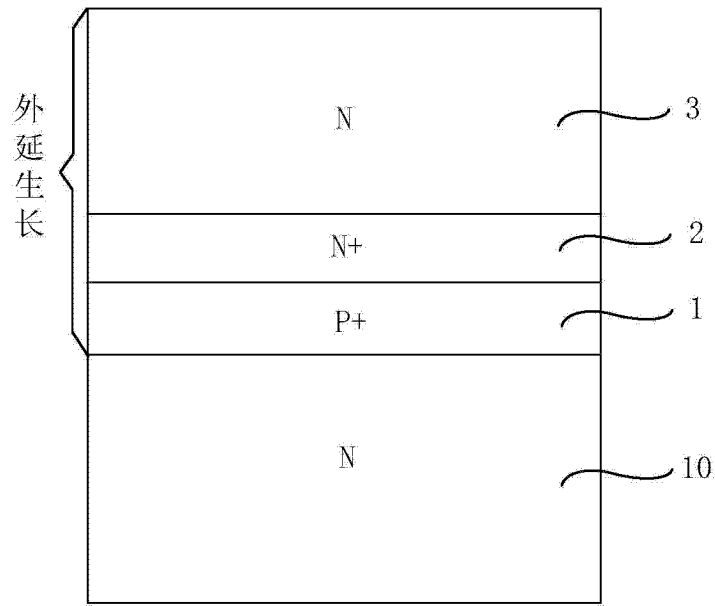


图 1

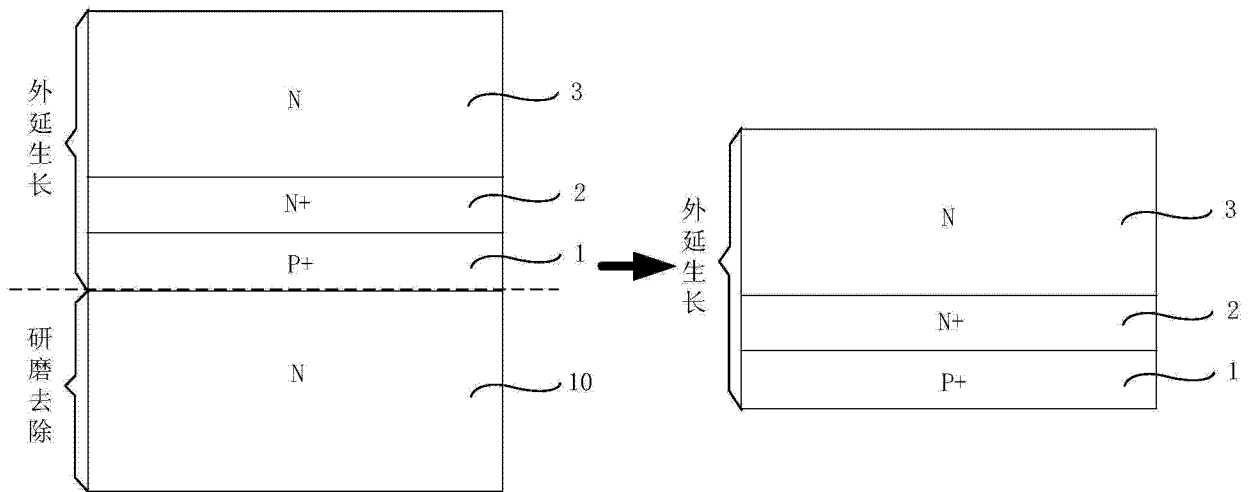


图 2

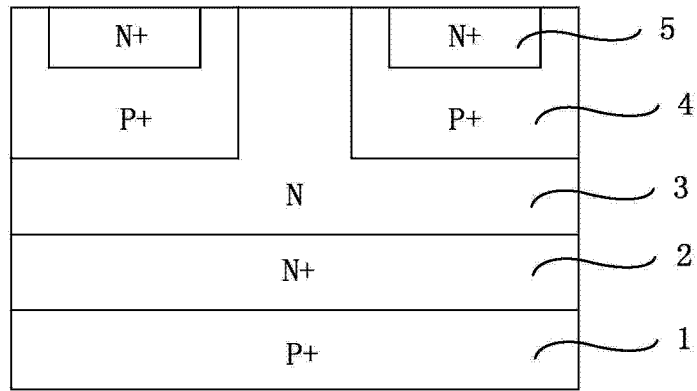


图 3

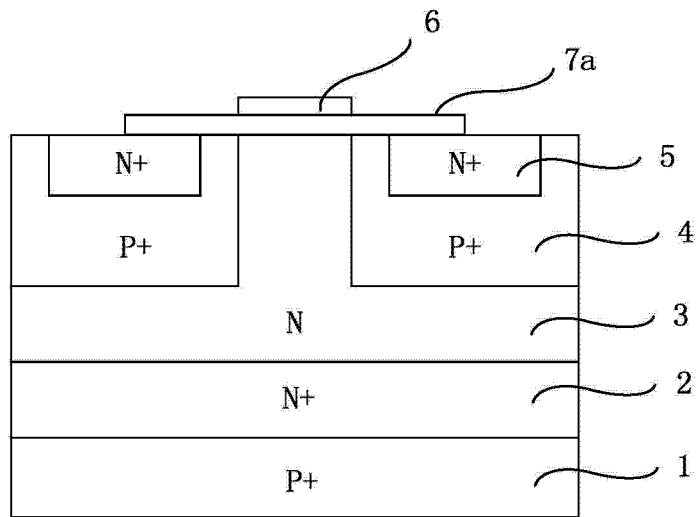


图 4

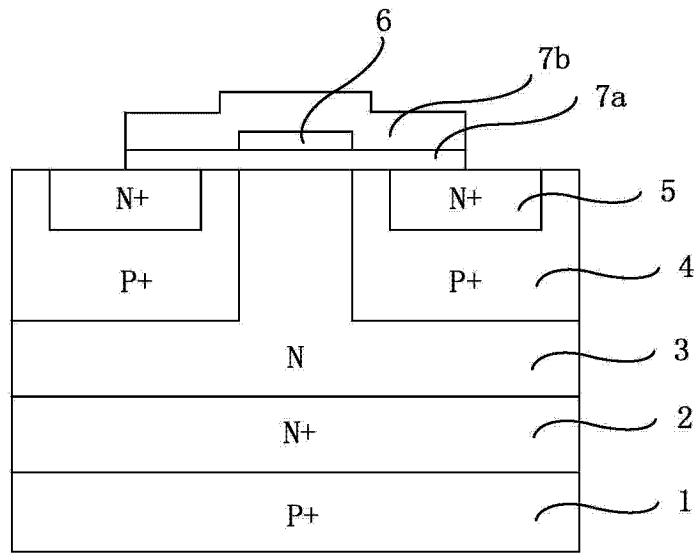


图 5

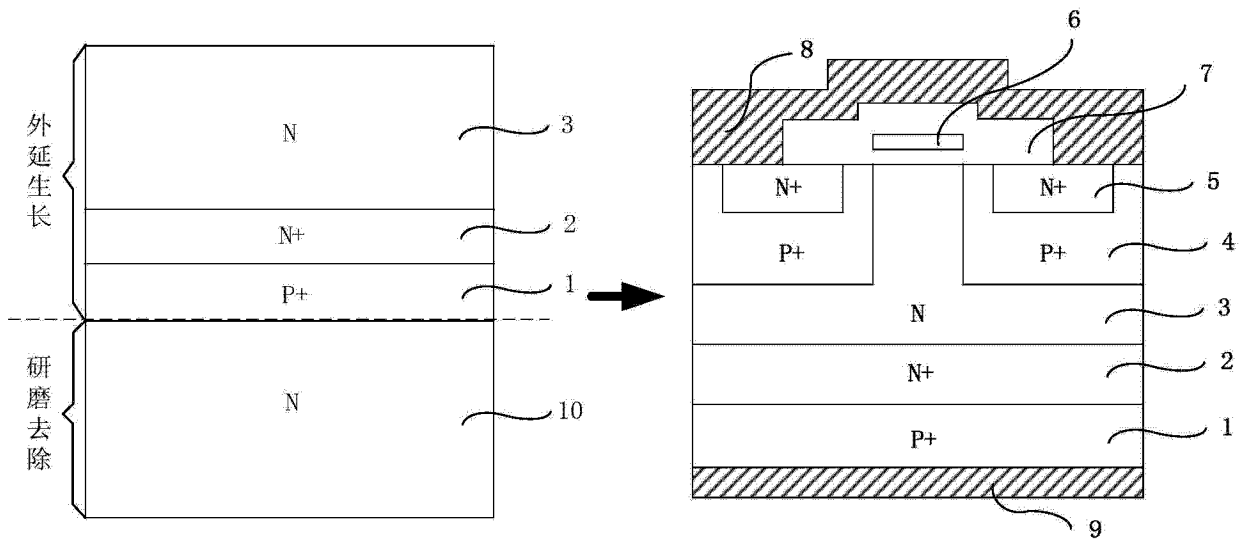


图 6