



(19) **RU** ⁽¹¹⁾ **2 092 932** ⁽¹³⁾ **C1**
 (51) МПК⁶ **H 01 L 23/48, 23/50, 27/00**

РОССИЙСКОЕ АГЕНТСТВО
 ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

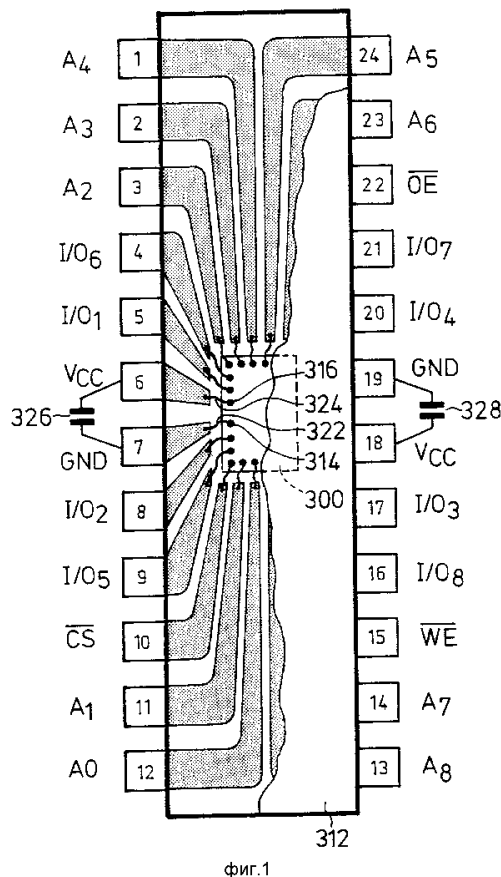
(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21), (22) Заявка: 4743167/07, 12.02.1990
 (30) Приоритет: 14.02.1989 EP 89200352.6
 (46) Дата публикации: 10.10.1997
 (56) Ссылки: 1. Philips Data Handbook, 1C 10, 1987, с. 103. 2. Philips Data Handbook, 1C 14, 1987, с. 34, 322. 3. ЕПВ, патент, 0138650, кл. H 01 L 23/50, 1985.

(71) Заявитель:
 Филипс Электроникс Н.В. (NL)
 (72) Изобретатель: Рулоф Херман Виллем
 Салтерс[NL],
 Бетти Принс[US]
 (73) Патентообладатель:
 Филипс Электроникс Н.В. (NL)

(54) УСТРОЙСТВО ИНТЕГРАЛЬНОЙ СХЕМЫ И ИНТЕГРАЛЬНАЯ СХЕМА НА ПОЛУПРОВОДНИКОВОЙ ПОДЛОЖКЕ

(57) Реферат:
 Назначение: электронная техника.
 Сущность изобретения: Расположение выводов питания интегральной схемы выбрано таким образом, чтобы свести к минимуму длину соединительных проводников. Кроме того, выводы питания расположены один за другим таким образом, чтобы уменьшить эффективную индуктивность связанных с ними соединительных проводников. Выходные выводы расположены следом за выводами питания с тем, чтобы уменьшить величину индуктивных паразитных эффектов. После выходных выводов расположены выводы управления. Как следствие, хорошо защищенное ядро стандартных выводов может быть использовано, например, в интегральных схемах запоминающих устройств с различными топологиями. 2 с. и 11 з.п. ф-лы, 2 ил.



RU 2 092 932 C1

RU 2 092 932 C1



(19) **RU** ⁽¹¹⁾ **2 092 932** ⁽¹³⁾ **C1**
 (51) Int. Cl.⁶ **H 01 L 23/48, 23/50, 27/00**

RUSSIAN AGENCY
 FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

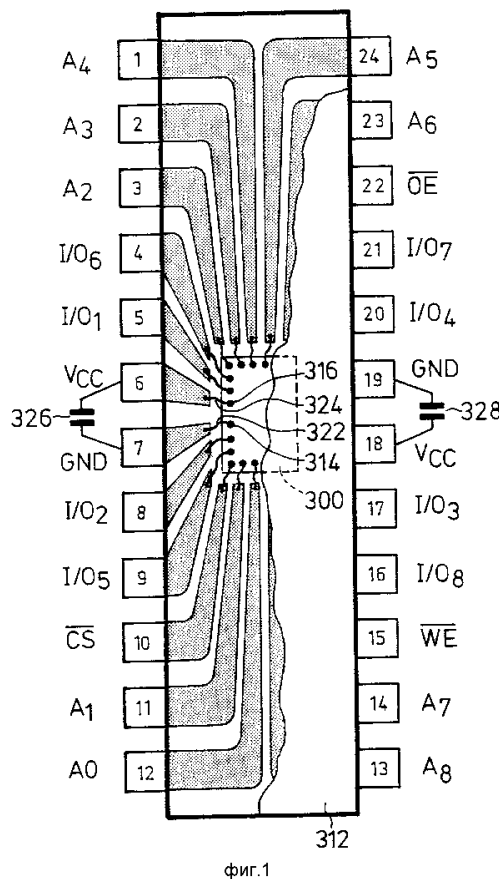
(21), (22) Application: 4743167/07, 12.02.1990
 (30) Priority: 14.02.1989 EP 89200352.6
 (46) Date of publication: 10.10.1997

(71) Applicant:
 Philips Ehlektroniks N.V. (NL)
 (72) Inventor: Rulof Kherman Villem Salters[NL],
 Betti Prins[US]
 (73) Proprietor:
 Philips Ehlektroniks N.V. (NL)

(54) **INTEGRATED CIRCUIT ON SEMICONDUCTOR SUBSTRATE**

(57) Abstract:

FIELD: electronic engineering. SUBSTANCE: integrated circuit power leads are arranged so that length of connecting conductors is minimized. In addition, power leads are placed one after another so that RMS inductance of connecting conductors coupled with them is reduced. Output leads are arranged immediately after power leads so as to reduce inductive stray effects. Control leads follow output ones. As a result, properly protected core of standard leads can be used, for example, for integrating circuits of storage devices having different configurations. EFFECT: enlarged functional capabilities. 13 cl, 2 dwg



RU 2 092 932 C1

RU 2 092 932 C1

Изобретение касается устройства интегральной схемы, содержащее по меньшей мере один кристалла (чип) интегральной схемы, имеющей контактные площадки, соединенные с набором соединительных выводов, посредством проводящих соединений; соединительные выводы включают в себя по меньшей мере первый вывод питания для приема первого и второго питающего напряжения соответственно; а также касается полупроводниковой подложки, снабженной по меньшей мере одной интегральной схемой и имеющей набор контактных площадок, включающих в себя по меньшей мере одну первую контактную площадку питания и вторую контактную площадку для приема первого и второго питающего напряжения соответственно.

Интегральные схемы такого типа хорошо известны, например, в герметизированном корпусном виде, причем соединительные выводы выступают за корпус.

Согласно известной сейчас терминологии ИС, возможно выполнить на подложке структуры, имеющие минимальные размеры порядка десятой доли микрона. Однако каждая последующая миниатюризация влечет за собой увеличение склонности схемы к паразитным электрическим эффектам. Примером таких эффектов являются флуктуации напряжения на внутренних линиях питания подложки, вызванные работой схемы, с одной стороны, и индуктивностями соединительных проводников и выводов питания, с другой. Главным фактором, ограничивающим скорость переключения цифровой схемы, является возможность индуктивных флуктуаций напряжения, которые могут оказать вредное воздействие на ИС.

Герметизация в корпусе ИС, например, микропроцессоров и элементов памяти, при которой выводы питания диаметрально противоположны один другому, является широко распространенным стандартом. Ссылкой является [1] где показана схема выводов для запоминающего устройства, и [2] где показана схема выводов микроконтроллера.

Однако, поскольку миниатюризация продолжается и максимальная тактовая частота увеличивается, недостаток этого стандарта становится более явным. Например, сглаживающие емкости, на практике располагаемые между первым и вторым выводами питания, нуждаются в длинных проволочных выводах для перекрытия расстояния между выводами, расположенными диаметрально противоположно. Паразитный импеданс этих проволочных выводов уменьшает эффективность сглаживающей емкости. Кроме того, такие длинные проволочные выводы могут действовать как антенна для приема или передачи возмущений, интерферирующих с электрической схемой.

Кроме того, индуктивный контур, содержащий подложку, на которой расположены контактные площадки для соединительных проводников, присоединенных к выводу питания, и собственно соединительные проводники и выводы питания, имеют значительную индуктивность из-за его относительно

большой площади. Это вызывает возникновение выброса индуктивного напряжения и на внутренних линиях питания подложки, причем этот выброс может интерферировать с работой ИС.

Кроме того, последовательность устройств, состоящая из вывода питания и связанного с ним соединительного проводника, имеет наибольшую возможную электрическую длину в известной микросхеме с двурядным расположением вертикальных выводов. Это является причиной того, что импеданс, в частности индуктивность, является максимально возможной.

Известные расположения выводов, отличные от этого двурядного расположения, влекут за собой подобные недостатки. Например, в расположении выводов микроконтроллера, приведенном в Philips Data Handbook, 1C 14, 1987, с. 34, соединительные выводы расположены вдоль окружности ИС. Два вывода питания предусмотрены с противоположных сторон ИС. Следовательно, сглаживающий конденсатор, присоединенный между выводами питания, подобным образом создает относительно большой контур. Другие расположения соединительных выводов могут содержать последние, установленные в решетку, имеющую более двух столбцов и более двух рядов.

Такое решетчатое расположение обеспечивает высокую плотность выводов, что, в частности, является преимуществом для ИС с большим потреблением тока. В особенности в области высокого энергопотребления, где токи и их изменения велики, работа может ограничиваться вышеописанным индуктивным эффектом.

В качестве прототипа выбран [3] В прототипе наряду с другим, показывается расположение проводящих соединений для чипа интегральной схемы с контактными площадками питания и заземления, установленных следом друг за другом по центру на кромке чипа. Следует отметить, что это описание относится к проблеме токовых петель на чипе, тогда как в рассматриваемой заявке основной проблемой является токовая петля, которая содержит вне чиповые элементы, такие как проводящие соединения и выводы. Прототип не содержит отличительного признака такого расположения соединительного вывода и проводящего соединения. Также следует отметить, что в нем нет указания на выходную площадку, расположенную смежно с одной из площадок питания.

Поэтому в основу изобретения положена задача уменьшения склонности интегральной схемы к упомянутым паразитным эффектам. Для этого интегральная схема согласно изобретению отличается тем, что совокупная длина электрической траектории по крайней мере одного из выводов питания и его соответствующего проводящего соединения равна или короче, чем совокупная длина электрической траектории любого из соединительных выводов, не являющегося выводом питания, и его соответствующего проводящего соединения, причем выходной вывод расположен следом за одним из выводов питания.

Вариант исполнения интегральной схемы на полупроводниковой подложке согласно

изобретению отличается тем, что площадка первого питания расположена смежно с площадкой второго питания и выходной площадкой.

Легко выполнимо расширение схем, разработанных согласно изобретению, поскольку расположение большей части выводов и, следовательно, основной части топологии определено заранее. В частности, для элементов памяти ячейки матрицы могут отличаться лишь размером адресуемого пространства, но не элементами топологии.

В соответствии с экспериментами, проведенными на КМОП памяти согласно изобретению, амплитуда возмущающих напряжений, вызванных переключениями, оказались ниже в 4-5 раз, чем для памяти известного типа.

На фиг. 1 изображено размещение выводов согласно изобретению микросхемы с двухрядным размещением выводов; на фиг. 2 размещение выводов микросхемы, имеющей выводы, расположенные по окружности согласно изобретению.

На фиг. 1 показана ИС запоминающего устройства, содержащая подложку интегральной схемы 300, загерметизированную внутри герметичного корпуса 312, что показано лишь частично для ясности. Подложка 300 снабжена контактными площадками, такими как 314 и 316, которые расположены рядом с краями подложки 300. Контактные площадки присоединены проводящими соединениями, 322 и 324, к соединительным выводам 1, 24, выступающим за пределы корпуса 312. Подложка 300 питается напряжением питания V_{cc} через выводы питания 6 и 18 и напряжением питания GND через выводы питания 7 и 19.

Выводы питания 6 и 7 (и 18 и 19) теперь располагаются таким образом, чтобы свести к минимуму полную электрическую длину соответствующего вывода питания и связанного с ним проводящего соединения.

Для этого выводы питания 6 и 7, с одной стороны, и выводы питания 18 и 19, с другой, расположены в центре связанной с ними последовательности соединительных выводов. Посредством сведения к минимуму упомянутой электрической длины полная индуктивность последовательности устройств, состоящей из выводов питания и связанных с ними проводящих соединений, значительно уменьшается по сравнению с полной индуктивностью, имеющейся в соответствующем выводе питания и проводящем соединении известным образом цоколеванной ИС с предыдущего чертежа.

Посредством расположения выводов питания для V_{cc} и GND один за другим, или выводов 6 и 7 (и выводов 18 и 19), сглаживающий конденсатор 326 (328) может быть присоединен между ними, используя при этом очень короткие проволочные выводы.

Контур, образованный двумя выводами питания 6 и 7, соединительными проводниками 322 и 324, подложкой 300 и конденсатором 326 теперь имеет чрезвычайно короткую окружность и, вследствие этого, включает в себе чрезвычайно малую область. Проводники, соединяющие конденсатор 326 (328) с выводами питания, имеют много меньший импеданс, чем в известном устройстве 1/, чем увеличивается эффективность

конденсаторов.

Кроме того, область упомянутого контура является много меньшей, чем в известном устройстве, что подразумевает много меньшую индуктивность контура, а следовательно, и много меньшую подверженность, например, влиянию возбуждаемых снаружи электромагнитных полей. Если пространство позволяет, то сглаживающий конденсатор 326 (например, смонтированное на поверхности устройство) может быть присоединен между соответствующими выводами питания внутри герметичного корпуса 312 или может быть интегральным компонентом вблизи собственно выводов питания.

Преимуществом размещения выводов питания, имеющего V_{cc} вывод в непосредственной близости от GND вывода, является сокращение эффективной полной индуктивности выводов питания и связанных с ними проводящих соединений. Это сокращение вызвано противоположной ориентацией токов, протекающих в проводниках, каждый из которых содержит вывод питания и связанные с ним проводящее соединение. Взаимная индуктивность, возникающая посредством противоположно направленных токов в двух проводниках, расположенных параллельно один другому, приводит к тому, что индуктивность параллельно расположенных проводников является меньше, чем половина индуктивности одного проводника.

Показанная ИС также снабжена двумя выводами питания 6 и 18 для питающего напряжения V_{cc} и двумя выводами питания 7 и 19 для напряжения питания GND. Ток, проводимый выводом питания, теперь равен половинному по сравнению с известным устройством, что сокращает амплитуду индуктивных выбросов напряжения.

Расположение выводов V_{cc} 6 и 18 и GND выводов 7 и 19 преимущественно выбрано таким образом, чтобы быть поворотно-симметричным, как можно видеть из чертежа. В отличие от этого, зеркально-симметричное расположение выводов питания может привести к разрушению ИС в случае, если она не преднамеренно будет вставлена в колодку другим способом, чем показанным на чертеже.

Как можно видеть из фиг. 1 выходные выводы 5, 8, 17, 20 расположены вслед за выводом питания. Эти выходные выводы являются доступными снаружи клеммами, присоединенными к выходам буферов подложки (не показаны). Размещение выходных выводов вслед за выводами питания имеет различные преимущества. Во-первых, электрическая длина, образованная выходным выводом и связанным с ним проводящим соединением имеет тот же порядок величины, что и электрическая длина, образованная выводом питания и связанным с ним проводящим соединением, или равна ей. Во-вторых, выходные буферы расположены с краю подложки 300. Благодаря тому, что буферы расположены рядом с контактными площадками для присоединения к клеммам питания и для присоединения к выходным выводам, буферы питаются через короткие

линии питания на подложке (не показаны).

Короткие линии питания являются преимуществом в частности для выходных буферов, поскольку они обычно переключают большой ток, что может вызвать индуктивные выбросы напряжения на связанных с ними линиях питания. Если линии питания выдерживаются как можно более короткими, то их индуктивность будет пропорционально низкой.

Управляющий вывод 10 для сигнала выброса подложки, управляющий вывод 15 для сигнала разрешения записи и управляющий вывод 22 для разрешения расположены смежно с выходным валом в последовательности соединительных выводов. Набор выводов питания 6, 7, 8, 19, выходных выводов 4, 5, 8, 9, 16, 17, 20, 21 и управляющих выводов 10, 15, 22 образуют ядро или управляющее ядро из частично встречающихся выводов запоминающих ИС.

Для другого типа ИС, например, микроконтроллеров, другой набор может быть установлен, поскольку может требоваться специфическое, конкретное применение ИС. Концентрация упомянутых выводов питания выходных выводов и управляющих выводов в ядре, а также разделение кристалла между схемой ядра и дополнительной схемой имеет различные преимущества.

Во-первых, ИС менее чувствительна к индуктивным выбросам напряжения. Во-вторых, ядро из стандартных соединительных выводов представляет для разработчиков ИС отправную точку, которая является общей для различных топологий и к которой относительно легко могут быть присоединены различные дополнительные и производные схемы.

На фиг. 1 адресные выводы 2, 1, 3, 11, 12, 13, 14, 23, 24 расположены за выходами управления и выходными выводами. Для разработчиков запоминающих устройств, в частности это разделение между схемой и дополнительной схемой имеет то преимущество, что запоминающие устройства с различными емкостями могут использовать идентичные ядра, менее чувствительные к выше описанной индуктивной интерференции.

На фиг. 2 показан пример размещения выводов ИС, выводы которой расположены по окружности. Показана подложка интегральной схемы 600 внутри герметичного корпуса 612. VDD питающие выводы 14 и 28 теперь расположены после GND вывода питания 15 и 1 соответственно.

Более того, размещение VDD вывода питания вслед за GND выводами питания находится в центре соответствующей последовательности соединительных выводов, расположение закрыто сбоку другими соединительными выводами с обеих сторон, число других соединительных выводов приблизительно равно с обеих сторон.

Сглаживающие конденсаторы 626 и 628 преимущественно являются поверхностно установленными устройствами и присоединены между выводами питания 14 и 15 и выводами питания 1 и 28 соответственно. Выходные выводы 12, 13 и 16, 17 расположены вслед за размещением выводов питания 14 и 15. Выходные выводы 3, 2, 27 и 26 расположены вслед за размещением выводов питания 1 и 28.

Соединительные выводы 22 25 образуют выводы управления для различных размещающихся сигналов, соединительные выводы 54 11, 20 и 22 образуют адресные выводы.

Хотя вышеприведенные примеры относятся к запоминающим устройствам, подобное размещение выводов может быть выполнено для других типов схем, например, микроконтроллеров. А также подобные размещения возможны для интегральных модулей, держащих более одной подложки, причем размещение выводов подобным образом отражает цель изобретения, состоящую в уменьшении индуктивных выбросов напряжения посредством спаривания выводов питания в непосредственной близости от подложки и посредством расположения выходных выводов вслед за выводами питания в соответствующем размещении соединительных выводов.

Формула изобретения:

1. Устройство интегральной схемы, содержащее собственно интегральную схему в полупроводниковой подложке, множество внешних соединительных выводов, в которых имеются по крайней мере вывод первого питания для соединения с напряжением первого питания и вывод второго питания для соединения с напряжением второго питания, отличающегося от напряжения первого питания, в котором вывод первого питания и вывод второго питания расположены смежно друг с другом и в котором среди соединительных выводов имеются по крайней мере один выходной вывод для образования выходного сигнала и множество проводящих соединений, соединяющих интегральную схему с соединительными выводами, отличающееся тем, что совокупная длина электрической траектории по крайней мере одного из выводов питания и его соответствующего проводящего соединения равна или короче, чем совокупная длина электрической траектории любого из соединительных выводов, не являющегося выводом питания, и его соответствующего проводящего соединения, причем выходной вывод расположен следом за одним из выводов питания.

2. Устройство по п. 1, отличающееся тем, что совокупная длина электрической траектории каждого выходного вывода и его соответствующего проводящего соединения равна или короче, чем совокупная длина электрической траектории любого из соединительных выводов, не являющегося выводом питания и его соответствующим проводящим соединением.

3. Устройство по п. 1 или 2, отличающееся тем, что содержит второй выходной вывод в дополнение к первому выходному выводу, причем первый выходной вывод расположен рядом с выводом первого питания, а второй выходной вывод расположен рядом с выводом второго питания.

4. Устройство по п. 1 или 2, отличающееся тем, что содержит множество выходных выводов и все выходные выводы расположены ближе к выводам питания, чем соединительные выводы, не являющиеся ни выходными выводами, ни выводами питания.

5. Устройство по п. 3 или 4, отличающееся

тем, что содержит по меньшей мере один вывод входных данных для приема сигнала входных данных и по меньшей мере один вывод управления для приема управляющего сигнала, чтобы управлять операцией, осуществляемой схемой на сигнале входных данных, с тем, что каждый вывод управления расположен между по меньшей мере одним выходным выводом и одним выводом входных данных.

6. Устройство по п. 5, отличающееся тем, что соединительные выводы расположены по меньшей мере в одной последовательности, которая включает в себя выводы первого и второго питания, первый выходной вывод, второй выходной вывод для выработки второго выходного сигнала, первый вывод входных данных, второй вывод входных данных для приема второго сигнала входных данных, первый вывод управления, второй вывод управления для приема второго сигнала управления, чтобы управлять операцией, осуществляемой интегральной схемой по меньшей мере на одном из сигналов входных данных, причем выводы первого и второго питания расположены между первым и вторым выходными выводами, первый и второй выходные выводы расположены между первым и вторым выводами управления, а первый и второй выводы управления расположены между первым и вторым выводами входных данных.

7. Устройство по пп. 1 3 или 4, отличающееся тем, что выводы первого и второго питания расположены в первом упорядоченном расположении, устройство также содержит третий вывод питания для приема напряжения первого питания и четвертый вывод питания для приема напряжения второго питания, причем третий и четвертый выводы питания расположены во втором упорядоченном расположении, при этом первое и второе упорядоченные расположения расположены с соблюдением принципа поворотной симметрии в плоскости, проходящей по существу через первое и второе упорядоченные расположения.

8. Устройство по пп. 1 6 или 7, отличающееся тем, что соединительные выходы расположены во множестве последовательностей и группа соединительных выводов, включающая в себя выводы первого и второго питания и выходной вывод, расположена по существу в центре одной из последовательностей.

9. Интегральная схема на полупроводниковой подложке, снабженная контактными площадками, включающая в

себя контактную площадку первого питания для приема напряжения первого питания и контактную площадку второго питания для приема напряжения второго питания, отличающегося от напряжения первого питания, при этом контактные площадки первого и второго питания расположены рядом одна с другой, и выходную контактную площадку для выработки выходного сигнала, отличающаяся тем, что выходная контактная площадка расположена рядом с контактной площадкой первого питания.

10. Схема по п. 9, отличающаяся тем, что контактные площадки включают в себя вторую выходную контактную площадку для выработки второго выходного сигнала и вторая выходная контактная площадка расположена рядом с контактной площадкой второго питания.

11. Схема по п. 9, отличающаяся тем, что контактные площадки включают в себя по меньшей мере еще одну выходную контактную площадку для выработки еще одного выходного сигнала, а каждая выходная контактная площадка расположена рядом с контактной площадкой первого или второго питания или рядом с первой выходной контактной площадкой или другой выходной контактной площадкой.

12. Схема по пп. 9, 10 или 11, отличающаяся тем, что контактные площадки включают в себя по меньшей мере одну контактную площадку входных данных для приема сигнала входных данных, по меньшей мере одну контактную площадку управления для приема сигнала управления, чтобы управлять операцией, осуществляемой схемой на сигнале входных данных, и контактная площадка управления расположена между выходной контактной площадкой и контактной площадкой входных данных.

13. Схема по пп. 9 11 или 12, отличающаяся тем, что контактные площадки первого и второго питания расположены в первом упорядоченном расположении, контактные площадки включают в себя контактную площадку третьего питания для приема напряжения первого питания и контактную площадку четвертого питания для приема напряжения второго питания, контактные площадки третьего и четвертого питания расположены рядом одна с другой во втором упорядоченном расположении, первое и второе упорядоченные расположения размещены при соблюдении принципа поворотной симметрии в плоскости, проходящей по существу через первое и второе упорядоченные расположения.

5

10

15

20

25

30

35

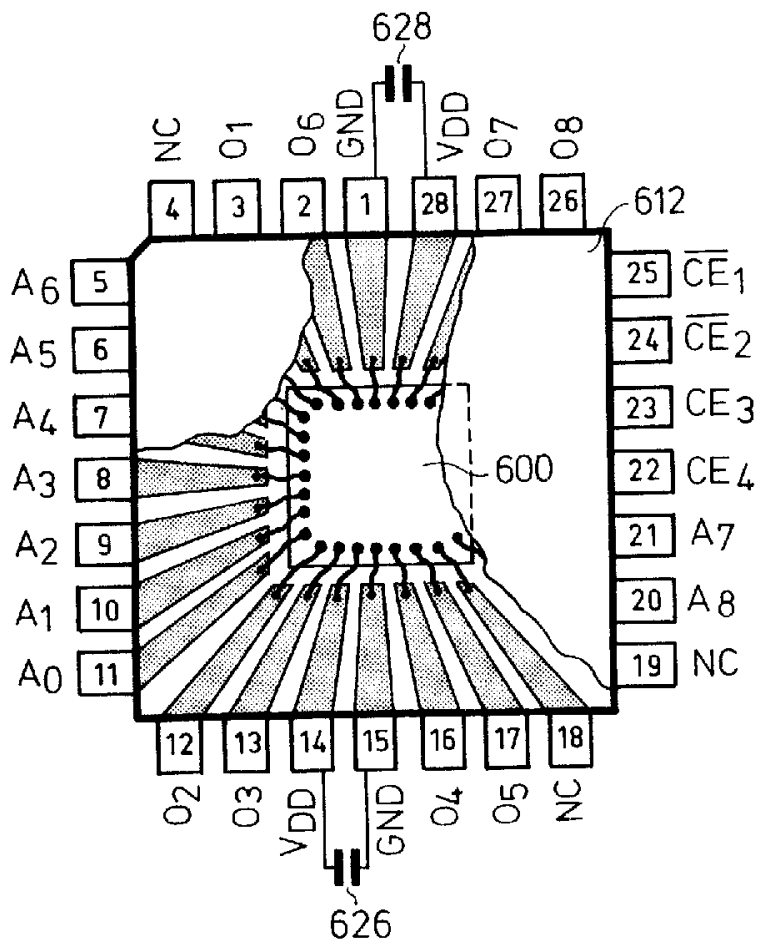
40

45

50

55

60



фиг.2