



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월07일
(11) 등록번호 10-0827695
(24) 등록일자 2008년04월29일

(51) Int. Cl.

G11C 16/04 (2006.01) G11C 16/10 (2006.01)

(21) 출원번호 10-2006-0108360
(22) 출원일자 2006년11월03일
심사청구일자 2006년11월03일

(56) 선행기술조사문헌
JP2001210082 A
JP2004062924 A
JP2003015929 A
KR1020020081925 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김후성

경기 용인시 기흥구 중동 동백지구 어은목마을 코아루아파트4306동 2002호

한의규

경기 용인시 수지구 풍덕천동 진산마을 526동 1407호

(74) 대리인

김능균

전체 청구항 수 : 총 13 항

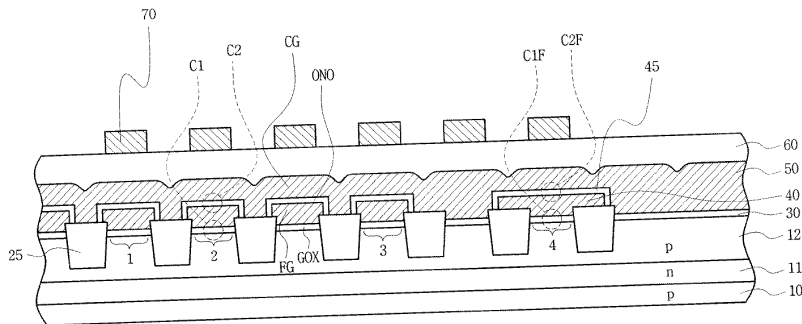
심사관 : 조명관

(54) 연약 셀을 표식자로서 활용하는 불휘발성 반도체 메모리장치

(57) 요약

본 발명은 리드동작이 주로 일어나는 불휘발성 메모리 영역에 대한 리드 디스터브 문제를 개선한다. 본 발명에서는 메모리 셀 어레이 내의 스페어 셀 영역에 리드 디스터브가 노말 메모리 셀에 비해 상대적으로 취약한 인디케이팅 셀을 형성하여 두고, 동작 시 상기 인디케이팅 셀의 데이터를 참조하여 상기 노말 메모리 셀에 대한 데이터 백업을 행하는 지표로서 활용한다. 따라서, 인디케이팅 셀의 데이터를 참조하여 상기 노말 메모리 셀에 대한 데이터 백업 유무를 결정하기 때문에, 노말 메모리 셀의 리드 디스터브 발생에 기인되는 리드 에러가 예방되어진다. 결국, 불휘발성 반도체 메모리 장치의 리드 동작에 대한 신뢰성이 개선된다.

대표도



특허청구의 범위

청구항 1

노말 메모리 셀들의 데이터 보유 특성에 대한 변형징조를 모니터링하기 위해, 상기 노말 메모리 셀들의 컵플링 비보다 상대적으로 큰 컵플링 비를 가지도록 제조되어 인가되는 전압 스트레스에 상대적으로 연약한 플래그 메모리 셀을 메모리 셀 어레이 내에 배치한 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 전기적 스트레스는 메모리 셀의 소프트 프로그램을 초래하는 전압 스트레스임을 특징으로 하는 불휘발성 반도체 메모리.

청구항 4

제1항에 있어서, 상기 전기적 스트레스는 메모리 셀의 리드 디스터브를 일으키는 전기적 스트레스임을 특징으로 하는 불휘발성 반도체 메모리.

청구항 5

제1항에 있어서, 상기 플래그 메모리 셀의 저장 데이터는, 불휘발성 반도체 메모리의 초기 부팅시 노말 메모리 셀들에 저장된 데이터의 백업동작 실행유무를 결정하기 위해 참고되어짐을 특징으로 하는 불휘발성 반도체 메모리.

청구항 6

EEPROM 타입의 불휘발성 반도체 메모리에 있어서:

데이터를 저장하기 위한 플로팅 게이트와 콘트롤 게이트를 갖는 모오스 트랜지스터들로 구성된 노말 메모리 셀들;

상기 노말 메모리 셀들의 데이터 보유 특성에 대한 변형징조를 모니터링하기 위해, 상기 노말 메모리 셀들의 컵플링 비보다 상대적으로 큰 컵플링 비를 가지도록 제조되어 인가되는 전기적 스트레스에 대하여 상기 노말 메모리 셀들에 비해 연약한 특성을 갖도록 제조된 플래그 메모리 셀들을 포함하는,

메모리 셀 어레이를 구비함을 특징으로 하는 불휘발성 반도체 메모리.

청구항 7

제6항에 있어서, 상기 플래그 메모리 셀의 플로팅 게이트의 폭은 상기 노말 메모리 셀의 폭보다 큼을 특징으로 하는 불휘발성 반도체 메모리.

청구항 8

제7항에 있어서, 상기 전기적 스트레스는 메모리 셀의 리드 에러를 초래할 우려가 있는 스트레스임을 특징으로 하는 불휘발성 반도체 메모리.

청구항 9

제8항에 있어서, 상기 플래그 메모리 셀의 저장 데이터는, 초기 부팅시 노말 메모리 셀들에 저장된 데이터의 리드동작 실행 유무를 결정하기 위해 참고되어짐을 특징으로 하는 불휘발성 반도체 메모리.

청구항 10

EEPROM 타입의 불휘발성 반도체 메모리 장치에 있어서:

데이터를 저장하기 위한 플로팅 게이트와 콘트롤 게이트를 갖는 모오스 트랜지스터들로 구성된 노말 메모리 셀들과, 상기 노말 메모리 셀들에 하나씩 대응되어 배치되며 상기 노말 메모리 셀들의 커플링 비보다 상대적으로 큰 커플링 비를 가지도록 제조되어 인가되는 전기적 스트레스에 대하여 상기 노말 메모리 셀들보다 연약한 특성을 갖는 플래그 메모리 셀들을 포함하는, 메모리 셀 어레이와;

입력 어드레스에 대응되는 노말 메모리 셀들을 선택하고 선택된 노말 메모리 셀들로부터 데이터를 리드하는 리드회로를 구비하며,

상기 리드회로는 리드 동작의 초기에 상기 선택된 노말 메모리 셀들에 대응되어 배치된 플래그 메모리 셀의 데이터를 우선적으로 리드하고 리드 디스터브를 감지한 경우 상기 노말 메모리 셀들에 대한 리드를 정지함을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 11

제10항에 있어서, 상기 노말 메모리 셀들에 대한 리드가 정지된 경우에 데이터 카피백 동작을 수행하기 위한 회로를 더 구비함을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 12

제11항에 있어서, 상기 카피백 동작이 수행된 후 상기 노말 메모리 셀들의 데이터 보유 특성을 초기 상태로 돌리기 위해 소거동작을 행하는 소거회로를 더 구비함을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 13

제12항에 있어서, 상기 소거동작이 수행된 상기 노말 메모리 셀들에 상기 카피백된 데이터를 다시 백업하기 위한 프로그램 회로를 더 구비함을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

메모리 셀 어레이 내의 스페어 셀 영역에 데이터 보유 특성이 커플링 비의 차이에 기인하여 노말 메모리 셀에 비해 상대적으로 전기적 스트레스에 취약하며 그 취약의 정도가 각기 다른 인디케이팅 셀을 복수로 준비하는 단계와;

전원 온 시에 상기 인디케이팅 셀들 중 전기적 스트레스에 가장 취약한 인디케이팅 셀의 데이터를 리드하고 기준 데이터와 비교하는 단계와;

상기 인디케이팅 셀의 데이터가 상기 기준 데이터와 같지 않을 경우에 그 다음으로 전기적 스트레스에 취약한 인디케이팅 셀의 데이터를 리드하고 상기 기준 데이터와 비교하는 단계와;

전기적 스트레스가 가장 덜 취약한 인디케이팅 셀의 데이터가 상기 기준 데이터와 같지 않을 경우에 상기 인디케이팅 셀에 대응되는 노말 메모리 셀들의 블록 또는 페이지에 대한 데이터 카피백 동작을 수행하는 단계와;

상기 블록 또는 페이지 내에 속한 노말 메모리 셀들에 대하여 데이터 소거 및 소거 베리파이를 행하는 단계와;

상기 소거 및 소거 베리파이 동작이 수행된 상기 노말 메모리 셀들에 상기 카피백된 데이터를 다시 프로그램하

는 단계를 구비함을 특징으로 하는 불휘발성 반도체 메모리의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 불휘발성 반도체 메모리에 관한 것으로, 특히 플로팅 게이트에 전하를 주입하거나 방출하는 것에 의해 데이터를 저장하는 불휘발성 반도체 메모리에 관한 것이다.
- <9> 근래에 컴퓨터 등과 같은 정보처리 장치의 급속한 발전에 따라 정보처리 장치의 중요 부품으로서 채용되는 반도체 메모리 장치도 고속 동작화 및 대용량화되는 추세이다.
- <10> 통상적으로, 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치와 불휘발성 반도체 메모리 장치로 나뉘어진다. 휘발성 반도체 메모리 장치는 다시 다이내믹 랜덤 액세스 메모리(dynamic random access memory)와 스테틱 랜덤 액세스 메모리 (static random access memory)로 분류될 수 있다. 그러한 휘발성 반도체 메모리 장치는 읽고 쓰는 속도 면에서는 빠르지만 외부 전원 공급이 끊기면 메모리 셀에 저장된 내용이 사라져 버리게 되는 단점을 갖는다. 한편, 불휘발성 반도체 메모리 장치는 마스크 롬(mask read only memory: MROM), 프로그래머블 리드 온리 메모리(programmable read only memory:PROM), 소거 및 프로그램 가능한 리드 온리 메모리(erasable programmable read only memory:EPROM), 전기적으로 소거 및 프로그램 가능한 리드 온리 메모리(electrically erasable programmable read only memory:EEPROM) 등으로 분류된다.
- <11> 상기한 종류의 불휘발성 반도체 메모리 장치는 외부의 전원 공급이 중단되더라도 메모리 셀내에 그 내용을 영구적으로 보존할 수 있기 때문에 전원 공급의 여하에 관계없이 보존되어야 할 내용을 기억시키는데 주로 쓰여진다. 그렇지만, 상기 MROM, PROM, EPROM의 경우에는 일반 사용자들이 전자적 시스템을 통해 자체적으로 소거와 쓰기(또는 프로그램)를 행하는 작업이 자유롭지 않다. 즉, 온-보드(on-board)상태에서 프로그램된 내용을 소거하거나 재프로그램 하는 것이 용이하지 않은 것이다. 이와는 달리, 상기 EEPROM의 경우에는 전기적으로 소거와 쓰기를 행하는 작업이 시스템 자체적으로 가능하므로 지속적인 내용 갱신이 필요한 시스템 프로그램 저장장치나 보조기억장치로의 응용이 지속적으로 확대되고 있는 실정이다.
- <12> 최근의 컴퓨터 또는 마이크로 프로세서에 의해 제어되는 여러 전자적 장치들은 고밀도의 전기적으로 소거 및 프로그램 가능한 상기 EEPROM의 개발을 더욱 요구하고 있는 것이다. 더욱이, 디지털 카메라 등의 데이터 저장장치는 사이즈가 콤팩트할 것이 요구되며, 또한 휴대용 컴퓨터 또는 노트북 크기의 배터리 전원 컴퓨터 시스템에서 보조 메모리 장치로써 회전 자기 디스크를 가지는 하드 디스크 장치를 사용하는 것은 상대적으로 넓은 면적을 점유하기 때문에, 그러한 시스템의 설계자들은 보다 작은 면적을 점유하는 고밀도, 고성능의 EEPROM의 개발에 큰 흥미를 가진다.
- <13> EEPROM 설계 및 제조기술이 진보됨에 따라 출현된 플래쉬 소거기능을 가지는 낸드타입 플래쉬(Flash) EEPROM은 통상의 EEPROM에 비해 집적도가 높아 대용량 보조기억장치로의 응용에 매우 유리하다. 상기 플래쉬 EEPROM은 단위 메모리 셀 어레이 구성을 어떤 형태로 가지느냐에 따라 NAND 타입(type), NOR 타입, 또는 AND 타입으로 구별되는데, NAND 타입(type)이 NOR나 AND 타입에 비해 높은 집적도를 갖는다는 것은 본 분야에서 널리 알려져 있다.
- <14> 도 1은 종래 기술에 따른 불휘발성 반도체 메모리 장치의 블록도이다. 또한, 도 2는 도 1중 메모리 셀 어레이내의 메모리 셀들에 대한 제조단면을 보여주는 도면이다. 상기 도면들은 2001년 9월 25일자로 미국에서 등록된 미국 특허번호 US 6,295,227호에 개시된 바 있다.
- <15> 도 1에서, 데이터 입출력 버퍼(58), 워드라인들을 선택하기 위한 로우 디코더(52), 컬럼 디코더(54), 컬럼 게이트(55), 메모리 셀 트랜지스터들의 입출력 데이터를 감지하고 저장하기 위해 센스앰프 회로(53), 부스팅 전압을 생성하는 부스터 회로(56), 메모리 장치의 동작을 제어하는 콘트롤 회로(57), 및 메모리 셀 어레이(51)를 구비한 NAND 타입 EEPROM의 블록 연결구성이 보여진다.
- <16> 상기 메모리 셀 어레이(51)는 낸드 셀 유닛(또는 셀 스트링)내의 메모리 셀 트랜지스터에 데이터를 주고 받기 위한 비트라인들(BL)과, 상기 비트라인들(BL)과 교차하며 상기 낸드 셀 유닛내의 메모리 셀 트랜지스터들 및 상

기 선택 트랜지스터들의 게이트를 제어하기 위한 워드라인들(WL)을 포함한다.

- <17> 상기 도 1 중 메모리 셀 어레이(51)내의 메모리 셀 들의 제조단면을 보여주는 도 2를 참조하면, n타입 웰(well:11)의 상부에 형성된 p타입 웰(12)내에 낸드 셀 유닛(NAND cell unit)을 구성하는 메모리 셀들의 단면이 보여진다. 상기 낸드 셀 유닛은 드레인이 비트라인에 접속된 제1선택 트랜지스터(SST)와, 소오스가 공통소오스 라인에 접속된 제2선택 트랜지스터(ST)와, 상기 제1선택 트랜지스터(SST)의 소오스와 상기 제2선택 트랜지스터(ST)의 드레인 사이에 채널들이 직렬로 접속된 16개의 메모리 트랜지스터들(WL0~WL15의 하부에 위치되고 WL0~WL15와 연결됨)로 구성되어 있다. 낸드 셀 유닛은 P형 웰(12)상에 형성되고 각각의 메모리 셀 트랜지스터는 그 소오스와 드레인 영역(21) 사이의 채널 영역상에 게이트 산화막(14)을 개재하여 형성된 플로팅 게이트(15)와, 층간 절연막(16)을 통하여 이 플로팅 게이트(15)상에 형성된 제어 게이트(17)를 가지고 있다. 상기 플로팅 게이트(FG:15)에는 상기 콘트롤 게이트(CG:17)에 인가되는 프로그램 전압에 의해 프로그램 데이터로서 기능하는 전하가 축적된다.
- <18> NAND 타입 EEPROM의 동작 중 소거, 쓰기, 및 읽기 동작을 설명하면 다음과 같다. 소거와 프로그램(또는 쓰기)동작은 공지의 F-N터널링 전류(tunneling current)를 이용함으로써 달성된다. 예컨대, 소거 시에는 기판에 매우 높은 전위를 인가하고 상기 CG에 낮은 전위를 인가한다. 이 경우에 CG와 FG사이의 커패시턴스와 FG와 기판사이의 커패시턴스와의 커플링 비에 의해 결정된 전위가 상기 FG에 인가된다. 상기 FG에 인가된 플로팅 게이트 전압 V_{fg} 와 기판에 인가된 기판전압 V_{sub} 간의 전위차가 F-N 터널링을 일으킬 수 있는 전위차보다 크면 상기 FG에 모여 있던 전자들이 FG에서 기판으로 이동하게 된다. 이와 같은 동작이 일어나면 CG, FG와 소오스 및 드레인으로 구성된 메모리 셀 트랜지스터의 문턱전압 V_t 가 낮아지게 된다. 상기 V_t 가 충분히 낮아져서 CG와 소오스에 0 V를 인가하더라도 드레인에 적당히 높은 양의 전압을 가했을 때 전류가 흐르게 되면 우리는 이것을 "ERASE"되었다 라고 하고, 논리적으로(logically) "1" 로서 흔히 표시한다.
- <19> 한편, 쓰기 시에는 소오스와 드레인에 0 V를 인가하고 CG에 매우 높은 전압을 인가하게 된다. 이 때 채널 영역엔 반전층(inversion layer)이 형성되면서 소오스와 드레인이 모두 0 V의 전위를 갖게 된다. CG와 FG사이 그리고 FG와 채널 영역사이의 커패시턴스의 비에 의해 결정된 V_{fg} 와 $V_{channel}$ (0 V)사이에서 인가된 전위차가 F-N 터널링을 일으킬 수 있을 만큼 충분히 커지면 전자가 채널영역에서 FG로 이동하게 된다. 이 경우 V_t 가 증가하게 되며 미리 설정한 양의 전압을 CG에 가하고 소오스에는 0 V를 가하고 드레인에 적당한 양의 전압을 가했을 때 전류가 흐르지 않게 되면 우리는 이것을 "PROGRAM" 되었다 라고 하고 논리적으로 "0" 으로 흔히 표시한다.
- <20> 상기 메모리 셀 어레이의 구성에서 페이지 단위는 하나의 워드라인에 콘트롤 게이트가 공통으로 연결된 메모리 셀 트랜지스터들을 말한다. 복수개의 메모리 셀 트랜지스터들을 포함하는 복수개의 페이지들은 셀 블록이라고 칭해지며, 하나의 셀 블록의 단위는 통상적으로 비트라인 당 한개 또는 복수개의 셀 스트링들을 포함한다. 상기한 낸드 플래시 메모리는 고속프로그래밍을 위하여 페이지 프로그램 모드를 가지고 있다. 페이지 프로그램 동작은 데이터 로딩동작과 프로그램 동작으로 구성된다. 데이터 로딩동작은 입출력 단자들로부터 바이트 크기의 데이터를 순차적으로 데이터 레지스터들에 래치 및 저장하는 동작이다. 데이터 레지스터는 각 비트라인에 대응할 수 있게 제공되어 있다. 프로그램 동작은 상기 데이터 레지스터들에 저장된 데이터를 비트라인들을 통해 선택된 워드라인상의 메모리 트랜지스터들로 일시에 기입하는 동작이다.
- <21> 상기한 바와 같은 NAND 타입 EEPROM은 일반적으로 리드(read, 읽기), 프로그램(program, 쓰기)동작을 페이지 단위로 수행하고, 소거(erase)동작을 블록 단위로 수행한다. 실제적으로, 상기 메모리 셀 트랜지스터의 FG와 채널 간에 전자가 이동되는 현상은 프로그램과 소거동작에서만 일어나며, 리드동작에서는 상기 동작들이 종료된 후 메모리 셀 트랜지스터에 저장된 데이터를 해침이 없이 그대로 읽기만 하는 동작이 일어난다.
- <22> 리드(read)동작에서 메모리 셀 트랜지스터의 비선택된 CG에는 선택된 메모리 셀 트랜지스터의 CG에 인가되는 전압(통상적으로 그라운드 전압)보다 더 높은 전압(통상적으로 리드전압)이 인가된다. 그러면 선택된 메모리 셀 트랜지스터의 프로그램 상태에 따라 대응되는 비트라인 상에는 전류가 흐르거나 흐르지 않게 된다. 정해진 전압 조건에서 프로그램된 메모리 셀의 문턱전압(threshold voltage)이 기준치보다 높으면 그 메모리 셀은 오프셀(off-cell)로 판독되어 대응되는 비트라인 상에는 높은 레벨의 전압이 충전된다. 반대로, 프로그램된 메모리 셀의 문턱전압이 기준치보다 낮으면 그 메모리 셀은 온셀(on-cell)로 판독되어 해당하는 비트라인은 낮은 레벨로 방전된다. 이러한 비트라인의 상태는 상기 페이지 버퍼라고 불리는 센스앰프(도 1의 sense amplifier:53)를 통하여 "0" 이나 "1"로 최종적으로 판독되는 것이다.
- <23> 플래시 EEPROM의 메모리 셀 영역 중에서 리드 동작이 주로 수행되는 영역은 고속의 액세스가 요구되는 롬 데이터 불 정보나 메인 메모리 셀 어레이의 저장데이터에 대한 인덱싱 정보등과 같은 소수의 코드 데이터가 들어있는

영역일 수 있다. 그러한 영역에 속해 있는 메모리 셀들에 대하여는 리드 동작에 의한 리드 디스터브(disturbance)가 발생하는 문제점이 있다. 즉, 비선택될 때 받았던 리드 전압 스트레스 누적에 기인하여 메모리 셀들에 저장된 코드 데이터가 일정횟수 이상 리드된 이후에는 정상적으로 리드되지 못하고 리드 에러가 발생되어 버리는 것이다.

- <24> 결국, 특정한 메모리 셀 영역에 대하여 빈번하고 집중적인 리드동작이 수행됨에 의해, 메모리 셀들의 문턱 전압이 변동되어 리드 에러가 발생된 경우에, 에러 코렉션 코드 등의 로직에 의해서도 리드 에러를 갖는 데이터는 정상적으로 구제되기 어려우므로, 메모리 장치의 전체불량을 야기할 수 있다.
- <25> 따라서, 불휘발성 반도체 메모리에서 리드 디스터브에 기인하는 리드 에러를 미연에 방지할 수 있는 대책이 본 분야에서 요망된다.

발명이 이루고자 하는 기술적 과제

- <26> 따라서, 본 발명의 목적은 종래 기술의 문제점을 극복할 수 있는 불휘발성 반도체 메모리를 제공함에 있다.
- <27> 본 발명의 다른 목적은 리드 디스터브에 기인하는 리드 에러를 미연에 방지할 수 있는 불휘발성 반도체 메모리를 제공함에 있다.
- <28> 본 발명의 또 다른 목적은 플래쉬 EEPROM의 메모리 셀 영역 중에서 리드 동작이 주로 수행되는 영역에 대한 리드 에러 발생을 효과적으로 방지할 수 있는 불휘발성 반도체 메모리 장치를 제공함에 있다.
- <29> 본 발명의 또 다른 목적은 리드 디스터브에 기인하는 소프트 프로그램 불량을 최소화 또는 줄일 수 있는 낸드 플래쉬 반도체 메모리 장치를 제공함에 있다.
- <30> 본 발명의 또 다른 목적은 연약 셀을 표식자로서 활용하여 셀 교란에 의한 데이터 변형징조를 미리 알 수 있게 하는 불휘발성 반도체 메모리 장치 및 그에 따른 불휘발성 반도체 메모리의 구동방법을 제공함에 있다.
- <31> 상기한 기술적 과제들의 일부를 달성하기 위한 본 발명의 양상(aspect)에 따른 불휘발성 반도체 메모리는, 노말 메모리 셀들의 데이터 보유 특성에 대한 변형징조를 모니터링하기 위해, 상기 노말 메모리 셀들보다 전기적 스트레스에 연약한 플래그 메모리 셀을 메모리 셀 어레이 내에 배치한 것을 특징으로 한다.
- <32> 바람직하기로, 상기 플래그 메모리 셀은 커플링 비가 상기 노말 메모리 셀의 커플링 비보다 크며, 상기 전기적 스트레스는 메모리 셀의 소프트 프로그램을 초래하는 전압 스트레스이거나 메모리 셀의 리드 디스터브를 일으키는 전기적 스트레스일 수 있다. 상기 플래그 메모리 셀의 저장 데이터는, 불휘발성 반도체 메모리의 초기 부팅시 노말 메모리 셀들에 저장된 데이터의 백업동작 실행유무를 결정하기 위해 참고되어질 수 있다.
- <33> 본 발명의 실시예적 양상에 따라, EEPROM 타입의 불휘발성 반도체 메모리는, 데이터를 저장하기 위한 플로팅 게이트와 콘트롤 게이트를 갖는 모오스 트랜지스터들로 구성된 노말 메모리 셀들과; 상기 노말 메모리 셀들의 데이터 보유 특성에 대한 변형징조를 모니터링하기 위해, 상기 노말 메모리 셀들보다 전기적 스트레스에 연약한 특성을 갖도록 제조된 플래그 메모리 셀들을 포함하는, 메모리 셀 어레이를 구비한다.
- <34> 바람직하기로, 상기 플래그 메모리 셀의 플로팅 게이트의 폭은 상기 노말 메모리 셀의 폭보다 크며, 상기 전기적 스트레스는 메모리 셀의 리드 에러를 초래할 우려가 있는 스트레스일 수 있다. 상기 플래그 메모리 셀의 저장 데이터는, 초기 부팅시 노말 메모리 셀들에 저장된 데이터의 리드동작 실행 유무를 결정하기 위해 참고되어질 수 있다.
- <35> 본 발명의 또 다른 양상에 따른 EEPROM 타입의 불휘발성 반도체 메모리 장치는,
- <36> 데이터를 저장하기 위한 플로팅 게이트와 콘트롤 게이트를 갖는 모오스 트랜지스터들로 구성된 노말 메모리 셀들과, 상기 노말 메모리 셀들에 하나씩 대응되어 배치되며 상기 노말 메모리 셀들과 동일한 타입을 가진 채, 상기 노말 메모리 셀들보다 전기적 스트레스에 연약한 특성을 갖는 플래그 메모리 셀들을 포함하는, 메모리 셀 어레이와;
- <37> 입력 어드레스에 대응되는 노말 메모리 셀들을 선택하고 선택된 노말 메모리 셀들로부터 데이터를 리드하는 리드회로를 구비하며,
- <38> 상기 리드회로는 리드 동작의 초기에 상기 선택된 노말 메모리 셀들에 대응되어 배치된 플래그 메모리 셀의 데이터를 우선적으로 리드하고 리드 디스터브를 감지한 경우 상기 노말 메모리 셀들에 대한 리드를 정지함을 특징

으로 한다.

- <39> 바람직하기로, 상기 장치는, 상기 노말 메모리 셀들에 대한 리드가 정지된 경우에 데이터 카피백 동작을 수행하기 위한 회로를 더 구비할 수 있으며, 상기 카피백 동작이 수행된 후 상기 노말 메모리 셀들의 데이터 보유 특성을 초기 상태로 돌리기 위해 소거동작을 행하는 소거회로를 더 구비할 수 있다. 또한, 상기 장치는 상기 소거 동작이 수행된 상기 노말 메모리 셀들에 상기 카피백된 데이터를 다시 백업하기 위한 프로그램 회로를 더 구비할 수 있다.
- <40> 본 발명의 또 다른 양상에 따라 불휘발성 반도체 메모리의 구동방법은,
- <41> 메모리 셀 어레이 내의 스페어 셀 영역에 데이터 보유 특성이 노말 메모리 셀에 비해 상대적으로 취약한 인디케이팅 셀을 준비하는 단계와;
- <42> 전원 온 시에 상기 인디케이팅 셀의 데이터를 리드하고 기준 데이터와 비교하는 단계와;
- <43> 상기 인디케이팅 셀의 데이터가 상기 기준 데이터와 같지 않을 경우에 상기 인디케이팅 셀에 대응되는 노말 메모리 셀들의 블록 또는 페이지에 대한 데이터 카피백 동작을 수행하는 단계와;
- <44> 상기 블록 또는 페이지 내에 속한 노말 메모리 셀들에 대하여 데이터 소거를 행하는 단계와;
- <45> 상기 소거동작이 수행된 상기 노말 메모리 셀들에 상기 카피백된 데이터를 다시 프로그램하는 단계를 구비한다.
- <46> 바람직하기로, 상기 인디케이팅 셀에 대하여도 상기 노말 메모리 셀들과 동일하게 상기 카피백 동작, 소거 및 프로그램 동작이 수행될 수 있으며, 상기 인디케이팅 셀의 데이터가 상기 기준 데이터와 같지 않을 경우에 리드 명령은 보류되며, 상기 프로그램 동작이 끝난 후에 리드동작이 개시될 수 있다.
- <47> 본 발명의 또 다른 실시예적 양상에 따라, 불휘발성 반도체 메모리의 구동방법은,
- <48> 메모리 셀 어레이 내의 스페어 셀 영역에 데이터 보유 특성이 노말 메모리 셀에 비해 상대적으로 취약하며 그 취약의 정도가 각기 다른 인디케이팅 셀을 복수로 준비하는 단계와;
- <49> 전원 온 시에 상기 인디케이팅 셀들 중 가장 취약한 인디케이팅 셀의 데이터를 리드하고 기준 데이터와 비교하는 단계와;
- <50> 상기 인디케이팅 셀의 데이터가 상기 기준 데이터와 같지 않을 경우에 그 다음으로 취약한 인디케이팅 셀의 데이터를 리드하고 상기 기준 데이터와 비교하는 단계와;
- <51> 가장 덜 취약한 인디케이팅 셀의 데이터가 상기 기준 데이터와 같지 않을 경우에 상기 인디케이팅 셀에 대응되는 노말 메모리 셀들의 블록 또는 페이지에 대한 데이터 카피백 동작을 수행하는 단계와;
- <52> 상기 블록 또는 페이지 내에 속한 노말 메모리 셀들에 대하여 데이터 소거 및 소거 베리파이를 행하는 단계와;
- <53> 상기 소거 및 소거 베리파이 동작이 수행된 상기 노말 메모리 셀들에 상기 카피백된 데이터를 다시 프로그램하는 단계를 구비한다.
- <54> 상기한 바와 같은 본 발명의 방법적 장치적 구성에 따르면, 리드 디스터브가 노말 메모리 셀에 비해 상대적으로 취약한 인디케이팅 셀(또는 플래그 셀)의 데이터를 참조하여 상기 노말 메모리 셀에 대한 데이터 백업을 행하는 지표로서 활용하기 때문에, 노말 메모리 셀의 리드 디스터브 발생에 기인되는 리드 에러가 예방되어진다.

발명의 구성 및 작용

- <55> 이하에서는 본 발명의 바람직한 실시 예가, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어서, 본 발명의 철저한 이해를 제공할 의도 외에는 다른 의도 없이, 도 3 내지 도 6을 참조로 설명되어질 것이다.
- <56> 도 3은 본 발명의 실시예에 따른 불휘발성 반도체 메모리 장치의 블록도이고, 도 4는 도 3중 메모리 셀 어레이 내의 메모리 셀들에 대한 연결 구조를 보인 등가 회로도이다. 도 5는 도 4의 메모리 셀들에 대한 제조 단면을 일 예로서 보여주는 도면이며, 도 6은 본 발명에 따라 리드 디스터브에 기인하는 리드 에러를 방지하기 위한 동작 플로우차트이다.
- <57> 먼저, 도 3을 참조하면, 메모리 셀 어레이(35)의 구성이 도 1에 비해 특이함을 알 수 있다. 즉, 상기 메모리 셀 어레이(35)는 노말 메모리 셀들이 배치된 노말 메모리 셀 어레이(36)와 플래그(flag) 메모리 셀들이 배치된 플래그 메모리 셀 블록(37)으로 구성된다. 상기 플래그 메모리 셀 블록(37)에 배치되는 플래그 메모리 셀 또는 셀

들은 상기 노말 메모리 셀들의 데이터 보유 특성에 대한 변형징조(change sign)를 모니터링하기 위해, 상기 노말 메모리 셀보다 전기적 스트레스에 연약(또는 취약)하게 제조된다.

- <58> 도 3의 메모리 셀 어레이(35)내의 메모리 셀들에 대한 연결 구조를 등가적으로 보여주는 도 4를 참조하면, 한 개의 낸드 셀 스트링을 이루는 플래그 메모리 셀들(FC0-FC15)이 보여진다. 도 4의 경우에는 메모리의 페이지 단위마다 하나의 플래그 메모리 셀이 대응 배치된 것이 나타나 있다. 그러나, 이에 한정됨이 없이 메모리 블록당 1개 또는 메모리 셀 어레이에 1개의 스트링이 대응 배치될 수 있다. 또한, 플래그 메모리 셀들을 연약한 정도를 각기 달리하여 설치하고 가장 취약한 플래그 메모리 셀부터 가장 덜 취약한 플래그 메모리 셀까지 차례로 참조하여 노말 메모리 셀의 디스터브 정도를 가늠하게 할 수도 있을 것이다.
- <59> 도 3 및 도 4에서 노말 메모리 셀 어레이(36)내의 낸드 셀 스트링은 서로 직렬로 연결된 복수의 메모리 셀(MC0-MC15)로 구성되고, 낸드 셀 스트링은 대응되는 비트라인(BL0-BL_n)과는 선택 트랜지스터(ST1)를 통해 각기 연결된다. 각각의 낸드 셀 스트링 내에서 서로 동일한 행에 배열된 복수의 메모리 셀 들(1,2,3)이 대응되는 워드라인(WL0)에 공통으로 연결된다.
- <60> 각각의 메모리 셀 스트링을 구성하는 EEPROM 셀 트랜지스터들(MC15-MC0)은, 스트링 선택 트랜지스터(ST1)의 소오스와 그라운드 선택 트랜지스터 (GT1)의 드레인 사이에 직렬로 연결되어 있으며, 각 메모리 셀 스트링 내에서 스트링 선택 트랜지스터 (ST1)의 드레인은 대응하는 비트 라인에 연결되고, 그라운드 선택 트랜지스터 (GT1)의 소오스는 공통 소오스 라인 (common source line; CSL)에 연결된다.
- <61> 스트링 선택 트랜지스터들 (ST1)의 각 게이트들은 스트링 선택 라인 (SSL)에 공통으로 연결되고, 그라운드 선택 트랜지스터들 (GT1)의 게이트들은 그라운드 선택 라인 (GSL)에 공통으로 연결된다. 각 스트링의 EEPROM 셀 트랜지스터들 (MC15-MC0)의 콘트롤 게이트들은 워드 라인들 (WL0-WL15) 중 대응하는 워드 라인에 공통으로 연결되고, 각 비트 라인 (BL1-BL_n,BLF)은 도 3의 센스 앰프회로(53)에 동작적으로 연결된다.
- <62> 상기 EEPROM 셀 트랜지스터들로서의 복수의 메모리 셀(MC0-MC15)은 초기에 예를 들면, 약 -3V 이하의 문턱 전압을 갖도록 소거된다. 메모리 셀을 프로그램하기 위해서, 소정 시간 동안 선택된 메모리 셀의 워드 라인으로 고전압을 인가하면, 상기 선택된 메모리 셀이 더 높은 문턱 전압으로 변화되는 반면에, 프로그램시 선택되지 않은 메모리 셀들의 문턱 전압들은 변화되지 않는다.
- <63> 도 4에서 보여지는 플래그(flag) 메모리 셀들(FC0-FC15)은 도 3의 플래그 메모리 셀 블록(37)내에 배치된다.
- <64> 노말 메모리 셀들과 동일한 타입으로 제조되는 EEPROM 플래그 메모리 셀 트랜지스터들(FC15-FC0)은, 플래그 스트링 선택 트랜지스터(SS1)의 소오스와 그라운드 선택 트랜지스터 (SS2)의 드레인 사이에 직렬로 연결되어 있으며, 플래그 스트링 선택 트랜지스터 (SS1)의 드레인은 대응하는 비트 라인에 연결되고, 그라운드 선택 트랜지스터 (SS2)의 소오스는 공통 소오스 라인 (CSL)에 연결된다.
- <65> 플래그 스트링 선택 트랜지스터 (SS1)의 게이트는 스트링 선택 라인 (SSL)에 연결되고, 그라운드 선택 트랜지스터들 (SS2)의 게이트는 그라운드 선택 라인 (GSL)에 연결된다. EEPROM 플래그 메모리 셀 트랜지스터들(FC15-FC0)의 콘트롤 게이트는 워드 라인들 (WL0-WL15) 중 대응하는 워드 라인에 공통으로 연결되고, 비트 라인 (BLF)은 도 3의 센스 앰프회로(53)에 동작적으로 연결된다.
- <66> 도 4에서 보여지는 바로서, 임의의 플래그 메모리 셀(FC0)은 커플링 비가 임의의 노말 메모리 셀(MC0)의 커플링 비보다 크다. 즉, 셀 트랜지스터의 커플링 비가 큰 경우에 메모리 셀의 소프트 프로그램을 초래하는 전압 스트레스 또는 메모리 셀의 리드 디스터브를 일으키는 전기적 스트레스에 보다 연약한 특성을 갖게 된다. 여기서, 커플링 비는 CG와 FG사이의 커패시턴스(C2라고 칭함)와 FG와 기판사이의 커패시턴스(C1이라고 칭함)와의 비를 말하며, 커플링 비 (r)는 C2/C1+C2 로서 나타난다.
- <67> 상기 플래그 메모리 셀에 대한 커플링 비를 노말 셀의 커플링 비 보다 크게 하기 위하여, 다양한 방법들 중 플로팅 게이트(FG)의 폭을 크게 하는 방법이 있다. 본 실시예의 경우에는 도 5에서 보여지는 바와 같이, 플래그 메모리 셀(4)의 커플링 비(C2F/C1F+C2F)가 노말 메모리 셀의 커플링 비(C2/C1+C2)에 비하여 약 30퍼센트 정도 크게 설정된다. 이와 같이 약30 퍼센트 정도로 커플링 비를 크게 할 경우, 리드 디스터브 특성은 2배 정도로 취약하게 될 수 있다. 따라서, 여기에 맞추어 플래그 메모리 셀(4)의 플로팅 게이트(40)의 폭 사이즈가 적절히 결정된다. 도 5에서, 참조부호 10,11,12는 p형 기판, n형 웰, p형 웰을 각기 가리키고, 참조부호 25는 소자 분리용 트렌치이다. 참조부호 30은 게이트 산화막, 참조부호 40은 플로팅 게이트, 참조부호 45는 0/N/0로 이루어질 수 있는 유전막, 참조부호 50은 콘트롤 게이트, 참조부호 60은 절연막, 및 참조부호 70은 비트라인을 가리킨다.

- <68> 보다 큰 커플링 비를 가지도록 도 5에서 보여지는 바와 같이 제작되어 전기적 스트레스에 연약한 특성을 갖는 상기 플래그 메모리 셀의 저장 데이터는, 불휘발성 반도체 메모리의 초기 부팅시 노말 메모리 셀들에 저장된 데이터의 백업동작 실행유무를 결정하기 위해 참고되어질 수 있다.
- <69> 도 4의 경우에 상기 플래그 메모리 셀들(FC0~FC15)은 상기 노말 메모리 셀들에 페이지 단위로 하나씩 대응되어 배치되며 상기 노말 메모리 셀들과 동일한 타입을 가진 채, 상기 노말 메모리 셀들보다 전기적 스트레스에 연약한 특성을 갖는다.
- <70> 입력 어드레스에 대응되는 노말 메모리 셀들을 선택하고 선택된 노말 메모리 셀들로부터 데이터를 리드하는 리드회로는, 도 3에서 데이터 입출력 버퍼(58), 위로우 디코더(52), 컬럼 디코더(54), 컬럼 게이트(55), 센스앰프 회로(53), 및 콘트롤 회로(57)를 포함한다.
- <71> 또한, 상기 리드회로는 리드 동작의 초기에 상기 선택된 노말 메모리 셀들에 대응되어 배치된 플래그 메모리 셀의 저장 데이터를 우선적으로 리드하고 리드 디스터브를 감지한 경우 상기 노말 메모리 셀들에 대한 리드를 정지하는 기능을 한다.
- <72> 상기 반도체 메모리 장치는, 상기 노말 메모리 셀들에 대한 리드가 정지된 경우에 노말 메모리 셀들에 저장된 데이터를 베리파이 리드하여 타 영역의 노말 메모리 셀들로 옮기는 데이터 카피백(copy-back) 동작을 수행하기 위한 회로를 도 3의 장치에 더 구비할 수 있다. 또한, 그러한 카피백 동작이 수행된 후 상기 노말 메모리 셀들의 데이터 보유 특성을 초기 상태로 돌리기 위해 소거동작을 행하는 소거회로를 도 3의 장치 내에 더 구비할 수 있다. 이를 위해 상기 부스터 회로(56)는 부스팅된 소거 전압을 제공한다. 소거동작에 의해 노말 메모리 셀 트랜지스터는 다시 규정된 범위내의 문턱 전압 값을 가지게 되어, 디스터브 발생 이전의 메모리 셀 특성으로 복구된다.
- <73> 또한, 상기 장치는 상기 소거동작이 수행된 상기 노말 메모리 셀들에 상기 카피백된 데이터를 다시 원래의 노말 메모리 셀에 백업하기 위한 프로그램 회로를 더 구비할 수 있다. 이 경우에 상기 부스터 회로(56)는 동작전원전압보다 높은 고전압의 레벨을 갖는 프로그램 전압을 생성한다.
- <74> 도 6을 참조하면, 리드 디스터브에 기인하는 리드 에러를 방지하기 위한 동작 플로우차트가 단계 S10 내지 단계 S15까지로 나타나 있다.
- <75> 단계S10에서 불휘발성 반도체 메모리 장치가 파워 온 되면 부트 로딩이 시작된다. 부트 로딩이 시작되고 나서, 단계 S11에서 대응되는 플래그 메모리 셀에 미리 저장된 데이터가 판독(플래그 셀 베리파이 리드)된다. 판독의 결과가 정상적으로 되어 있으면 정상적인 동작을 수행하는 단계 S15로 간다. 단계 S11에서의 판독은 센스앰프에서 수행될 수 있다. 만약, 데이터 "1"을 저장하고 있어야 하는 플래그 메모리 셀이 어느날 갑자기 데이터 "0"을 출력한 경우에, 노말 메모리 셀들에 대한 리드 디스터브가 상당히 진행된 상태라고 판단하고, 단계 S12, 단계 S13, 및 단계 S14의 동작을 상기 반도체 메모리 장치는 차례로 수행한다.
- <76> 상기 단계 S12는, 노말 메모리 셀들에 저장된 데이터를 베리파이 리드하여 타 영역의 노말 메모리 셀들로 옮기는 작업 단계이다. 즉, 데이터 카피백(copy-back) 동작을 수행하는 단계인 것이다.
- <77> 상기 단계 S13은 상기 카피백 동작이 수행된 후 상기 노말 메모리 셀들의 데이터 보유 특성을 초기 상태로 돌리기 위해 소거동작을 행하는 단계이다. 상기 소거 동작에 의해 메모리 셀 트랜지스터는 다시 규정된 범위내의 문턱 전압 값을 가지게 되어, 디스터브 발생 이전의 메모리 셀 특성으로 복구된다. 상기 데이터 소거동작에서, 메모리 셀 어레이의 블록 또는 페이지 내에 속한 노말 메모리 셀들 전체가 그 대상이 된다. 결국, 상기 소거 동작의 실시에 의해 리드 디스터브에 의해 소프트 프로그램되어 있던 노말 메모리 셀 트랜지스터의 문턱전압이 다시 정상적으로 회복된다. 상기 소거 동작은 전술한 소거 동작과 실질적으로 동일하다.
- <78> 상기 단계 S14는 상기 소거동작이 수행된 상기 노말 메모리 셀들에 상기 카피백된 데이터를 다시 원래의 노말 메모리 셀에 백업하기 위한 프로그램 수행단계이다. 상기 프로그램 동작은 전술한 프로그램 동작과 실질적으로 동일하다.
- <79> 상기 플래그 메모리 셀(또는 인디케이팅 셀)에 대하여도 상기 노말 메모리 셀들과 동일하게 상기 카피백 동작, 소거 및 프로그램 동작이 함께 차례로 수행될 수 있으며, 상기 인디케이팅 셀의 데이터가 상기 기준 데이터와 같지 않을 경우에 리드 명령은 보류되며, 상기한 프로그램 동작이 끝난 후에 리드동작이 다시 개시된다.
- <80> 상기한 바와 같은 본 발명의 실시예에 따르면, 리드 디스터브가 노말 메모리 셀에 비해 상대적으로 취약한 인디케이팅 셀(또는 플래그 셀)의 데이터를 참조하여 상기 노말 메모리 셀에 대한 데이터 백업을 행하는 지표로서

활용하기 때문에, 메모리 셀의 데이터 보유(data retention)능력이 일정 리드횟수가 경과할 때 마다 복구되어, 노말 메모리 셀의 리드 디스터브 발생에 기인되는 리드 에러가 사전에 방지된다.

<81> 상기한 실시예에서의 설명은 본 발명의 더욱 철저한 이해를 위하여 도면을 참조로 예를 든 것에 불과하므로, 본 발명을 한정하는 의미로 해석되어서는 안될 것이다. 또한, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 본 발명의 기본적 원리를 벗어나지 않는 범위 내에서 다양한 변화와 변경이 가능함은 명백하다 할 것이다. 예컨대, 사안이 다른 경우에 플래그 셀의 개수나 제조 형태를 다르게 변경 또는 변형하거나, 장치의 구성이나 동작을 다르게 변경할 수 있음은 물론이다.

발명의 효과

<82> 상기한 바와 같은 본 발명의 불휘발성 반도체 메모리 및 그 구동방법에 따르면, 리드 디스터브가 노말 메모리 셀에 비해 상대적으로 취약한 인디케이팅 셀의 데이터를 참조하여 상기 노말 메모리 셀에 대한 데이터 백업을 행하는 지표로서 활용하기 때문에, 노말 메모리 셀의 리드 디스터브 발생에 기인되는 리드 에러가 예방되어지는 효과가 있다. 따라서, 불휘발성 반도체 메모리 장치의 신뢰성을 개선하는 장점이 있다.

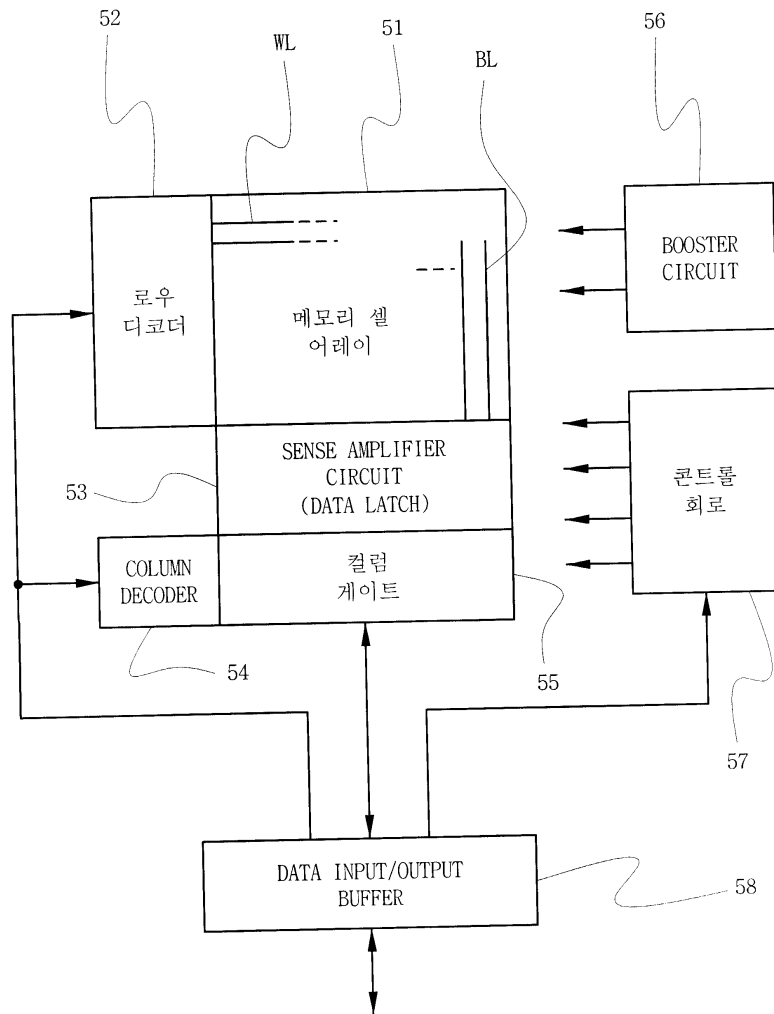
<83>

도면의 간단한 설명

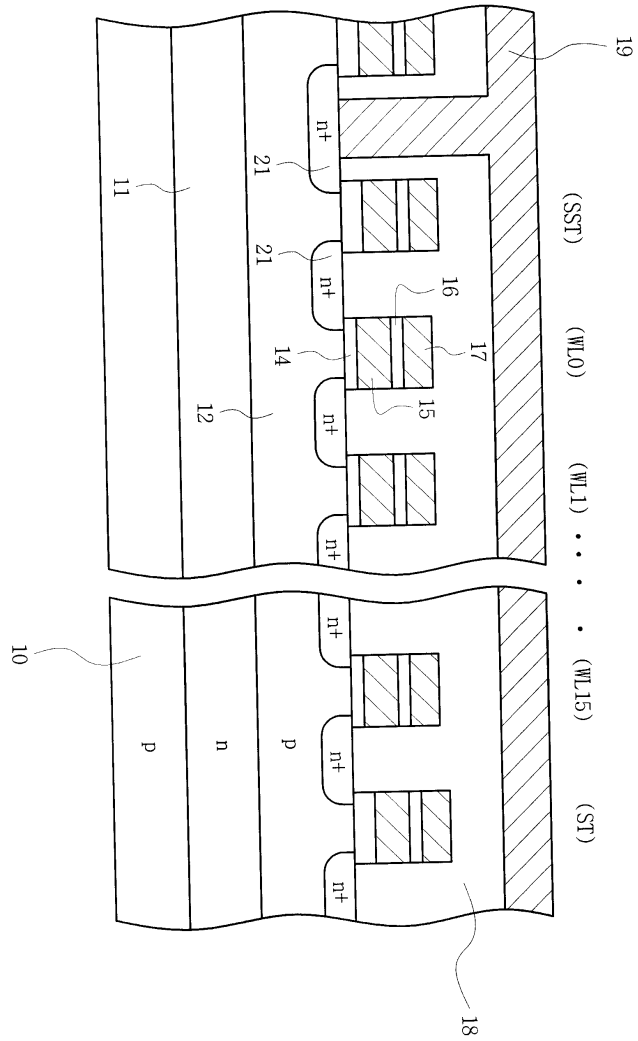
- <1> 도 1은 종래 기술에 따른 불휘발성 반도체 메모리 장치의 블록도
- <2> 도 2는 도 1중 메모리 셀 어레이내의 메모리 셀들에 대한 제조단면을 보여주는 도면
- <3> 도 3은 본 발명의 실시예에 따른 불휘발성 반도체 메모리 장치의 블록도
- <4> 도 4는 도 3중 메모리 셀 어레이내의 메모리 셀들에 대한 연결 구조를 보인 등가회로도
- <5> 도 5는 도 4의 메모리 셀들에 대한 제조 단면을 일 예로서 보여주는 도면
- <6> 도 6은 본 발명에 따라 리드 디스터브에 기인하는 리드 에러를 방지하기 위한 동작 플로우차트
- <7>

도면

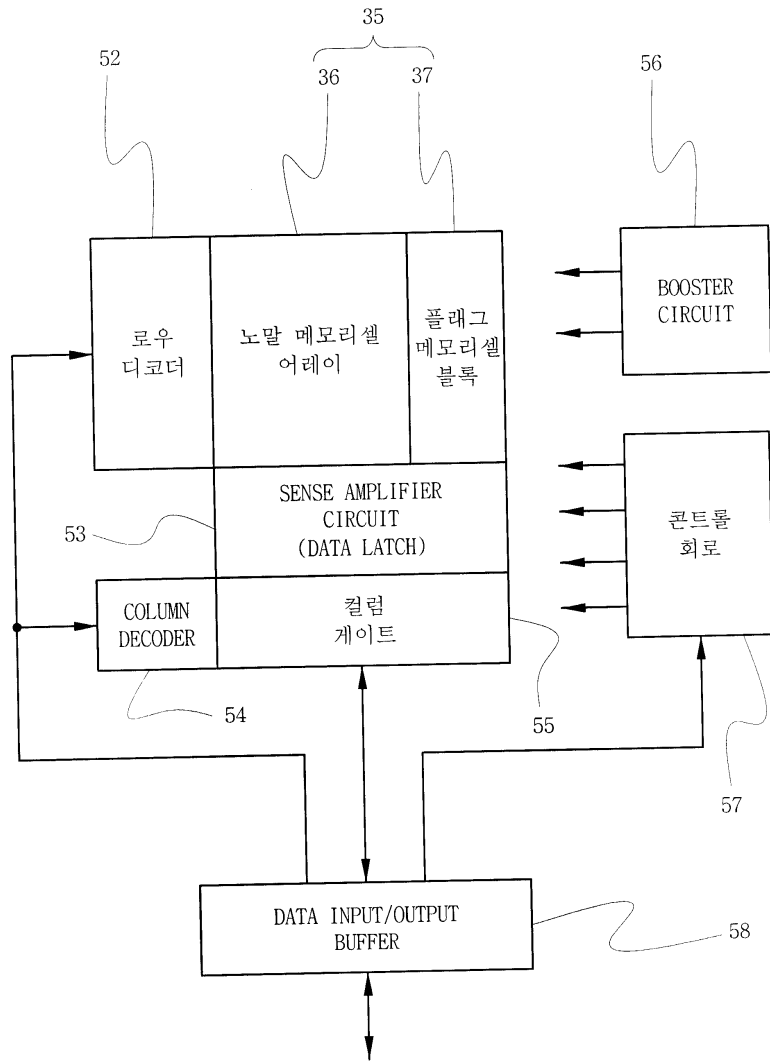
도면1



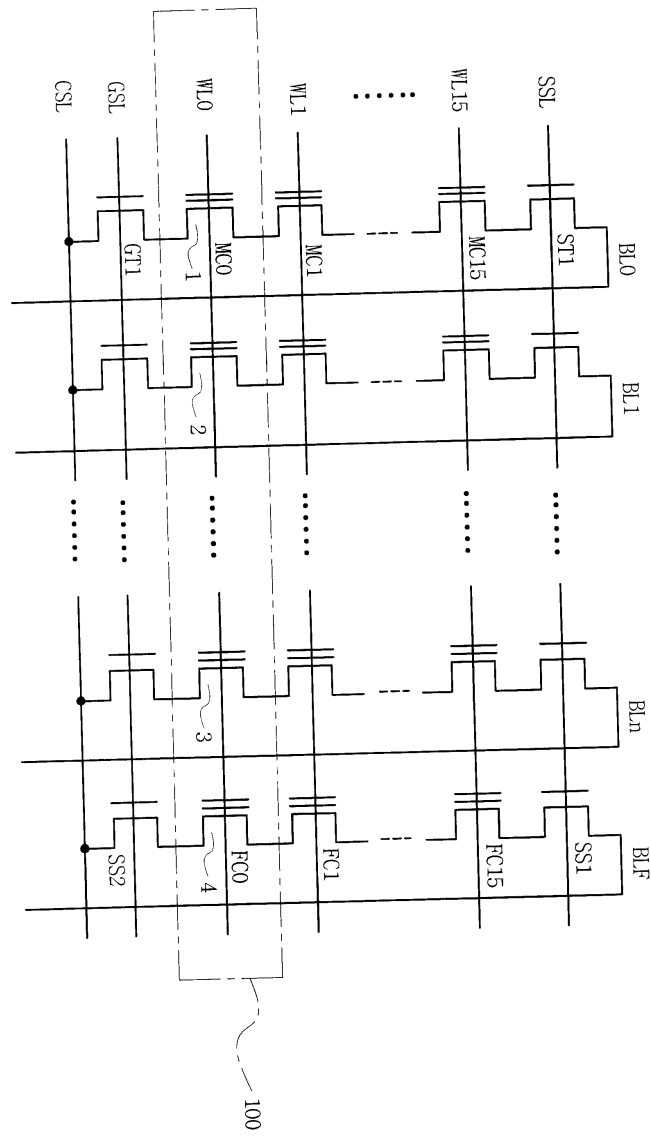
도면2



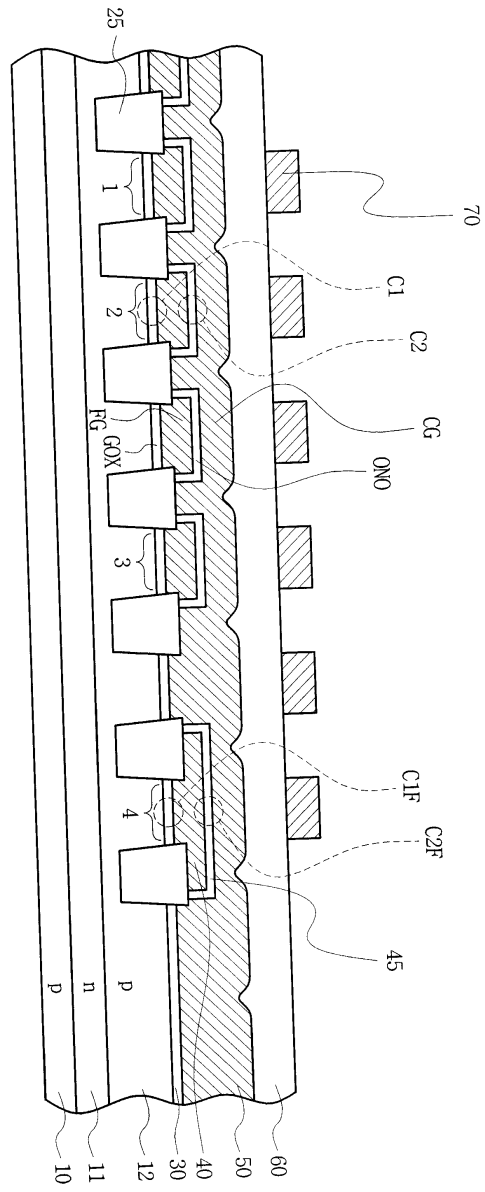
도면3



도면4



도면5



도면6

