



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21)(22) Заявка: 2014111954/08, 27.03.2014

(24) Дата начала отсчета срока действия патента:
27.03.2014

Приоритет(ы):

(22) Дата подачи заявки: 27.03.2014

(45) Опубликовано: 27.02.2015 Бюл. № 6

(56) Список документов, цитированных в отчете о
поиске: RU 2022372 С1, 30.10.1994. SU 1671047
А1, 05.12.1988. SU 739655 А1, 05.06.1980. US
2012008731 А1, 12.01.2012. US 2009122951 А1,
14.05.2009. JP 8096593 А, 12.04.1996

Адрес для переписки:

630090, г.Новосибирск, пр. Академика
Лаврентьева, 13, ИФП СО РАН

(72) Автор(ы):

Демьяненко Михаил Алексеевич (RU),
Есаев Дмитрий Георгиевич (RU),
Козлов Александр Иванович (RU),
Марчишин Игорь Владимирович (RU),
Овсяк Виктор Николаевич (RU),
Филиппова Валерия Викторовна (RU)

(73) Патентообладатель(и):

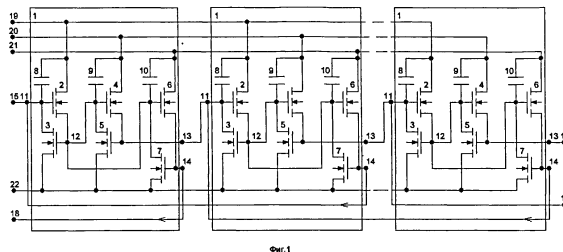
Федеральное государственное бюджетное
учреждение науки Институт физики
полупроводников им. А.В. Ржанова
Сибирского отделения Российской академии
наук (ИФП СО РАН) (RU)

(54) ДИНАМИЧЕСКИЙ РЕГИСТР СДВИГА

(57) Реферат:

Изобретение относится к оптоэлектронике и микроэлектронике и может быть использовано для построения сдвиговых регистров в фотоприемных submodule для мозаичных фотоприемников, в частности в фотоприемниках на микроболометрах. Техническим результатом является обеспечение реверсивности сдвига информации внутри динамического регистра сдвига, минимизация занимаемой площади

кристалла ИС, обеспечение возможности двунаправленной передачи информации и стабильной работы устройства в условиях существенных паразитных емкостей тактовых синхронизирующих шин. Устройство состоит из ячеек, каждая из которых содержит МДП-транзисторы, конденсаторы, общую шину, синхронизирующие шины. 1 з.п. ф-лы, 6 ил.





FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(12) **ABSTRACT OF INVENTION**

(21)(22) Application: 2014111954/08, 27.03.2014

(24) Effective date for property rights:
27.03.2014

Priority:

(22) Date of filing: 27.03.2014

(45) Date of publication: 27.02.2015 Bull. № 6

Mail address:

630090, g.Novosibirsk, pr. Akademika Lavrent'eva,
13, IFP SO RAN

(72) Inventor(s):

Dem'janenko Mikhail Alekseevich (RU),
Esaev Dmitrij Georgievich (RU),
Kozlov Aleksandr Ivanovich (RU),
Marchishin Igor' Vladimirovich (RU),
Ovsjuk Viktor Nikolaevich (RU),
Filippova Valerija Viktorovna (RU)

(73) Proprietor(s):

Federal'noe gosudarstvennoe bjudzhetnoe
uchrezhdenie nauki Institut fiziki
poluprovodnikov im. A.V. Rzhanova Sibirskogo
otdeleniya Rossijskoj akademii nauk (IFP SO
RAN) (RU)

(54) **DYNAMIC SHIFT REGISTER**

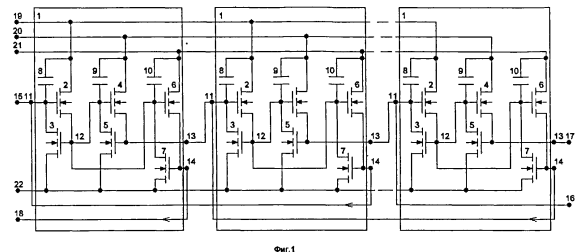
(57) Abstract:

FIELD: physics.

SUBSTANCE: device consists of cells, each comprising MIS transistors, capacitors, a common bus and synchronising buses.

EFFECT: providing reversibility of information shift within a dynamic shift register, minimising the occupied area of an IC chip, enabling two-way information transmission and stable operation of the device in conditions with significant parasitic

capacitances of synchronising buses.
2 cl, 6 dwg



RU 2 542 913 C1

RU 2 542 913 C1

Изобретение относится к оптоэлектронике и микроэлектронике и может быть использовано для построения сдвиговых регистров в фотоприемных субмодулях для мозаичных фотоприемников, в частности в фотоприемниках на микроболометрах.

Известен сдвиговый регистр (Патент РФ на изобретение №2344498 «Сдвиговый регистр» МПК: G11C 19/00, H03K 3/037, H03K 9/001, опубликован 20.01.2009 г.), который выполнен на RS-триггерах и элементах И и ИЛИ, содержащий в каждом разряде первый и второй RS-триггеры, четыре логических элемента И, один элемент ИЛИ, информационный вход, первую и вторую шины управления приемом кода в первый и второй триггеры при выполнении операции сдвига кода, информационный выход, при этом выходы первого и третьего элементов И соединены с R-входами первого и второго RS-триггеров соответственно, выход второго элемента И подключен к первому входу первого элемента ИЛИ, второй вход которого соединен с информационным входом, а выход упомянутого элемента ИЛИ подключен к S-входу первого триггера, первые входы первого и второго элементов И связаны с первой шиной управления приемом кода в первый триггер, первые входы третьего и четвертого элементов И соединены с второй шиной управления приемом кода во второй триггер, причем нулевой и единичный выходы первого триггера i -го разряда соединены с вторыми входами третьего и четвертого элементов И ($i+1$)-го разряда соответственно, нулевой и единичный выходы второго триггера i -го разряда соединены со вторыми входами первого и второго элементов И ($i+1$)-го разряда соответственно, кроме того, первый и второй входы второго элемента ИЛИ соединены с S-входами первого и второго триггеров, выход упомянутого элемента ИЛИ является информационным выходом 1-го разряда и т.д.

Недостатком этого сдвигового регистра является то, что он имеет сложную структуру и управление, состоит из большого количества транзисторов и вследствие этого при использовании в качестве блока адресации по вертикали в мозаичных фотоприемниках приводит к падению эффективности преобразования изображений в мозаичном фотоприемнике в целом. (Эффективность преобразования изображений - это отношение количества работающих фоточувствительных элементов (ФЧЭ) в мозаичном фотоприемнике, к сумме ФЧЭ, потерянных в «слепых зонах» и работающих в мозаичном фотоприемнике).

Известен реверсивный сдвиговой регистр (Патент РФ на изобретение №2022372 «Реверсивный регистр сдвига», МПК: G11C 19/00, опубликован 30.10.1994 г.). Сущность которого состоит в том, что он содержит в каждом разряде JK-триггер, четыре элемента И, в каждом разряде, кроме первого и последнего, четыре элемента ИЛИ, в первом и последнем разрядах - три элемента ИЛИ, шины управления направлением сдвига вправо и влево, вход сброса регистра, вход сдвига, прямой и инверсный информационные входы регистра и выход информации в прямом последовательном коде при сдвиге вправо, прямой и инверсный информационные парафазные входы регистра и выход информации в прямом последовательном коде при сдвиге влево, вход управления режимом сдвига - уплотнение единиц и вход управления режимом сдвига - уплотнение нулей, причем прямой выход JK-триггера каждого разряда, кроме последнего, соединен соответственно с первым входом первого элемента И последующего разряда, а прямой выход JK-триггера каждого разряда, кроме первого, соединен соответственно с первым входом второго элемента И предыдущего разряда, выходы первого и второго элементов И каждого разряда соединены с входами первого элемента ИЛИ, вход которого соединен с J-входом JK-триггера данного разряда, вторые входы первого и второго элементов И всех разрядов являются соответственно входами управления сдвигом вправо и сдвигом влево регистра и т.д. Введение в известный сдвиговой регистр в

каждый разряд, кроме первого и последнего, двух элементов ИЛИ (пятого и шестого), в первую ячейку пятого элемента ИЛИ, в последнюю ячейку шестого элемента ИЛИ, а также новых связей позволяет расширить функциональные возможности реверсивного регистра сдвига за счет уплотнения нулей кодовой комбинации как влево, так и вправо регистра.

Недостатком этого реверсивного сдвигового регистра, как и предыдущего, является то, что он имеет сложную структуру и управление, состоит из большого количества транзисторов и вследствие этого при использовании в качестве блока адресации по вертикали в мозаичных фотоприемниках приводит к падению эффективности преобразования изображений в мозаичном фотоприемнике в целом.

Известен регистр сдвига на МДП-транзисторах (Авторское свидетельство №1269210, МПК: G11C 19/00, опубликованное 07.11.1986 г.), в котором выход каждого из инверторов, составляющих регистр, через коммутирующие транзисторы соединен с входами последующего и предыдущего инверторов. При этом во время первого такта работы сдвигового регистра образуются триггеры, состоящие из четного и последующего нечетного инверторов, а во время второго такта работы - из четного и предыдущего нечетного инверторов.

Недостатком этого регистра сдвига на МДП-транзисторах является то, что он требует большого количества тактовых шин для управляющих сигналов и сложную диаграмму управляющих сигналов, что усложняет технологию его изготовления, снижает быстродействие, повышает стоимость устройства и существенно понижает эффективность мозаичного фотоприемника в целом.

Известен также динамический регистр сдвига на МДП-транзисторах, принятый за прототип, приведенный в авторском свидетельстве №739655, МПК: G11C 19/00, опубликованном 09.06.1980 г.

Динамический регистр сдвига состоит из ячеек, выполненных на двух последовательно соединенных каскадах, каждый из которых содержит первый и второй МДП-транзисторы, конденсатор, общую шину, первую синхронизирующую шину для первого каскада и вторую синхронизирующую шину для второго каскада, причем в каждом каскаде соответствующая синхронизирующая шина подключена к стоку первого МДП-транзистора и к одной из обкладок конденсатора, вторая обкладка которого соединена с затвором первого и стоком второго МДП-транзисторов, это соединение является входом каскада, и в первом каскаде является, одновременно, входом в ячейку, а в первой ячейке динамического регистра сдвига является, одновременно, и первым информационным входом динамического регистра сдвига при считывании информации слева направо, исток первого МДП-транзистора подключен к затвору второго МДП-транзистора, и это соединение является выходом каскада, выход второго каскада является, одновременно, и первым выходом ячейки, а в последней ячейке динамического регистра сдвига является также и первым информационным выходом динамического регистра сдвига при считывании информации слева направо, исток второго МДП-транзистора подключен к общей шине.

Кроме того, по второму пункту формулы изобретения, в каждом каскаде общая шина и соответствующая синхронизирующая шина каскада объединены.

Этот динамический регистр сдвига, принятый за прототип, содержит меньшее количество шин и МДП-транзисторов и потребляет значительно меньшую мощность по сравнению с известными аналогами.

Однако он обладает существенными недостатками, а именно, сдвигает информацию только в одном направлении, и паразитные емкости его тактовых шин существенно

вливают на работу динамического регистра сдвига.

Техническим результатом изобретения является:

- расширение функциональных возможностей за счет обеспечения реверсивности сдвига информации внутри динамического регистра сдвига,

5 - минимизация занимаемой площади кристалла ИС,

- расширение области применения за счет возможности двунаправленной передачи информации и стабильной работы динамического регистра сдвига в условиях существенных паразитных емкостей тактовых синхронизирующих шин.

Технический результат изобретения достигается тем, что в динамическом регистре сдвига, который состоит из ячеек, выполненных на двух последовательно соединенных каскадах, каждый из которых содержит первый и второй МДП-транзисторы, конденсатор, общую шину, первую синхронизирующую шину для первого каскада и вторую синхронизирующую шину для второго каскада, причем в каждом каскаде синхронизирующая шина подключена к стоку первого МДП-транзистора и одной из обкладок конденсатора, вторая обкладка которого соединена с затвором первого и стоком второго МДП-транзисторов, это соединение является входом каскада, и в первом каскаде является, одновременно, входом в ячейку, а в первой ячейке динамического регистра сдвига является, одновременно, и первым информационным входом динамического регистра сдвига при считывании информации слева направо, исток первого МДП-транзистора подключен к затвору второго МДП-транзистора, это соединение является выходом каскада, выход второго каскада является, одновременно, первым выходом ячейки, а в последней ячейке динамического регистра сдвига является также и первым информационным выходом динамического регистра сдвига при считывании информации слева направо, исток второго МДП-транзистора подключен к общей шине, в каждую ячейку введены дополнительные конденсатор и два МДП-транзистора, а также третья синхронизирующая шина, которая соединена со стоком первого дополнительного МДП-транзистора и одной из обкладок дополнительного конденсатора, вторая обкладка которого соединена с выходом первого каскада ячейки и с затвором первого и стоком второго дополнительных МДП-транзисторов этой ячейки, исток первого дополнительного МДП-транзистора соединен с затвором второго дополнительного МДП-транзистора, и это соединение является вторым выходом ячейки, а в первой ячейке динамического регистра сдвига является, одновременно, и вторым информационным выходом динамического регистра сдвига, исток второго дополнительного МДП-транзистора соединен с общей шиной.

35 Кроме того, по второму пункту формулы изобретения, в каждом каскаде общая и соответствующая синхронизирующая шины объединены.

Предлагаемый динамический регистр сдвига за счет введения в каждую его ячейку дополнительных конденсатора, МДП-транзисторов, синхронизирующей шины и дополнительных связей обеспечивает возможность сдвига информации внутри динамического регистра сдвига в прямом и обратном направлении (слева направо и справа налево), возможность минимизации размера ячейки и расширение области применения за счет возможности двунаправленной передачи информации и стабильной работы динамического регистра сдвига в условиях существенных паразитных емкостей синхронизирующих шин.

45 Сущность изобретения поясняется нижеследующим описанием и прилагаемыми фигурами.

На фиг.1 приведена функциональная схема динамического регистра сдвига по первому пункту формулы изобретения, на фиг.2 - то же по второму пункту формулы изобретения.

На фиг.3 - приведены временные диаграммы работы динамического регистра сдвига при выполнении операции сдвига информации слева направо и справа налево по первому пункту формулы изобретения, на фиг.4 - то же по второму пункту формулы изобретения.

На фиг.1 приведена функциональная схема динамического регистра сдвига по первому пункту формулы изобретения, где 1 - ячейка, 2 и 4 - первые МДП-транзисторы первого и второго каскадов, соответственно; 3 и 5 - вторые МДП-транзисторы первого и второго каскадов, соответственно, 6 - первый дополнительный МДП-транзистор, 7 - второй дополнительный МДП-транзистор; 8 и 9 - конденсаторы в первом и втором каскадах, соответственно, 10 - дополнительный конденсатор; 11 - вход каскада, в первом каскаде, одновременно, и вход в ячейку, 12 - выход первого каскада, 13 - выход второго каскада и, одновременно, первый выход ячейки, 14 - второй выход ячейки; 15 - первый информационный вход динамического регистра сдвига, 16 - второй информационный вход динамического регистра сдвига, 17 - первый информационный выход динамического регистра сдвига, 18 - второй информационный выход динамического регистра сдвига, 19 - первая синхронизирующая шина, 20 - вторая синхронизирующая шина, 21 - третья синхронизирующая шина, 22 - общая шина.

Динамический регистр сдвига организован по первому пункту формулы изобретения следующим образом (фиг.1). В каждой ячейке 1 в первом каскаде соединение затвора первого МДП-транзистора 2, стока второго МДП-транзистора 3 и одной из обкладок конденсатора 8 является входом 11 ячейки; в первой ячейке динамического сдвигового регистра это соединение является, одновременно, и первым информационным входом динамического регистра сдвига 15 при выполнении операции сдвига информации слева направо, в последней ячейке динамического регистра сдвига это соединение является, одновременно, и вторым информационным входом 16 динамического регистра сдвига при выполнении операции сдвига информации справа налево. Вторая обкладка конденсатора 8 и сток первого МДП-транзистора 2 соединены с первой синхронизирующей шиной 19, его исток объединен с затвором второго МДП-транзистора 3, и это соединение является выходом 12 первого каскада. Истоки МДП-транзисторов 3 первого каскада, 5 второго каскада и 7 второго дополнительного соединены с общей шиной 22.

Во втором каскаде соединение затвора первого МДП-транзистора 4, стока второго МДП-транзистора 5 и одной из обкладок конденсатора 9 соединено с выходом 12 первого каскада. Вторая обкладка конденсатора 9 и сток первого МДП-транзистора 4 соединены со второй синхронизирующей шиной 20. Исток первого МДП-транзистора 4 объединен с затвором второго МДП-транзистора 5, это соединение является выходом 13 второго каскада и, одновременно, первым выходом ячейки, а в последней ячейке динамического регистра сдвига является еще и первым информационным выходом динамического регистра сдвига 17 при считывании информации слева направо. Соединение затвора первого дополнительного МДП-транзистора 6, стока второго дополнительного МДП-транзистора 7 и одной из обкладок дополнительного конденсатора 10 соединено с выходом 12 первого каскада. Вторая обкладка дополнительного конденсатора 10 и сток первого дополнительного МДП-транзистора 6 соединены с третьей синхронизирующей шиной 21, его исток объединен с затвором второго дополнительного МДП-транзистора 7, и это соединение является вторым выходом 14 ячейки, а в первой ячейке динамического регистра сдвига и вторым информационным выходом 18 динамического регистра сдвига.

Динамический регистр сдвига по второму пункту формулы изобретения организован следующим образом (фиг.2). В каждой ячейке 1 соединение затвора первого МДП-

транзистора 2, стока второго МДП-транзистора 3 и одной из обкладок конденсатора 8 в первом каскаде является входом 11 ячейки; в первой ячейке динамического регистра сдвига это соединение является, одновременно, и первым информационным входом динамического регистра сдвига 15 при выполнении операции сдвига информации слева направо, в последней ячейке динамического регистра сдвига это соединение является, одновременно, и вторым информационным входом 16 динамического регистра сдвига при выполнении операции сдвига информации справа налево. В первом каскаде сток первого МДП-транзистора 2, исток второго МДП-транзистора 3 и вторая обкладка конденсатора 8 соединены с первой синхронизирующей шиной 19, исток первого МДП-транзистора 2 объединен с затвором второго МДП-транзистора 3, и это соединение является выходом 12 первого каскада.

Во втором каскаде соединение затвора первого МДП-транзистора 4, стока второго МДП-транзистора 5 и одной из обкладок конденсатора 9 соединено с выходом 12 первого каскада. Сток первого МДП-транзистора 4, исток второго МДП-транзистора 5 и вторая обкладка конденсатора 9 соединены со второй синхронизирующей шиной 20. Исток первого МДП-транзистора 4 объединен с затвором второго МДП-транзистора 5, это соединение является выходом 13 второго каскада и, одновременно, первым выходом ячейки, а в последней ячейке динамического регистра сдвига и первым информационным выходом динамического регистра сдвига 17 при считывании информации слева направо.

Соединение затвора первого дополнительного МДП-транзистора 6, стока второго дополнительного МДП-транзистора 7 и одной из обкладок дополнительного конденсатора 10 соединено с выходом 12 первого каскада. Сток первого дополнительного МДП-транзистора 6, исток второго дополнительного МДП-транзистора 7 и вторая обкладка дополнительного конденсатора 10 соединены с третьей синхронизирующей длиной 21. Исток первого дополнительного МДП-транзистора 6 объединен с затвором второго дополнительного МДП-транзистора 7, это соединение является вторым выходом 14 ячейки, а в первой ячейке динамического регистра сдвига и вторым информационным выходом 18 динамического регистра сдвига.

На фиг.3а приведена временная диаграмма работы динамического регистра сдвига при выполнении операции сдвига информации слева направо по первому пункту формулы изобретения, где

23, 24 - сигналы на первой 19 и второй 20 синхронизирующих шинах (U19, U20), соответственно,

25, 26 - сигналы на конденсаторах 8 и 9 первой ячейки динамического регистра сдвига (Uc8, Uc9), соответственно,

27 - сигнал на первом информационном входе 15 динамического регистра сдвига (Uvx11),

28, 29 - сигналы на выходах 12 и 13 первой ячейки динамического регистра сдвига (Uвых12, Uвых13), соответственно.

На фиг.3б приведена временная диаграмма работы динамического регистра сдвига при выполнении операции сдвига информации справа налево по первому пункту формулы изобретения, где

30, 31 - сигналы на первой 19 и третьей 21 синхронизирующих шинах, (U19,U21), соответственно;

32, 33 - сигналы на конденсаторе 8 и дополнительном конденсаторе 10 последней ячейки динамического регистра сдвига (Uc8, Uc10), соответственно,

34 - сигнал на втором информационном входе 16 динамического регистра сдвига

(Uvx11),

35 и 36 - сигналы на выходах 14 и 12 последней ячейки динамического регистра сдвига (Uвых14, Uвых12), соответственно.

На фиг.4а приведена временная диаграмма работы динамического регистра сдвига при выполнении операции сдвига информации слева направо по второму пункту формулы изобретения, где

37, 38 - сигналы на первой 19 и второй 20 синхронизирующих шинах (U19, U20), соответственно,

39, 40 - сигналы на выходах 12 и 13 первой ячейки динамического регистра сдвига (Uвых12, Uвых 13), соответственно,

41 - сигнал на первом информационном входе 15 динамического регистра сдвига (Uvx11).

На фиг.4б приведена временная диаграмма работы динамического регистра сдвига при выполнении операции сдвига информации справа налево по второму пункту формулы изобретения, где

42, 43 - сигналы на первой 19 и третьей 21 синхронизирующих шинах, (U19, U21), соответственно,

44 и 45 - сигналы на выходах 14 и 12 последней ячейки динамического регистра сдвига (Uвых14, Uвых12), соответственно,

46 - сигнал на втором информационном входе 16 динамического регистра сдвига (Uvx11).

Рассмотрим работу динамического регистра сдвига.

Динамический регистр сдвига по первому пункту формулы изобретения (фиг.1) работает следующим образом при выполнении операции сдвига информации в виде логической единицы «1» или логического нуля «0» вправо (считывание информации слева направо, фиг.3а).

Когда на первый информационный вход 15 динамического регистра сдвига и, одновременно, на вход 11 первой ячейки подается высокий уровень напряжения (уровень логической «1»), конденсатор 8 в первом каскаде будет заряжен, а его емкость велика (фиг.3а, 25). Первый МДП-транзистор 2 первого каскада будет открыт, второй МДП-транзистор 3 первого каскада закрыт, на выходе 12 первого каскада будет низкий уровень напряжения (уровень логического нуля «0»).

С приходом на первую синхронизирующую шину 19 первого импульса сигнала 23 (фиг.3а, 23) первый МДП-транзистор 2 первого каскада будет открыт, а напряжение на затворе первого МДП-транзистора 2 первого каскада относительно общей шины 22 скачкообразно увеличится и станет равно сумме амплитуды тактового импульса сигнала 23 и величины напряжения на конденсаторе 8 (фиг.3а, 27). На выходе 12 первого каскада формируется высокий уровень напряжения, близкий к амплитуде тактового импульса сигнала 23 (фиг.3а, 28).

По достижении напряжением на выходе первого каскада 12 уровня напряжения Упор открывается второй МДП-транзистор 3 первого каскада и начинается разряд конденсатора 8. По достижении напряжением на конденсаторе 8 уровня напряжения Упор первый МДП-транзистор 2 первого каскада закрывается. Выход первого каскада 12 остается заряженным до высокого уровня напряжения. Соотношение размеров первого 2 и второго 3 МДП-транзисторов первого каскада (или пороговое напряжение второго МДП-транзистора 3 первого каскада) выбирается таким, чтобы выход 12 первого каскада успел разрядиться до напряжения близкого к амплитуде тактового импульса синхронизирующего сигнала прежде, чем произойдет полный разряд

конденсатора 8. Второй МДП-транзистор 3 первого каскада открыт, конденсатор 8 продолжает разряжаться (фиг.3а, 25, 27). По окончании действия тактового импульса сигнала 23 первый МДП-транзистор 2 первого каскада будет закрыт, выход 12 первого каскада останется заряженным, второй МДП-транзистор 3 первого каскада открыт,
 5 конденсатор 8 разряжен. Напряжение на входе каскада 11 также изменится через открытый МДП-транзистор 3 первого каскада, конденсатор 8 разрядится практически до уровня «0» (фиг.3а, 27). Таким образом, за время одного тактового импульса сигнала 23 осуществляется сдвиг логической «1» с входа 11 первого каскада на его выход 12, причем после цикла передачи вход 11 подготовлен к приему новой информации.

10 Так как скачкообразное увеличение напряжения на затворе первого МДП-транзистор 2 первого каскада при передаче логической «1» на величину, почти равную амплитуде тактового импульса сигнала 23, способствует увеличению скорости нарастания выходного напряжения, то достигается высокое быстродействие каскада.

Далее, т.к. в динамическом регистре сдвига выход одного каскада является входом
 15 следующего каскада, то логическая «1» с выхода 12 первого каскада окажется на входе второго каскада, т.е. на соединении затвора МДП-транзистора 4 второго каскада, стока МДП-транзистора 5 второго каскада и обкладки конденсатора 9. Конденсатор 9 зарядится (фиг.3а, 26). После подачи тактового импульса синхронизирующего сигнала 24 по второй синхронизирующей шине 20 (фиг.3а, 24) напряжение на затворе первого
 20 МДП-транзистора 4 второго каскада скачкообразно увеличится (фиг.3а, 28), и на выходе 13 второго каскада начнется рост напряжения (фиг.3а, 29) до высокого уровня напряжения, т.е. уровня логической «1».

На вход второго каскада информация подается с выхода 12 первого каскада по шине и, следовательно, поступает с задержкой относительно переднего фронта тактового
 25 импульса сигнала 24. Поэтому при воздействии тактового импульса сигнала 24 высокий уровень напряжения передается на выход 13 второго каскада прежде, чем открывшийся первый МДП-транзистор 2 первого каскада успеет разрядить конденсатор 8 и закрыть первый МДП-транзистор 4 второго каскада.

По окончании тактового импульса сигнала 24 первый 4 и второй 5 МДП-транзисторы
 30 второго каскада оказываются открытыми. Через открытый второй МДП-транзистор 5 второго каскада начинается разряд конденсатора 9, а через открытый первый МДП-транзистор 4 второго каскада - разряд выхода второго каскада 13.

Как только напряжение на конденсаторе 9 уменьшится до уровня Упор, первый
 35 МДП-транзистор 4 второго каскада закрывается и на выходе второго каскада 13 останется высокий уровень напряжения $U_{вых}$. Через открытый второй МДП-транзистор 5 второго каскада продолжается разряд конденсатора 9 до уровня $U^*_{вх}$, где $U^*_{вх}$ практически равно низкому уровню напряжения тактового импульса сигнала 24.

Так осуществляется передача уровня логической «1» с входа второго каскада на его
 40 выход 13 (сигнал 29, фиг.3а) и «снятие» заряда с конденсатора 9 в процессе передачи (сдвига) информации вторым каскадом динамического регистра. Далее процесс передачи информации повторится, и в конечном случае логическая «1» достигнет первого информационного выхода 17 динамического регистра сдвига.

Выход 12 (13 или 14) в цифровых устройствах нагружен на вход аналогичного каскада,
 45 конденсатор 8 (9 или 10) которого принимает на хранение переданную информацию. После сдвига этой информации выход рассматриваемого каскада обнуляется (разряжается) и каскад готов к новому циклу передачи информации.

Так как энергия от источника тактовых сигналов потребляется только во время переходного процесса, то статическое потребление мощности отсутствует.

Если на входе каскада была информация, соответствующая логическому «0», конденсатор 8 будет разряжен и его емкость - мала. Поэтому с приходом тактового импульса сигнала 23 по синхронизирующей шине 19 первый МДП-транзистор 2 первого каскада будет закрыт, связи выхода 12 с синхронизирующей шиной 19 не будет. По
5 окончании действия импульса сигнала 23 выход первого каскада 12 останется разряженным, и каскад готов к новому циклу передачи информации. Таким образом, осуществляется передача (сдвиг) логического «0» с входа каждого каскада на его выход, и логический «0» после прохождения всех каскадов динамического регистра сдвига достигнет первого информационного выхода 15 динамического регистра сдвига.

10 Динамический регистр сдвига по первому пункту формулы изобретения (фиг.1) работает следующим образом при выполнении операции сдвига информации в виде логической единицы «1» или логического нуля «0» влево (считывание информации справа налево, фиг.3б).

Когда на второй информационный вход 16 динамического регистра сдвига и,
15 одновременно, на вход 11 последней ячейки динамического регистра сдвига подается высокий уровень напряжения (уровень логической «1»), конденсатор 8 будет заряжен, а его емкость велика (фиг.3б, 32). Первый МДП-транзистор 2 первого каскада будет открыт, второй МДП-транзистор 3 первого каскада закрыт, а выход 12 первого каскада обнулен (разряжен).

20 С приходом по первой синхронизирующей шине 19 первого импульса сигнала 30 (фиг.3б, 30) первый МДП-транзистор 2 первого каскада будет открыт, напряжение на затворе первого МДП-транзистора 2 первого каскада относительно общей шины 22 будет равно сумме амплитуды тактового импульса сигнала 30 и величины напряжения на конденсаторе 8 (фиг.3б, 34). На выходе 12 первого каскада формируется высокий
25 уровень напряжения, близкий к амплитуде тактового импульса сигнала 30 (фиг.3б, 36).

При этом открывается второй МДП-транзистор 3 первого каскада и снимает заряд с конденсатора 8, а первый МДП-транзистор 2 первого каскада закрывается. Выход первого каскада 12 остается заряженным до высокого уровня напряжения. Соотношение
30 размеров первого 2 и второго 3 МДП-транзисторов первого каскада (или пороговое напряжение второго МДП-транзистора 3 первого каскада) выбирается таким, чтобы выход первого каскада 12 успел разрядиться до напряжения близкого к амплитуде тактового импульса синхронизирующего сигнала прежде, чем произойдет полный разряд конденсатора 8. По окончании действия тактового импульса сигнала 30 первый МДП-транзистор 2 первого каскада будет закрыт, выход первого каскада 12 останется
35 заряженным, второй МДП-транзистор 3 первого каскада открыт, конденсатор 8 разряжен. Таким образом, за время одного тактового импульса сигнала 30 осуществляется сдвиг логической «1» с входа 11 первого каскада на его выход 12 последней ячейки динамического регистра сдвига (фиг.3б, 36). По шине, соединяющей выход 12 первого каскада с входом дополнительного каскада, логическая «1» попадает
40 на вход дополнительного каскада, т.е. на соединение затвора дополнительного МДП-транзистора 6, стока дополнительного МДП-транзистора 7 и одной из обкладок дополнительного конденсатора 10. Дополнительный конденсатор 10 заряжается, и его емкость становится максимальной (фиг.3б, 33). При подаче по третьей шине 21 синхронизирующего сигнала 31 (фиг.3б, 31) дополнительный МДП-транзистор 6 будет
45 открыт, напряжение на его затворе относительно общей шины 22 будет равно сумме амплитуды тактового импульса сигнала 31 и величины напряжения на дополнительном конденсаторе 10. На выходе 14 дополнительного каскада формируется высокий уровень напряжения, близкий к амплитуде тактового импульса сигнала 31. При этом открывается

второй дополнительный МДП-транзистор 7 и снимает заряд с дополнительного конденсатора 10, а первый дополнительный МДП-транзистор 6 закрывается. Выход 14 остается заряженным до высокого уровня напряжения. Соотношение размеров первого 6 и второго 7 дополнительных МДП-транзисторов (или пороговое напряжение второго дополнительного МДП-транзистора 7) выбирается таким, чтобы выход 14 успел разрядиться до напряжения, близкого к амплитуде тактового импульса синхронизирующего сигнала прежде, чем произойдет полный разряд дополнительного конденсатора 10. По окончании действия тактового импульса сигнала 31 первый дополнительный МДП-транзистор 6 будет закрыт, выход 14 останется заряженным, второй дополнительный МДП-транзистор 7 открыт, дополнительный конденсатор 10 разряжен. Таким образом, за время одного тактового импульса сигнала 31 осуществляется сдвиг логической «1» с входа дополнительного каскада на его выход 14 (фиг.3б, 35). Далее, по шине, соединяющей выход 14 с входом 11 следующей ячейки динамического регистра сдвига, логическая «1» попадает на вход ячейки второй от конца динамического регистра сдвига и процесс повторяется. Таким образом, входной сигнал со второго информационного входа 16 динамического регистра сдвига достигнет второго выхода 14 первой ячейки динамического регистра сдвига и, одновременно, второго информационного выхода 18 динамического регистра сдвига.

Если на второй информационный вход 16 динамического регистра сдвига была подана информация, соответствующая логическому «0», конденсатор 8 последней ячейки динамического регистра сдвига будет разряжен и его емкость - мала. Поэтому с приходом по первой синхронизирующей шине 19 тактового импульса сигнала 30 первый МДП-транзистор 2 первого каскада будет закрыт, связи выхода первого каскада 12 с синхронизирующей шиной 19 не будет, по окончании действия импульса сигнала 30 выход первого каскада 12 останется разряженным, и каскад готов к новому циклу передачи информации. Таким образом, осуществляется передача (сдвиг) логического «0» с входа 11 первого каскада последней ячейки динамического регистра сдвига на его выход 12. Далее по соединяющей шине логический «0» попадает на вход дополнительного каскада, т.е. соединение затвора первого дополнительного МДП-транзистора 6, стока второго дополнительного МДП-транзистора 7 и одной из обкладок дополнительного конденсатора 10. С приходом по синхронизирующей шине 21 тактового импульса сигнала 31 процесс передачи логического «0» повторится. Таким образом, входной сигнал со второго информационного входа 16 динамического регистра сдвига достигнет второго выхода 14 первой ячейки динамического регистра сдвига и, одновременно, второго информационного выхода 18 динамического регистра сдвига.

По второму пункту формулы изобретения (фиг.2) каскад работает аналогично рассмотренному за исключением того, что разряд конденсатора 8 первого каскада после передачи логической «1» осуществляется по окончании действия тактового импульса сигнала, приходящего по первой синхронизирующей шине 19, через второй МДП-транзистор 3 первого каскада. Поэтому для исключения разряда выхода первого каскада 12 через первый МДП-транзистор 2 первого каскада соотношение размеров первого 2 и второго 3 МДП-транзисторов первого каскада должны быть такими, чтобы конденсатор 8 первого каскада успел разрядиться до напряжения, меньшего пороговой величины прежде, чем напряжение на выходе первого каскада 12 сможет снизиться.

Рассмотрим временные диаграммы работы динамического регистра сдвига по второму пункту формулы изобретения при передаче информации в виде логической «1» или логического «0» слева направо (фиг.4а). При подаче на вход 11 первого каскада первой ячейки логической «1», т.е. при заряженном конденсаторе 8 первого каскада,

после подачи по первой синхронизирующей шине 19 тактового импульса сигнала 37 (фиг.4а, 37) напряжение на затворе первого МДП-транзистора 2 первого каскада скачкообразно увеличится (фиг.4а, 41), и на выходе первого каскада 12 начнется рост напряжения (фиг.4а, 39). В промежуток времени, равный длительности тактового импульса сигнала 37, выходное напряжение нарастает до высокого уровня напряжения.

По окончании тактового импульса сигнала 37 первый 2 и второй 3 МДП-транзисторы первого каскада оказываются открытыми. Через открытый второй МДП-транзистор 3 первого каскада начинается разряд конденсатора 8 в первом каскаде, а через открытый первый МДП-транзистор 2 первого каскада - разряд выхода первого каскада 12.

Как только напряжение на конденсаторе 8 в первом каскаде уменьшится до уровня Упор, первый МДП-транзистор 2 первого каскада закрывается и на выходе первого каскада 12 останется высокий уровень напряжения $U_{вых}$. Через открытый второй МДП-транзистор 3 первого каскада продолжается разряд конденсатора 8 в первом каскаде до уровня $U^*_{вх}$, где $U^*_{вх}$ практически равно низкому уровню напряжения тактового импульса сигнала 37. Так осуществляется передача уровня логической «1» с входа первого каскада 11 на его выход 12 (сигнал 39, фиг.4а) и «снятие» заряда с конденсатора 8 в первом каскаде в процессе передачи (сдвига) информации первым каскадом динамического регистра сдвига. Далее логическая «1» по соединяющей шине окажется на входе второго каскада, т.е. на соединении затвора первого МДП-

транзистора 4 второго каскада, стока второго МДП-транзистора 5 второго каскада и обкладки конденсатора 9 второго каскада, который зарядится. После подачи тактового импульса синхронизирующего сигнала 38 по второй синхронизирующей шине 20 (фиг.4а, 38) напряжение на затворе первого МДП-транзистора 4 второго каскада скачкообразно увеличится (фиг.4а, 39), и на выходе второго каскада 13 начнется рост напряжения (фиг.4а, 40) до высокого уровня напряжения, т.е. уровня логической «1».

По окончании тактового импульса сигнала 38 первый 4 и второй 5 МДП-транзисторы второго каскада оказываются открытыми. Через открытый второй МДП-транзистор 5 второго каскада начинается разряд конденсатора 9 во втором каскаде, а через открытый первый МДП-транзистор 4 второго каскада - разряд выхода второго каскада 13.

Как только напряжение на конденсаторе 9 во втором каскаде уменьшится до уровня Упор, первый МДП-транзистор 4 второго каскада закрывается и на выходе второго каскада 13 останется высокий уровень напряжения $U_{вых}$. Через открытый второй МДП-транзистор 5 второго каскада продолжается разряд конденсатора 9 до уровня $U^*_{вх}$, где $U^*_{вх}$ практически равно низкому уровню напряжения тактового импульса сигнала 38. Так осуществляется передача уровня логической «1» с входа второго каскада его на выход 13 (сигнал 40) и «снятие» заряда с конденсатора 9 в процессе передачи (сдвига) информации вторым каскадом динамического регистра сдвига. Далее процесс передачи информации повторится и в конечном случае логическая «1» достигнет первого информационного выхода 17 динамического регистра сдвига.

Когда на вход 11 первого каскада подан логический «0», т.е. когда конденсатор 8 первого каскада разряжен, его емкость мала, при подаче тактового импульса сигнала 37 по первой синхронизирующей шине 19 первый МДП-транзистор 2 первого каскада будет закрыт. Напряжение на выходе не изменится. Поэтому «снятие» заряда при передаче логической «1» является необходимым условием для правильной передачи логического «0».

По окончании тактового импульса сигнала 37 требуется еще промежуток времени для разряда конденсатора 8 в первом каскаде.

Рассмотрим временные диаграммы работы динамического регистра сдвига по второму пункту формулы изобретения при передаче информации в виде логической «1» или логического «0» справа налево (фиг.4б). При подаче на вход 11 первого каскада последней ячейки динамического регистра сдвига логической «1», т.е. при заряженном конденсаторе 8 в первом каскаде, после подачи по первой синхронизирующей шине 19 тактового импульса сигнала 42 (фиг.4б, 42) напряжение на затворе первого МДП-транзистора 2 первого каскада скачкообразно увеличится (фиг.4б, 46), и на выходе 12 начнется рост напряжения (фиг.4б, 45). В промежуток времени, равный длительности тактового импульса сигнала 42, выходное напряжение нарастает до высокого уровня напряжения.

По окончании тактового импульса сигнала 42 первый 2 и второй 3 МДП-транзисторы первого каскада оказываются открытыми. Через открытый второй МДП-транзистор 3 первого каскада начинается разряд конденсатора 8 в первом каскаде, а через открытый первый МДП-транзистор 2 первого каскада - разряд выхода первого каскада 12.

Как только напряжение на конденсаторе 8 в первом каскаде уменьшится до уровня Упор, первый МДП-транзистор 2 первого каскада закрывается и на выходе первого каскада 12 останется высокий уровень напряжения $U_{вых}$. Через открытый второй МДП-транзистор 3 первого каскада продолжается разряд конденсатора 8 в первом каскаде до уровня $U^*_{вх}$, где $U^*_{вх}$ практически равно низкому уровню напряжения тактового импульса сигнала 42. Так осуществляется передача уровня логической «1» с входа первого каскада 11 на его выход 12 (сигнал 45, фиг.4б) и «снятие» заряда с конденсатора 8 в первом каскаде в процессе передачи (сдвига) информации первым каскадом динамического регистра сдвига. Далее логическая «1» окажется по шине, соединяющей выход первого каскада 12 с входом дополнительного каскада, т.е. на соединении затвора первого дополнительного МДП-транзистора 6, стока второго дополнительного МДП-транзистора 7 и обкладки дополнительного конденсатора 10, который зарядится. После подачи тактового импульса синхронизирующего сигнала 43 по третьей синхронизирующей шине 21 (фиг.4б, 43) напряжение на затворе первого дополнительного МДП-транзистора 6 скачкообразно увеличится (фиг.4б, 45), и на выходе 14 начнется рост напряжения (фиг.4б, 44) до высокого уровня напряжения, т.е. уровня логической «1».

По окончании тактового импульса сигнала 43 первый 6 и второй 7 дополнительные МДП-транзисторы оказываются открытыми. Через открытый второй дополнительный МДП-транзистор 7 начинается разряд дополнительного конденсатора 10, а через открытый первый дополнительный МДП-транзистор 6 - разряд выхода 14.

Как только напряжение на дополнительном конденсаторе 10 уменьшится до уровня Упор, первый дополнительный МДП-транзистор 6 закрывается и на выходе дополнительного каскада 14 останется высокий уровень напряжения $U_{вых}$. Через открытый второй дополнительный МДП-транзистор 7 продолжается разряд дополнительного конденсатора 10 до уровня $U^*_{вх}$, где $U^*_{вх}$ практически равно низкому уровню напряжения тактового импульса сигнала 43. Так осуществляется передача уровня логической «1» с входа дополнительного каскада его на выход 14 (сигнал 44, фиг.4б) и «снятие» заряда с дополнительного конденсатора 10 в процессе передачи (сдвига) информации этим каскадом динамического регистра сдвига. Далее процесс передачи информации повторится, т.е. логическая «1» с выхода 14 последней ячейки динамического регистра сдвига попадет на вход 11 предпоследней ячейки динамического регистра сдвига и т.д. и в конечном случае логическая «1» достигнет второго информационного выхода 18 динамического регистра сдвига.

Когда на вход 11 первого каскада последней ячейки динамического регистра сдвига подан логический «0», т.е. когда конденсатор 8 в первом каскаде разряжен, его емкость мала, при подаче тактового импульса сигнала 42 по первой синхронизирующей шине 19 первый МДП-транзистор 2 первого каскада будет закрыт. Напряжение на выходе не изменится. Поэтому «снятие» заряда при передаче логической «1» является необходимым условием для правильной передачи логического «0».

По окончании тактового импульса сигнала 42 требуется еще промежуток времени для разряда конденсатора 8 в первом каскаде.

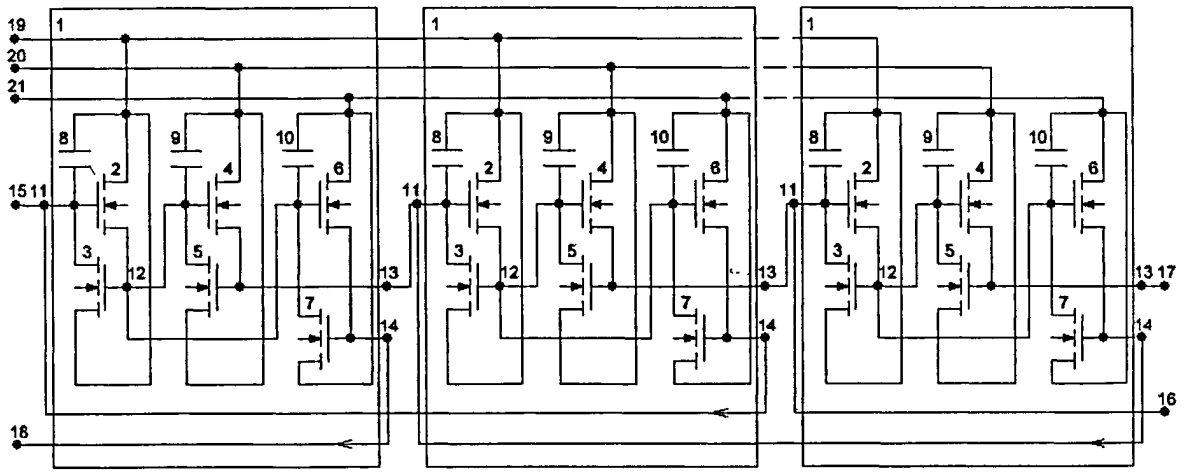
Отсутствие общей шины существенно упрощает динамический регистр сдвига.

Так как каждый каскад обладает определенной задержкой при передаче информации, то обеспечивается правильная передача произвольной входной последовательности импульсов и это позволяет отказаться от применения дополнительных развязывающих звеньев или многофазной синхронизации.

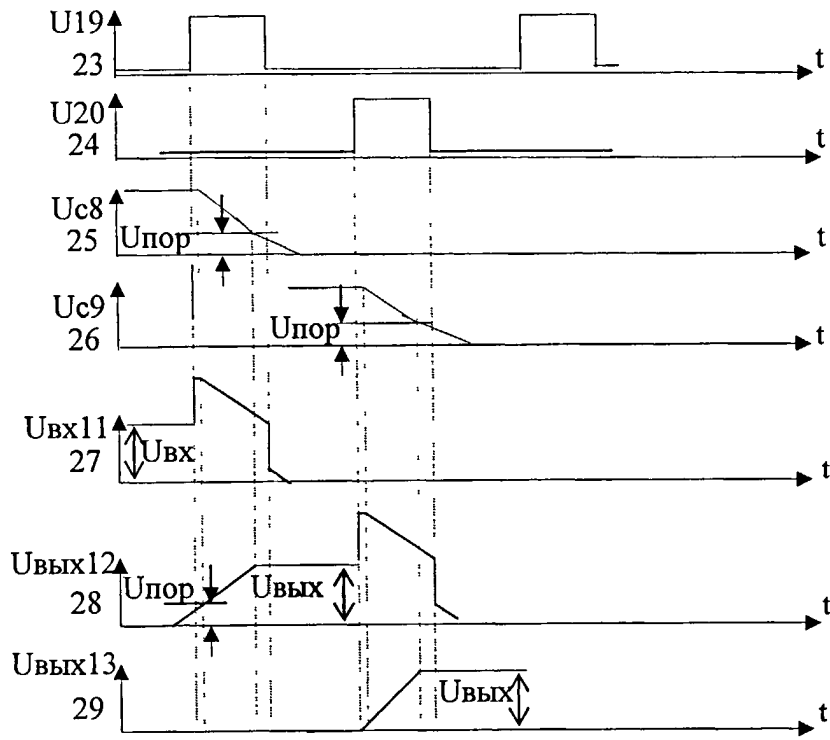
Формула изобретения

1. Динамический регистр сдвига, состоящий из ячеек, выполненных на двух последовательно соединенных каскадах, каждый из которых содержит первый и второй МДП-транзисторы, конденсатор, общую шину, первую синхронизирующую шину для первого каскада и вторую синхронизирующую шину для второго каскада, причем в каждом каскаде синхронизирующая шина подключена к стоку первого МДП-транзистора и одной из обкладок конденсатора, вторая обкладка которого соединена с затвором первого и стоком второго МДП-транзисторов, это соединение является входом каскада, и в первом каскаде является, одновременно, входом в ячейку, а в первой ячейке динамического регистра сдвига является, одновременно, и первым информационным входом динамического регистра сдвига при считывании информации слева направо, исток первого МДП-транзистора подключен к затвору второго МДП-транзистора, это соединение является выходом каскада, выход второго каскада является, одновременно, первым выходом ячейки, а в последней ячейке динамического регистра сдвига является также и первым информационным выходом динамического регистра сдвига при считывании информации слева направо, исток второго МДП-транзистора подключен к общей шине, отличающийся тем, что в каждую ячейку введены дополнительные конденсатор и два МДП-транзистора, а также третья синхронизирующая шина, которая соединена со стоком первого дополнительного МДП-транзистора и одной из обкладок дополнительного конденсатора, вторая обкладка которого соединена с выходом первого каскада ячейки и с затвором первого и стоком второго и дополнительных МДП-транзисторов этой ячейки, исток первого дополнительного МДП-транзистора соединен с затвором второго дополнительного МДП-транзистора, и это соединение является вторым выходом ячейки, а в первой ячейке динамического регистра сдвига является, одновременно, и вторым информационным выходом динамического регистра сдвига, исток второго дополнительного МДП-транзистора соединен с общей шиной.

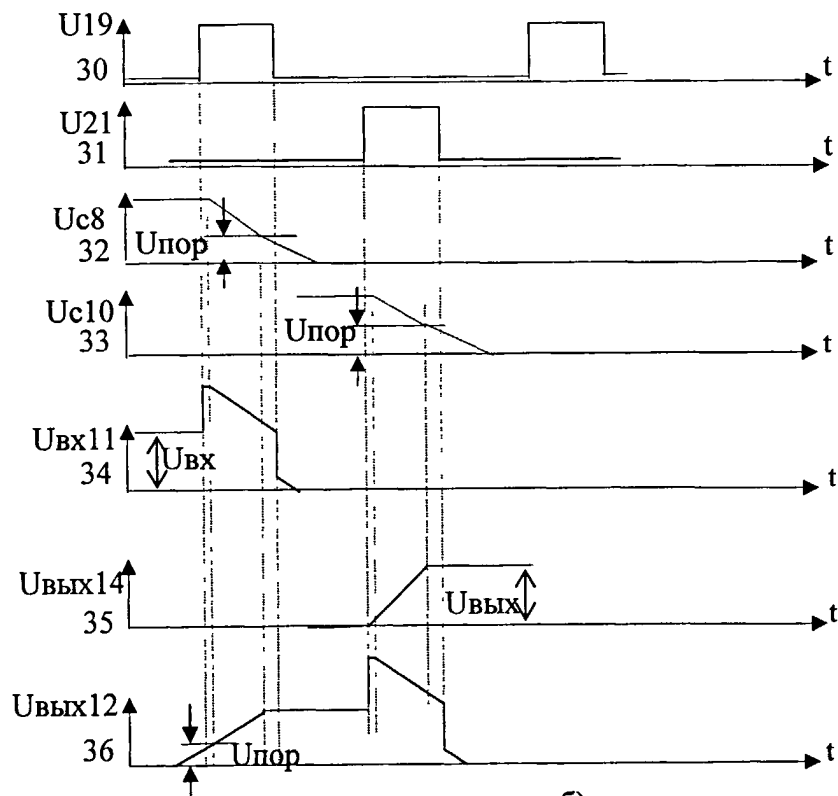
2. Динамический регистр сдвига по п.1, отличающийся тем, что общая шина объединена с соответствующей синхронизирующей шиной.



Фиг.2

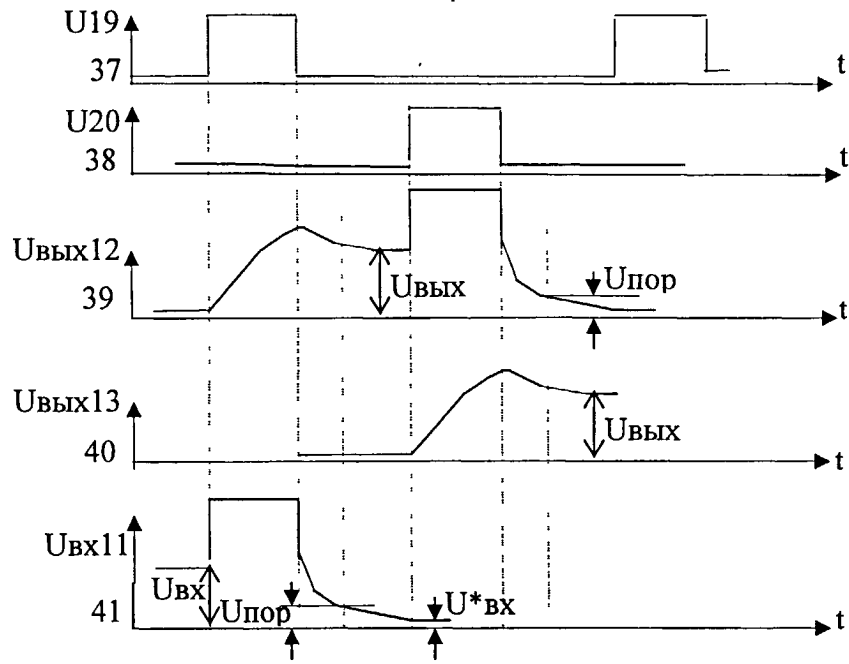


a)

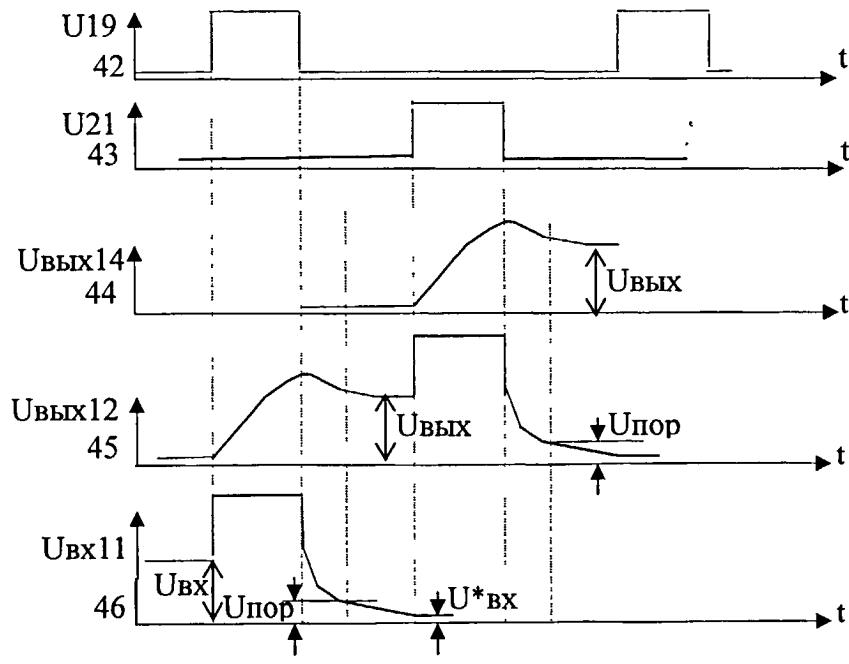


б)

Фиг. 3



а)



б)

Фиг.4