



(12) 发明专利

(10) 授权公告号 CN 113703510 B

(45) 授权公告日 2022. 07. 22

(21) 申请号 202111002490.5

(22) 申请日 2021.08.30

(65) 同一申请的已公布的文献号
申请公布号 CN 113703510 A

(43) 申请公布日 2021.11.26

(73) 专利权人 江苏集萃智能集成电路设计技术
研究所有限公司

地址 214000 江苏省无锡市新吴区菱湖大
道111号无锡软件园天鹅座C座18楼

(72) 发明人 何越峰 袁国顺

(74) 专利代理机构 无锡市汇诚永信专利代理事
务所(普通合伙) 32260

专利代理师 苗雨

(51) Int. Cl.

G05F 1/567 (2006.01)

(56) 对比文件

CN 112859993 A, 2021.05.28

CN 105786069 A, 2016.07.20

CN 203643886 U, 2014.06.11

CN 104238611 A, 2014.12.24

US 2017315576 A1, 2017.11.02

审查员 杨博

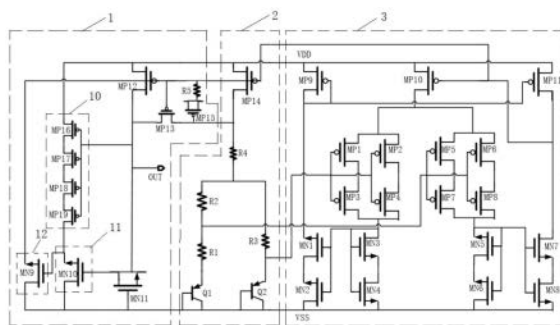
权利要求书2页 说明书7页 附图6页

(54) 发明名称

一种低功耗的带隙基准电路

(57) 摘要

本发明涉及集成电路技术领域,公开了一种低功耗的带隙基准电路,包括带隙核心模块、电源输入端、启动模块和运算放大器模块,带隙核心模块被配置于产生正温度系数电压和负温度系数电压,电源输入端分别与带隙核心模块、启动模块和运算放大器模块电连接,启动模块被配置于向带隙核心模块的启动开关的控制端输入启动信号,带隙核心模块接收到启动信号后产生的正温度系数电压和负温度系数电压分别输入到所述运算放大器模块,在实际使用时当运算放大器模块的输出电压的幅值大于等于关断阈值时,启动模块停止向带隙核心模块的启动端输入启动信号,即启动模块停止工作,进而降低本发明在使用时的功耗。



1. 一种低功耗的带隙基准电路,包括带隙核心模块,所述带隙核心模块被配置于产生正温度系数电压和负温度系数电压,其特征在于,还包括电源输入端、启动模块和运算放大器模块;所述电源输入端分别与所述带隙核心模块、启动模块和运算放大器模块电连接,所述启动模块被配置于向所述带隙核心模块的启动开关的控制端输入启动信号,所述启动模块包括触发单元、第一控制开关单元、第二控制开关单元和第三控制开关单元,所述电源输入端、第一控制开关单元和第二控制开关单元依次串联,所述第二控制开关单元的输出端接地,所述运算放大器模块的输出端与所述触发单元电连接,所述触发单元在所述运算放大器模块的输出电压的幅值小于关断阈值时驱动所述第一控制开关单元导通、驱动所述第二控制开关单元断开,所述触发单元在所述运算放大器模块的输出电压的幅值大于等于关断阈值时驱动所述第一控制开关单元断开、驱动所述第二控制开关单元导通,所述第一控制开关单元和第二控制开关单元的连接点与所述第三控制开关单元的控制端电连接,所述第三控制开关单元在所述第一控制开关单元导通时导通,在所述第一控制开关单元断开时关断,所述第三控制开关单元的输入端接地,所述第三控制开关单元的输出端与所述带隙核心模块的启动开关的控制端电连接;所述带隙核心模块接收到所述启动信号后产生的正温度系数电压和负温度系数电压分别输入到所述运算放大器模块,所述运算放大器模块的输出电压分别输入到所述启动模块和所述带隙核心模块的启动开关的控制端,所述启动模块在所述运算放大器模块的输出电压大于等于关断阈值时,所述启动模块停止向所述带隙核心模块的启动端输入启动信号。

2. 根据权利要求1所述的一种低功耗的带隙基准电路,其特征在于,所述触发单元包括NMOS管MN11、PMOS管MP12、PMOS管MP13、PMOS管MP15和电阻R5;所述第一控制开关单元包括PMOS管MP16、PMOS管MP17、PMOS管MP18和PMOS管MP19;所述第二控制开关单元包括NMOS管MN10;所述第三控制开关单元包括NMOS管MN9;

PMOS管MP12的源极与所述电源输入端电连接,PMOS管MP12的栅极分别和PMOS管MP13的栅极、电阻R5一端和带隙核心模块的启动开关的控制端电连接,所述电阻R5一端与所述PMOS管MP15的源极和漏极电连接,所述PMOS管MP15的栅极分别与PMOS管MP13的源极和所述带隙核心模块的启动开关的输出端电连接,所述PMOS管MP13的漏极分别与PMOS管MP12的漏极、PMOS管MP16的栅极、PMOS管MP17的栅极、PMOS管MP18的栅极、PMOS管MP19的栅极、NMOS管MN11的漏极和源极、NMOS管MN10的栅极电连接,NMOS管MN11的栅极接地;

PMOS管MP16的源极与所述电源输入端电连接,PMOS管MP16的漏极与PMOS管MP17的源极电连接,PMOS管MP17的漏极与PMOS管MP18的源极电连接,PMOS管MP18的漏极与PMOS管MP19的源极电连接,PMOS管MP18的漏极与PMOS管MP19的源极电连接,PMOS管MP19的漏极分别与NMOS管MN9的栅极、NMOS管MN10的漏极电连接,NMOS管MN10的源极接地,NMOS管MN9的漏极分别与PMOS管MP12的栅极和所述带隙核心模块的启动开关的控制端电连接,NMOS管MN9的源极接地。

3. 根据权利要求2所述的一种低功耗的带隙基准电路,其特征在于,所述带隙核心模块包括双极晶体管Q1、双极晶体管Q2、电阻R1、电阻R2、电阻R3、电阻R4和PMOS管MP14,PMOS管MP14的源极和所述电源输入端电连接,PMOS管MP14的栅极分别与PMOS管MP12的栅极和运算放大器模块的输出端电连接,PMOS管MP14的漏极分别与电阻R4一端和PMOS管MP13的源极电连接,电阻R4另一端分别与电阻R2一端和电阻R3一端电连接,电阻R2另一端分别与电阻R1

一端和运算放大器模块的第一输入端电连接,电阻R1另一端与双极晶体管Q1的发射极电连接,P型双极晶体管Q1的基极和集电极均接地,电阻R3另一端分别与P型双极晶体管Q2的发射极和运算放大器模块的第二输入端电连接,P型双极晶体管Q2的基极和集电极均接地。

4. 根据权利要求3所述的一种低功耗的带隙基准电路,其特征在于,所述PMOS管MP12、PMOS管MP13、PMOS管MP15、PMOS管MP16、PMOS管MP17、PMOS管MP18和PMOS管MP19均为增强型PMOS管;所述NMOS管MN9、NMOS管MN10和NMOS管MN11均为增强型NMOS管;所述双极晶体管Q1和双极晶体管Q2均为P型双极晶体管。

5. 根据权利要求1所述的一种低功耗的带隙基准电路,其特征在于,所述运算放大器模块为折叠共源共栅运算放大器电路,所述折叠共源共栅运算放大器电路包括第一电流镜电路、第二电流镜电路、第三电流镜电路和PMOS管MP1、PMOS管MP2、PMOS管MP3、PMOS管MP4、PMOS管MP5、PMOS管MP6、PMOS管MP7、PMOS管MP8、PMOS管MP10;

所述PMOS管MP10的源极和所述第一电流镜电路分别与所述电源输入端电连接,所述PMOS管MP10的栅极与所述折叠共源共栅运算放大器电路的输出端电连接,所述PMOS管MP10的漏极分别与PMOS管MP1的源极、PMOS管MP2的源极、PMOS管MP5的源极和PMOS管MP6的源极电连接;

所述PMOS管MP1的栅极、PMOS管MP2的栅极、PMOS管MP3的栅极和PMOS管MP4的栅极分别和所述带隙核心模块的正温度系数电压输出端电连接,所述PMOS管MP1的漏极与所述PMOS管MP3的源极电连接,所述PMOS管MP2的漏极与所述PMOS管MP4的源极电连接,所述PMOS管MP3的漏极和PMOS管MP4的漏极分别和第二电流镜电路的第二支路电连接,所述第二电流镜电路的第一支路与所述第一电流镜电路的第一支路电连接;

所述PMOS管MP5的栅极、PMOS管MP6的栅极、PMOS管MP7的栅极和PMOS管MP8的栅极分别和所述带隙核心模块的负温度系数电压输出端电连接,所述PMOS管MP5的漏极与所述PMOS管MP7的源极电连接,所述PMOS管MP6的漏极与所述PMOS管MP8的源极电连接,所述PMOS管MP7的漏极和PMOS管MP8的漏极分别和第三电流镜电路的第二支路电连接,所述第三电流镜电路的第一支路与所述第一电流镜电路的第二支路电连接。

6. 根据权利要求5所述的一种低功耗的带隙基准电路,其特征在于,所述PMOS管MP1和PMOS管MP3的沟道长度相同,所述PMOS管MP2和PMOS管MP4的沟道长度相同,所述PMOS管MP5和PMOS管MP7的沟道长度相同,所述PMOS管MP6和PMOS管MP8的沟道长度相同。

7. 根据权利要求5所述的一种低功耗的带隙基准电路,其特征在于,所述PMOS管MP1、PMOS管MP2、PMOS管MP3、PMOS管MP4、PMOS管MP5、PMOS管MP6、PMOS管MP7、PMOS管MP8、PMOS管MP10均为增强型PMOS管。

一种低功耗的带隙基准电路

技术领域

[0001] 本发明涉及集成电路技术领域,具体涉及一种低功耗的带隙基准电路。

背景技术

[0002] 随着集成电路的集成度不断增大,集成电路的功耗也在不断增加。在现在的模拟集成电路设计中,基准电压是应用于LDO(低压差线性稳压器)和模数/数模转换电路中不可或缺模块,其一方面要求输出电压受电源电压、温度、工艺影响小的特点,另一方面希望功耗越来越小。

[0003] 在基准电压的生成电路中,带隙基准电路由于其设计原理是根据硅材料的带隙电压与电源和温度无关的特性,通过将两个具有相反温度系数的电压进行线性组合来得到零温度系数的电压,工作原理如图1所示,得到基准电压 $V_{ref} = \alpha V_+ + \beta V_-$,因此相对于其他电路,带隙基准电路生成的基准电压能够更好的满足现阶段电路模块的应用需求。

[0004] 现有带隙基准电路主要包括启动电路、带隙核心电路、运算放大器电路和偏置电路。启动电路连接带隙核心电路和运算放大器电路,用于提供一个启动电压。带隙核心电路提供产生正温度系数电压和负温度系数电压,权重求和后,产生零温度系数的输出电压。运算放大器电路作用于带隙核心电路,对带隙核心电路起到钳位的作用,方便于将正负温度系数特性结合起来。但是现有的带隙基准电路的启动电路在整个基准电压的生成过程中一直工作,增大了整个带隙基准电路的功耗。

发明内容

[0005] 鉴于背景技术的不足,本发明是提供了一种低功耗的带隙基准电路,来解决背景技术中现有采用带隙基准电路的启动电路在产生基准电压的过程中一直工作,其功耗较大。

[0006] 为解决以上技术问题,本发明提供了如下技术方案:一种低功耗的带隙基准电路,包括带隙核心模块、电源输入端、启动模块和运算放大器模块,所述带隙核心模块被配置于产生正温度系数电压和负温度系数电压,所述电源输入端分别与所述带隙核心模块、启动模块和运算放大器模块电连接,所述启动模块被配置于向所述带隙核心模块的启动开关的控制端输入启动信号,所述带隙核心模块接收到所述启动信号后产生的正温度系数电压和负温度系数电压分别输入到所述运算放大器模块,所述运算放大器模块的输出电压分别输入到所述启动模块和所述带隙核心模块的启动开关的控制端,所述启动模块在所述运算放大器模块的输出电压大于等于关断阈值时,所述启动模块停止向所述带隙核心模块的启动端输入启动信号。

[0007] 在某种实施方式中,所述启动模块包括触发单元、第一控制开关单元、第二控制开关单元和第三控制开关单元,所述电源输入端、第一控制开关单元和第二控制开关单元依次串联,所述第二控制开关单元的输出端接地,所述运算放大器模块的输出端与所述触发单元电连接,所述触发单元在所述运算放大器模块的输出电压的幅值小于关断阈值时驱动

所述第一控制开关单元导通、驱动所述第二控制开关单元断开,所述触发单元在所述运算放大器模块的输出电压的幅值大于等于关断阈值时驱动所述第一控制开关单元断开、驱动所述第二控制开关单元导通,所述第一控制开关单元和第二控制开关单元的连接点与所述第三控制开关单元的控制端电连接,所述第三控制开关单元在所述第一控制开关单元导通时导通,在所述第一控制开关单元断开时关断,所述第三控制开关单元的输入端接地,所述第三控制开关单元的输出端与所述带隙核心模块的启动开关的控制端电连接。

[0008] 在某种实施方式中,所述触发单元包括NMOS管MN11、PMOS管MP12、PMOS管MP13、PMOS管MP15和电阻R5;所述第一控制开关单元包括PMOS管MP16、PMOS管MP17、PMOS管MP18和PMOS管MP19;所述第二控制开关单元包括NMOS管MN10;所述第三控制开关单元包括NMOS管MN9;

[0009] PMOS管MP12的源极与所述电源输入端电连接,PMOS管MP12的栅极分别和PMOS管MP13的栅极、电阻R5一端和带隙核心模块的启动开关的控制端电连接,所述电阻R5一端与所述PMOS管MP15的源极和漏极电连接,所述PMOS管MP15的栅极分别与PMOS管MP13的源极和所述带隙核心模块的启动开关的输出端电连接,所述PMOS管MP13的漏极分别与PMOS管MP12的漏极、PMOS管MP16的栅极、PMOS管MP17的栅极、PMOS管MP18的栅极、PMOS管MP19的栅极、NMOS管MN11的漏极和源极、NMOS管MN10的栅极电连接,NMOS管MN11的栅极接地;

[0010] PMOS管MP16的源极与所述电源输入端电连接,PMOS管MP16的漏极与PMOS管MP17的源极电连接,PMOS管MP17的漏极与PMOS管MP18的源极电连接,PMOS管MP18的漏极与PMOS管MP19的源极电连接,PMOS管MP18的漏极与PMOS管MP19的源极电连接,PMOS管MP19的漏极分别与NMOS管MN9的栅极、NMOS管MN10的漏极电连接,NMOS管MN10的源极接地,NMOS管MN9的漏极分别与PMOS管MP12的栅极和所述带隙核心模块的启动开关的控制端电连接,NMOS管MN9的源极接地。

[0011] 在某种实施方式中,所述带隙核心模块包括双极晶体管Q1、双极晶体管Q2、电阻R1、电阻R2、电阻R3、电阻R4和PMOS管MP14,PMOS管MP14的源极和所述电源输入端电连接,PMOS管MP14的栅极分别与PMOS管MP12的栅极和运算放大器模块的输出端电连接,PMOS管MP14的漏极分别与电阻R4一端和PMOS管MP13的源极电连接,电阻R4另一端分别与电阻R2一端和电阻R3一端电连接,电阻R2另一端分别与电阻R1一端和运算放大器模块的第一输入端电连接,电阻R1另一端与双极晶体管Q1的发射极电连接,P型双极晶体管Q1的基极和集电极均接地,电阻R3另一端分别与P型双极晶体管Q2的发射极和运算放大器模块的第二输入端电连接,P型双极晶体管Q2的基极和集电极均接地。

[0012] 在某种实施方式中,所述PMOS管MP12、PMOS管MP13、PMOS管MP15、PMOS管MP16、PMOS管MP17、PMOS管MP18和PMOS管MP19均为增强型PMOS管;所述NMOS管MN9、NMOS管MN10和NMOS管MN11均为增强型NMOS管;所述双极晶体管Q1和双极晶体管Q2均为P型双极晶体管。

[0013] 在某种实施方式中,所述运算放大器模块为折叠共源共栅运算放大器电路,所述折叠共源共栅运算放大器电路包括第一电流镜电路、第二电流镜电路、第三电流镜电路和PMOS管MP1、PMOS管MP2、PMOS管MP3、PMOS管MP4、PMOS管MP5、PMOS管MP6、PMOS管MP7、PMOS管MP8、PMOS管MP10;

[0014] 所述PMOS管MP10的源极和所述第一电流镜电路分别与所述电源输入端电连接,所述PMOS管MP10的栅极与所述折叠共源共栅运算放大器电路的输出端电连接,所述PMOS管

MP10的漏极分别与PMOS管MP1的源极、PMOS管MP2的源极、PMOS管MP5的源极和PMOS管MP6的源极电连接；

[0015] 所述PMOS管MP1的栅极、PMOS管MP2的栅极、PMOS管MP3的栅极和PMOS管MP4的栅极分别和所述带隙核心模块的正温度系数电压输出端电连接，所述PMOS管MP1的漏极与PMOS管MP3的源极电连接，所述PMOS管MP2的漏极与PMOS管MP4的源极电连接，所述PMOS管MP3的漏极和PMOS管MP4的漏极分别和第二电流镜电路的第二支路电连接，所述第二电流镜电路的第一支路与所述第一电流镜电路的第一支路电连接；

[0016] 所述PMOS管MP5的栅极、PMOS管MP6的栅极、PMOS管MP7的栅极和PMOS管MP8的栅极分别和所述带隙核心模块的负温度系数电压输出端电连接，所述PMOS管MP5的漏极与PMOS管MP7的源极电连接，所述PMOS管MP6的漏极与PMOS管MP8的源极电连接，所述PMOS管MP7的漏极和PMOS管MP8的漏极分别和第三电流镜电路的第二支路电连接，所述第三电流镜电路的第一支路与所述第一电流镜电路的第二支路电连接。

[0017] 在某种实施方式中，所述PMOS管MP1和PMOS管MP3的沟道长度相同，所述PMOS管MP2和PMOS管MP4的沟道长度相同，所述PMOS管MP5和PMOS管MP7的沟道长度相同，所述PMOS管MP6和PMOS管MP8的沟道长度相同。

[0018] 在某种实施方式中，所述PMOS管MP1、PMOS管MP2、PMOS管MP3、PMOS管MP4、PMOS管MP5、PMOS管MP6、PMOS管MP7、PMOS管MP8、PMOS管MP10均为增强型PMOS管。

[0019] 本发明与现有技术相比所具有的有益效果是：本发明的启动模块在电路启动阶段为带隙核心模块提供一个启动信号，在启动完成后，带隙核心电路正常工作，并产生的输出电压会输入到启动模块中，将启动模块关闭。在带隙核心电路正常运转的过程中启动模块不再工作，进而降低本发明在实际使用时的功耗。

附图说明

[0020] 图1为现有带隙基准电路的工作原理图；

[0021] 图2为本发明的结构示意图；

[0022] 图3为本发明的启动模块的结构示意图；

[0023] 图4为本发明的电路图；

[0024] 图5为一种现有折叠共源共栅运算放大器电路的电路图；

[0025] 图6为本发明在电源电压为1.8V时输出的基准电压的仿真图；

[0026] 图7为本发明进行温漂仿真的仿真图；

[0027] 图8为本发明的运算放大器模块的闭环增益的仿真图；

[0028] 图9为本发明的运算放大器模块的闭环增益的仿真图；

[0029] 图10为本发明在电源电压为1.8V时的功耗仿真图。

具体实施方式

[0030] 现在结合附图对本发明作进一步详细的说明。这些附图均为简化的示意图，仅以示意方式说明本发明的基本结构，因此其仅显示与本发明有关的构成。

[0031] 如图2所示，一种低功耗的带隙基准电路，包括带隙核心模块2、电源输入端VDD、启动模块1和运算放大器模块3，带隙核心模块2被配置于产生正温度系数电压和负温度系数

电压,电源输入端VDD分别与带隙核心模块2、启动模块1和运算放大器模块3电连接,启动模块1被配置于向带隙核心模块2的启动开关的控制端输入启动信号,带隙核心模块2接收到启动信号后产生的正温度系数电压和负温度系数电压分别输入到运算放大器模块3,运算放大器模块3的输出电压分别输入到启动模块1和带隙核心模块2的启动开关的控制端,启动模块1在运算放大器模块3的输出电压的幅值大于等于关断阈值时,启动模块1停止向带隙核心模块2的启动端输入启动信号。

[0032] 在实际使用时,本发明的启动模块1在电路启动阶段为带隙核心模块2提供一个启动信号,在启动完成后,运算放大器模块3的输出电压来输入到带隙核心模块2作为启动信号,此时不用启动模块1提供启动信号,另外当运算放大器模块3的输出电压大于或者等于关断阈值时会关闭启动模块1,不让启动模块1产生启动电压,进而降低本发明在实际使用时的功耗。

[0033] 参照图3,本实施例中,启动模块1包括触发单元13、第一控制开关单元10、第二控制开关单元11和第三控制开关单元12,电源输入端VDD、第一控制开关单元11和第二控制开关单元12依次串联,第二控制开关单元12的输出端接地,运算放大器模块3的输出端与触发单元13电连接,触发单元13在运算放大器模块3的输出电压小于关断阈值时驱动第一控制开关单元10导通、驱动第二控制开关单元11断开,触发单元13在运算放大器模块3的输出电压的幅值大于等于关断阈值时驱动第一控制开关单元10断开、驱动第二控制开关单元11导通,第一控制开关单元10和第二控制开关单元11的连接点与第三控制开关单元12的控制端电连接,第三控制开关单元12在第一控制开关单元10导通时导通,在第一控制开关单元10断开时关断,第三控制开关单元12的输入端接地,第三控制开关单元12的输出端与带隙核心模块2的启动开关的控制端电连接。

[0034] 参照图4,本实施例中,触发单元13包括NMOS管MN11、PMOS管MP12、PMOS管MP13、PMOS管MP15和电阻R5;第一控制开关单元10包括PMOS管MP16、PMOS管MP17、PMOS管MP18和PMOS管MP19;第二控制开关单元11包括NMOS管MN10;第三控制开关单元12包括NMOS管MN9;

[0035] PMOS管MP12的源极与电源输入端电连接,PMOS管MP12的栅极分别和PMOS管MP13的栅极、电阻R5一端和带隙核心模块2的启动开关的控制端电连接,电阻R5一端与PMOS管MP15的源极和漏极电连接,PMOS管MP15的栅极分别与PMOS管MP13的源极和带隙核心模块2的启动开关的输出端电连接,PMOS管MP13的漏极分别与PMOS管MP12的漏极、PMOS管MP16的栅极、PMOS管MP17的栅极、PMOS管MP18的栅极、PMOS管MP19的栅极、NMOS管MN11的漏极和源极、NMOS管MN10的栅极电连接,NMOS管MN11的栅极接地;

[0036] PMOS管MP16的源极与前述电源输入端电连接,PMOS管MP16的漏极与PMOS管MP17的源极电连接,PMOS管MP17的漏极与PMOS管MP18的源极电连接,PMOS管MP18的漏极与PMOS管MP19的源极电连接,PMOS管MP18的漏极与PMOS管MP19的源极电连接,PMOS管MP19的漏极分别与NMOS管MN9的栅极、NMOS管MN10的漏极电连接,NMOS管MN10的源极接地,NMOS管MN9的漏极分别与PMOS管MP12的栅极和带隙核心模块2的启动开关的控制端电连接,NMOS管MN9的源极接地。

[0037] 启动模块1的工作流程如下:NMOS管MN11充当电容,在电路正常工作之前,电容的下极板接地,OUT端输出为0V,从而将PMOS管MP16、PMOS管MP17、PMOS管MP18和PMOS管MP19导通,在PMOS管MP19的漏端产生高电位的信号,从而将PMOS管MN9管导通,进行放电拉低PMOS

管MN9的漏端电位,即PMOS管MP12、PMOS管MP14和PMOS管MP10的栅极电位,从而将PMOS管MP12、PMOS管MP14和PMOS管MP10导通,从而给带隙核心模块2和运算放大器模块3提供了电流,使得带隙核心模块2和运算放大器模块3正常运转起来,当带隙核心模块2和运算放大器模块3启动后,运算放大器模块3产生一个输出电压到OUT端,NMOS管MN11充当的电容充到一定时间后,OUT端的高电位将PMOS管MP16、PMOS管MP17、PMOS管MP18和PMOS管MP19断开,NMOS管MN10导通,从而拉低PMOS管MN10的漏端电位,从而断开PMOS管MN9,至此,启动模块1关闭,不再起作。

[0038] 在某种实施方式中,第一控制开关单元10可以包括五个、六个或者更多数量的PMOS管,具体可以根据实际需求确定,同样地,第二开关控制单元11和第三控制开关单元12也可以分别包括至少两个NMOS管。

[0039] 在某种实施方式中,第一控制开关单元10、第二控制开关单元11和第三控制开关单元12也可以采用别的开关器件,只需让触发单元1输入到第一控制开关单元10和第二控制开关单元11的信号为第一状态时,第一控制开关单元10导通、第二控制开关单元11关断,让触发单元1输入到第一控制开关单元10和第二控制开关单元11的信号为第二状态时,第一控制开关单元10关断、第二控制开关单元11导通,其中第一状态对应的电压值小于第二状态对应的电压值,另外还需确保第一控制开关单元10导通时第三控制开关单元12导通,第一控制开关单元10关断时,第三控制开关单元12关断。

[0040] 参照图4,本实施例中,带隙核心模块2包括双极晶体管Q1、双极晶体管Q2、电阻R1、电阻R2、电阻R3、电阻R4和PMOS管MP14,PMOS管MP14的源极和电源输入端VDD电连接,PMOS管MP14的栅极分别与PMOS管M12的栅极和运算放大器模块3的输出端电连接,PMOS管MP14的漏极分别与电阻R4一端和PMOS管MP13的源极电连接,电阻R4另一端分别与电阻R2一端和电阻R3一端电连接,电阻R2另一端分别与电阻R1一端和运算放大器模块3的第一输入端电连接,电阻R1另一端与双极晶体管Q1的发射极电连接,P型双极晶体管Q1的基极和集电极均接地,电阻R3另一端分别与P型双极晶体管Q2的发射极和运算放大器模块的第二输入端电连接,P型双极晶体管Q2的基极和集电极均接地。

[0041] 本实施例中,本实施例中,PMOS管MP12、PMOS管MP13、PMOS管MP15、PMOS管MP16、PMOS管MP17、PMOS管MP18和PMOS管MP19均为增强型PMOS管;所述NMOS管MN9、NMOS管MN10和NMOS管MN11均为增强型NMOS管;所述双极晶体管Q1和双极晶体管Q2均为P型双极晶体管。

[0042] 在运算放大电路中,由于一级的运算放大器的增益低,降低了输出电压精度,因此在带隙基准电路一般采用两级结构增加运算放大器的增益。常见的两级结构有简单二级运放结构、套筒式共源共栅结构和折叠共源共栅结构。简单二级运放结构和套筒式共源共栅结构的缺点是输入共模范围小和输出摆幅低。折叠共源共栅结构解决了前两者结构的缺点,但功耗较大,另外还需要偏置电路对运算放大器电路提供偏置电压,让运算放大器电路正常工作起来,偏置电路的加入增添了不稳定性的影响以及带来多余的功耗。

[0043] 本实施例中的运算放大器模块采用的是折叠共源共栅运算放大器电路。为了不用设置额外的偏置电路,本实施例中的折叠共源共栅运算放大器电路包括第一电流镜电路、第二电流镜电路、第三电流镜电路和PMOS管MP1、PMOS管MP2、PMOS管MP3、PMOS管MP4、PMOS管MP5、PMOS管MP6、PMOS管MP7、PMOS管MP8、PMOS管MP10;

[0044] PMOS管MP10的源极和第一电流镜电路分别与电源输入端VDD电连接,PMOS管MP10

的栅极与折叠共源共栅运算放大器电路的输出端电连接,PMOS管MP10的漏极分别与PMOS管MP1的源极、PMOS管MP2的源极、PMOS管MP5的源极和PMOS管MP6的源极电连接;

[0045] PMOS管MP1的栅极、PMOS管MP2的栅极、PMOS管MP3的栅极和PMOS管MP4的栅极分别和所述带隙核心模块的正温度系数电压输出端电连接,PMOS管MP1的漏极与PMOS管MP3的源极电连接,PMOS管MP2的漏极与PMOS管MP4的源极电连接,PMOS管MP3的漏极和PMOS管MP4的漏极分别和第二电流镜电路的第二支路电连接,第二电流镜电路的第一支路与第一电流镜电路的第一支路电连接;

[0046] PMOS管MP5的栅极、PMOS管MP6的栅极、PMOS管MP7的栅极和PMOS管MP8的栅极分别和带隙核心模块2的负温度系数电压输出端电连接,PMOS管MP5的漏极与PMOS管MP7的源极电连接,PMOS管MP6的漏极与PMOS管MP8的源极电连接,PMOS管MP7的漏极和PMOS管MP8的漏极分别和第三电流镜电路的第二支路电连接,第三电流镜电路的第一支路与第一电流镜电路的第二支路电连接。

[0047] 参照图4,本实施例中,第一电流镜电路包括PMOS管MP9和PMOS管MP11,PMOS管MP9为第一电流镜电路的第一支路,PMOS管MP11为第一电流镜电路的第二支路。第二电流镜电路包括NMOS管MN1、NMOS管MN2、NMOS管MN3和NMOS管MN4,NMOS管MN1和NMOS管MN2是第二电流镜电路的第一支路,NMOS管MN3和NMOS管MN4是第二电流镜电路的第二支路。第三电流镜电路包括NMOS管MN5、NMOS管MN6、NMOS管MN7和NMOS管MN8,NMOS管MN5和NMOS管MN6是第三电流镜电路的第一支路,NMOS管MN7和NMOS管MN8是第三电流镜电路的第二支路。在图4中,PMOS管MP11的漏极和NMOS管MN7的漏极的连接端是运算放大器模块3的输出端,该连接端分别与PMOS管MP10的栅极、PMOS管MP14的栅极和PMOS管MP12的栅极电连接。

[0048] 在实际使用时,当PMOS管MP10的电流变化时,其中的一个支路:PMOS管MP5和PMOS管MP7或PMOS管MP6和增强型PMOS管MP8构成的支路电流跟着变化,驱动PMOS管MP7和PMOS管MP8,来改变PMOS管MP10的栅极变化,从而来控制PMOS管MP10的电流变化,在向提供PMOS管MP10合适的栅极电压的同时实现整体的稳定性。另外通过这种自偏置的供电方式,可以不用向PMOS管MP10额外提供偏置电压。

[0049] 如图5所示,传统的折叠共源共栅运算放大器电路输入管均只采用一个输入管,在图5中分别为PMOS管PM1和PMOS管PM2,假设该输入管的长度为L。在实际使用时,如果能降低该输入管的电源电压同样能降低采用该折叠共源共栅运算放大器电路的带隙基准电路的功耗。

[0050] 将原来的输入管的沟道长度拆分成n等份,即设置n个MOS管,n个MOS管的沟道长度总和与输入管的沟道长度相同。假设n=2,连接到同一个输入的两个串联MOS管只能一个处于饱和区,另一个则是处于线性区,否则无法工作,对于NMOS管而言,上管处于饱和区,下管则是线性区,意味着尽管存在两个管子的堆叠,由于处于线性区的MOS管的源漏电压可以非常小,只相当于一个MOS管的源漏电压,进而降低了低压下多管堆叠的实现难度。对于NMOS管而言:

$$[0051] \quad g_m = \sqrt{2\mu C_{ox} \frac{W}{L} i_D} \propto \sqrt{\frac{1}{L}}$$

[0052] 若有n等份,可以得到沟长拆分型晶体管NM0的等效跨导与NM1跨导的关系:

$$[0053] \quad g_{NM0.eff} = \sqrt{\frac{1}{n}} g_{NM1}$$

[0054] 当 $n=2$ 时,

$$[0055] \quad g_{NM0.eff} = \sqrt{\frac{1}{2}} g_{NM1}$$

[0056] 因此在本实施例中的折叠共源共栅运算放大器电路中,PMOS管MP1和PMOS管PM3的沟道长度相同,PMOS管MP2和PMOS管PM4的沟道长度相同,PMOS管MP5和PMOS管PM7的沟道长度相同,PMOS管MP6和PMOS管PM8的沟道长度相同。以PMOS管MP1和PMOS管PM3为例,PMOS管MP1和PMOS管PM3相当于图5中的PMOS管PM1的沟道拆分管。

[0057] 在某种实施方式中,可以将折叠共源共栅运算放大器电路的输入管拆分为更多的PMOS管。

[0058] 本实施例中,PMOS管MP1、PMOS管MP2、PMOS管MP3、PMOS管MP4、PMOS管MP5、PMOS管MP6、PMOS管MP7、PMOS管MP8、PMOS管MP9、PMOS管MP10和PMOS管MP11均为增强型PMOS管。NMOS管MN1、NMOS管MN2、NMOS管MN3、NMOS管MN4、NMOS管MN5、NMOS管MN6、NMOS管MN7和NMOS管MN8均为增强型NMOS管。

[0059] 本实施例中,触发单元13中的电阻R5和PMOS管MP15用于对运算放大器模块3进行米勒补偿,来提高运算放大器模块3的运行稳定性。

[0060] 参照图6,本发明在电源电压为1.8V时即电源输入端VDD处的电压为1.8V时,本发明稳定输出1.2V的基准电压。

[0061] 参照图7,图7表示本发明的输出电压与温度的关系即温漂,当电源电压在1.8V时,本发明在-11摄氏度和67.3摄氏度之间的温漂为 $(1.19322-1.192468) / [1.2 * (67.3+11)] = 9\text{ppm}/^\circ\text{C}$,说明温度变化对本发明的输出电压的影响不大。

[0062] 从图8和图9的仿真图可以得到,本发明的闭环增益为65.7db,相位裕度为 $180^\circ - 64.7^\circ = 115.3^\circ$,说明本发明的运算放大器模块3的稳定性高。

[0063] 从图10可以得到,当本发明在电源电压为1.8V时,整个电路消耗的电路I为841.93nA,整体功耗 $P = VDD * I = 1.8V * 843.93\text{nA} = 1.52\mu\text{W}$,功耗控制为uW级别,与现有带隙基准电路相比,功耗得到降低。

[0064] 上述依据本发明为启示,通过上述的说明内容,相关工作人员完全可以在不偏离本项发明技术思想的范围内,进行多样的变更以及修改。本项发明的技术性范围并不局限于说明书上的内容,必须要根据权利要求范围来确定其技术性范围。

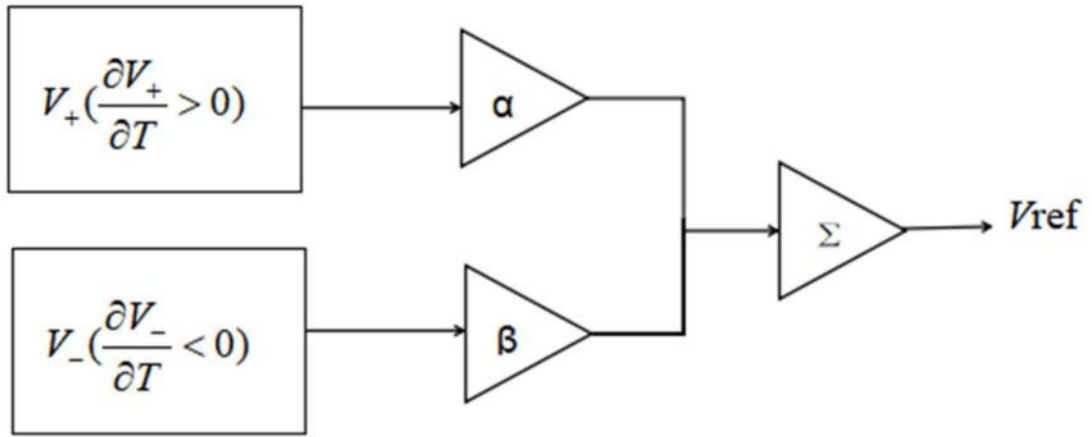


图1

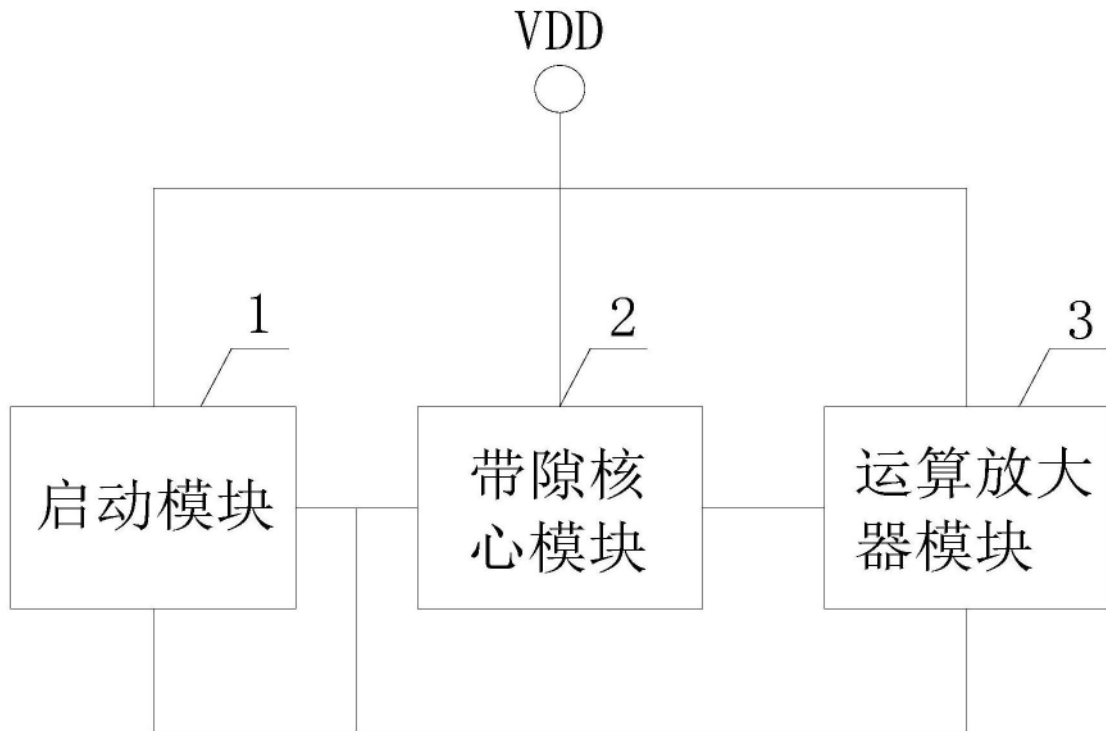


图2

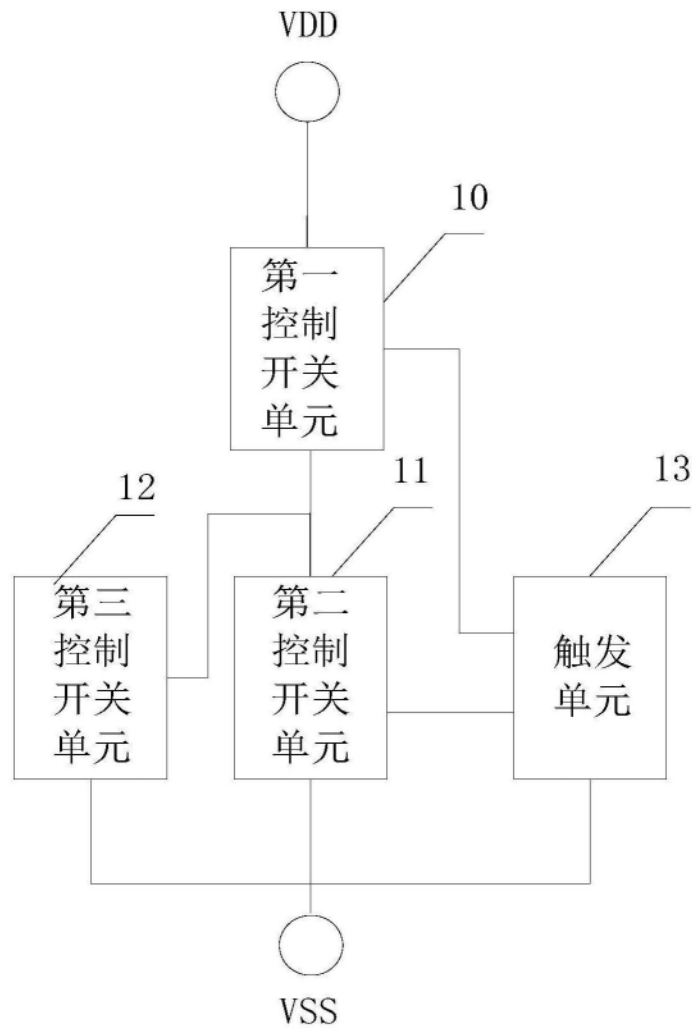


图3

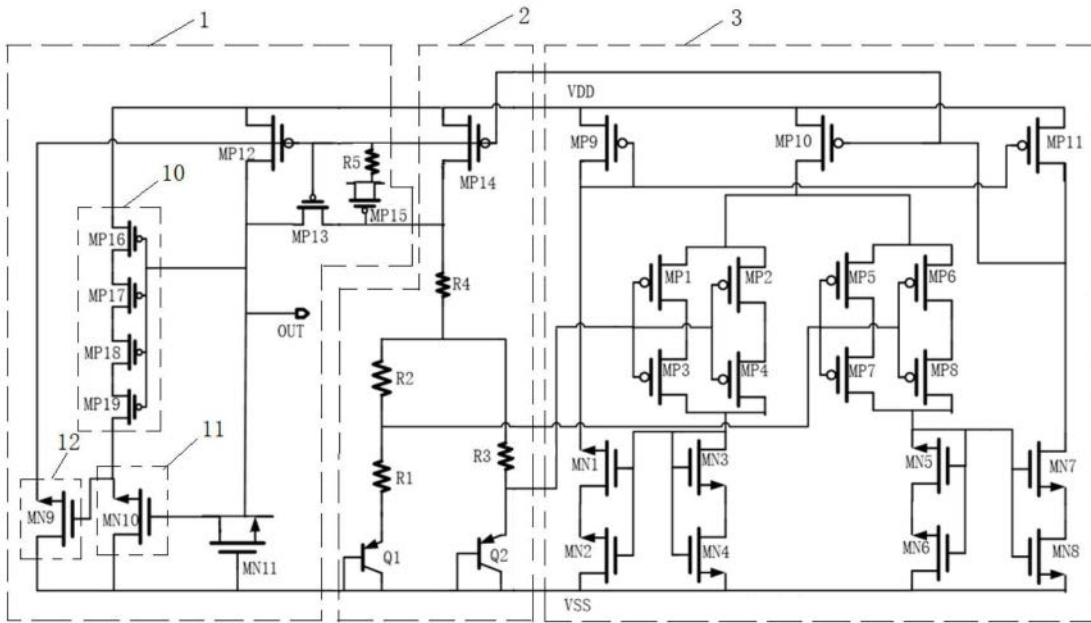


图4

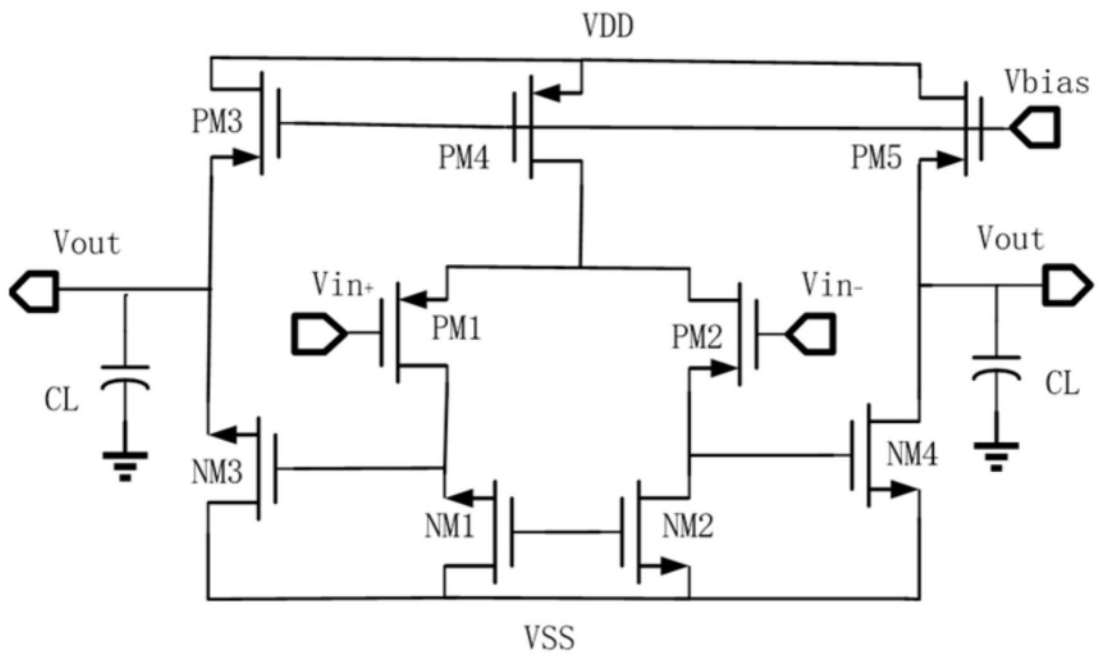


图5

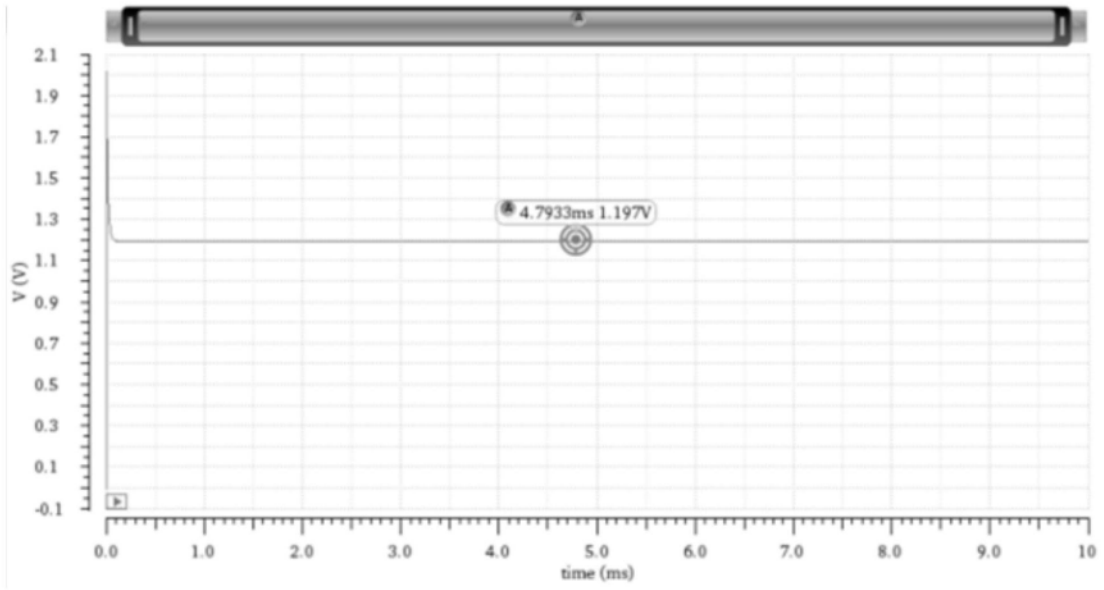


图6

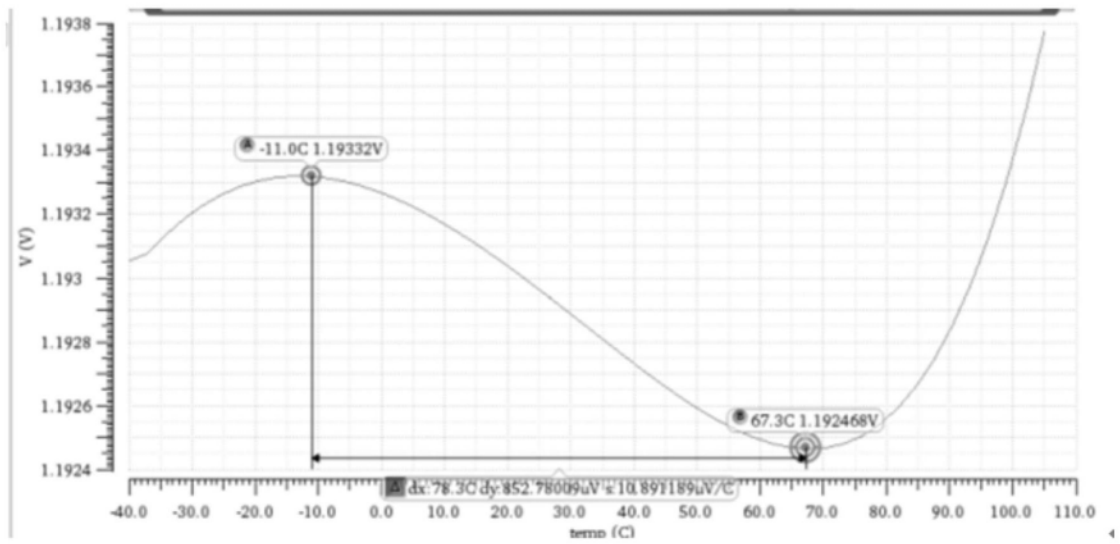


图7

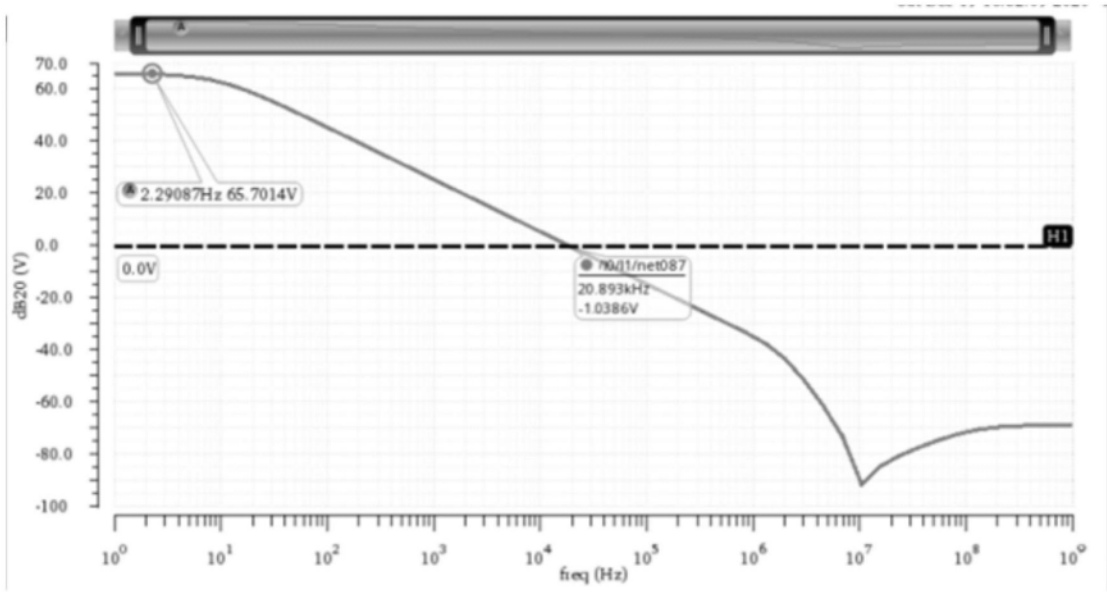


图8

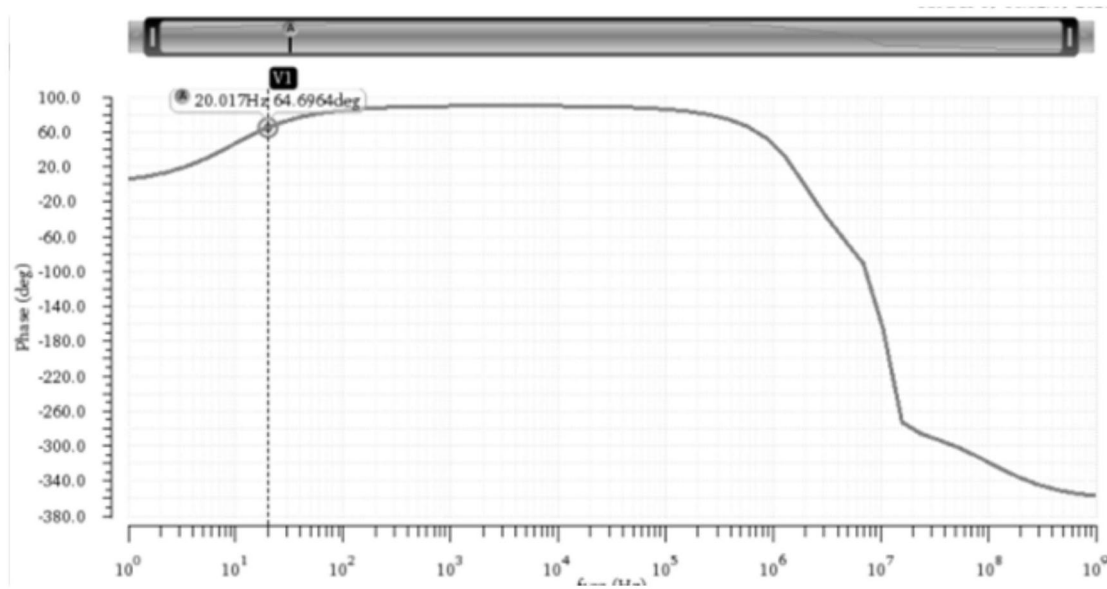


图9

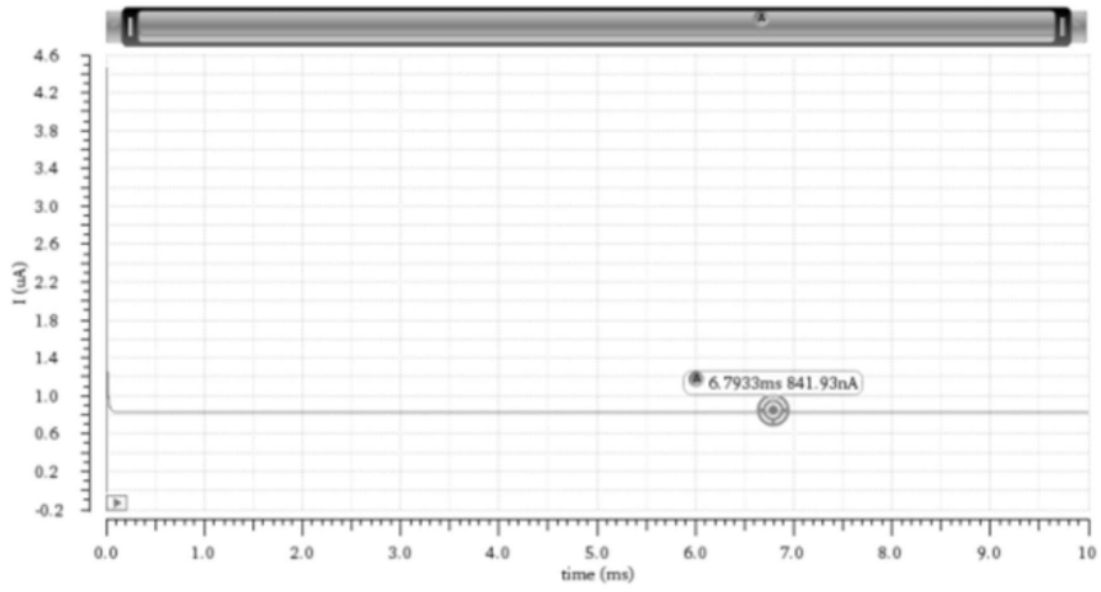


图10