



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0086176
(43) 공개일자 2017년07월26일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2017.01)

(52) CPC특허분류
H01L 27/11551 (2013.01)
H01L 27/11524 (2013.01)

(21) 출원번호 10-2016-0005548
(22) 출원일자 2016년01월15일
심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

김경훈

서울특별시 송파구 동남로 193 (가락동, 가락쌍용아파트) 205동 605호

조상연

경기도 수원시 권선구 동수원로58번길 21 102동 1304호 (곡반정동, 한솔아파트)

(74) 대리인

특허법인 고려

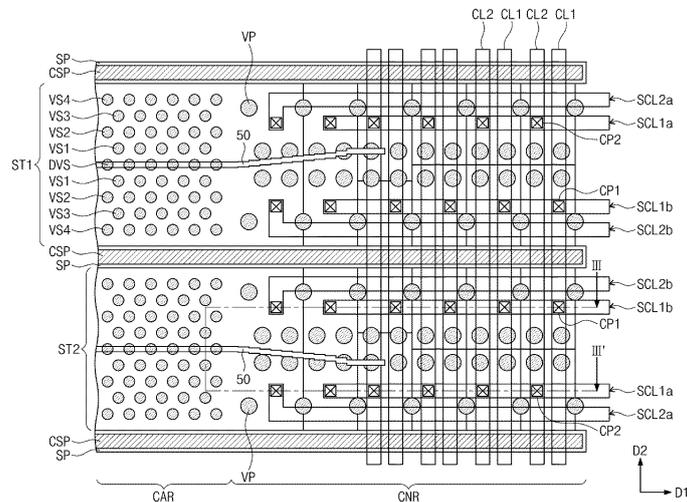
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 3차원 반도체 메모리 장치

(57) 요약

3차원 반도체 메모리 장치가 제공된다. 3차원 반도체 메모리 장치는 셀 어레이 영역 및 연결 영역을 포함하는 기판; 상기 기판 상에 수직적으로 번갈아 적층된 제 1 및 제 2 전극들을 포함하며, 제 1 방향으로 연장되어 상기 연결 영역에서 계단식 구조를 갖는 전극 구조체; 및 상기 전극 구조체 상에서 상기 제 1 방향으로 연장되며, 상기 제 1 방향에 수직하는 제 2 방향에서 서로 이격되는 제 1 및 제 2 스트링 선택 전극들을 포함하되, 상기 제 1 및 제 2 스트링 선택 전극들 각각은 상기 셀 어레이 영역에 배치되는 전극부 및 상기 전극부로부터 상기 제 1 방향으로 연장되어 상기 연결 영역에 배치되는 패드부를 포함하되, 상기 패드부의 폭은 상기 전극부의 폭과 다를 수 있다.

대표도



(52) CPC특허분류

H01L 27/11556 (2013.01)

H01L 2924/1438 (2013.01)

명세서

청구범위

청구항 1

셀 어레이 영역 및 연결 영역을 포함하는 기관;

상기 기관 상에 수직적으로 번갈아 적층된 제 1 및 제 2 전극들을 포함하며, 제 1 방향으로 연장되어 상기 연결 영역에서 계단식 구조를 갖는 전극 구조체; 및

상기 전극 구조체 상에서 상기 제 1 방향으로 연장되며, 상기 제 1 방향에 수직하는 제 2 방향에서 서로 이격되는 제 1 및 제 2 스트링 선택 전극들을 포함하되,

상기 제 1 및 제 2 스트링 선택 전극들 각각은 상기 셀 어레이 영역에 배치되는 전극부 및 상기 전극부로부터 상기 제 1 방향으로 연장되어 상기 연결 영역에 배치되는 패드부를 포함하되, 상기 패드부의 폭은 상기 전극부의 폭과 다른 3차원 반도체 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 스트링 선택 전극들의 전극부들은 동일한 폭을 갖되,

상기 제 1 스트링 선택 전극의 상기 패드부의 폭은 상기 제 2 스트링 선택 전극의 상기 패드부의 폭과 다른 3차원 반도체 메모리 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 및 제 2 스트링 선택 전극들의 상기 전극부들 간의 거리는 상기 제 1 및 제 2 스트링 선택 전극들의 상기 패드부들 간의 거리와 실질적으로 동일한 3차원 반도체 메모리 장치.

청구항 4

제 1 항에 있어서,

상기 제 1 전극들 각각은 상기 연결 영역에서 그것의 상부에 위치하는 상기 제 2 전극에 의해 노출되는 제 1 패드 영역을 가지며, 상기 제 2 전극들 각각은 상기 연결 영역에서 그것의 상부에 위치하는 상기 제 1 전극에 의해 노출되는 제 2 패드 영역을 갖되,

상기 제 2 전극들의 상기 제 2 패드 영역들은 상기 제 1 전극들의 상기 제 1 패드 영역들과 상기 제 1 방향에 대해 수직하는 제 2 방향에서 인접하는 3차원 반도체 메모리 장치.

청구항 5

제 1 항에 있어서,

상기 전극 구조체에서, 최상층에 위치하는 상기 제 2 전극은:

상기 셀 어레이 영역에서 상기 제 1 방향으로 연장되며, 상기 제 2 방향에서 이격되는 제 1 및 제 2 전극부들; 및

상기 연결 영역에서 상기 제 1 및 제 2 전극부들을 수평적으로 연결하며 그것의 아래에 위치하는 상기 제 1 전극의 일부분을 노출시키는 돌출부를 포함하는 3차원 반도체 메모리 장치.

청구항 6

제 5 항에 있어서,

상기 제 1 및 제 2 전극부들은 상기 제 2 방향에서 제 1 폭을 가지며, 상기 돌출부는 상기 제 2 방향에서 상기

제 1 폭보다 큰 제 2 폭을 갖는 3차원 반도체 메모리 장치.

청구항 7

제 5 항에 있어서,

최상층의 상기 제 2 전극은 상기 제 1 및 제 2 전극부들을 수평적으로 이격시키는 분리 영역을 갖되,

상기 제 1 방향에서, 상기 분리 영역의 길이는 상기 제 1 및 제 2 스트링 선택 전극들의 길이보다 큰 3차원 반도체 메모리 장치.

청구항 8

제 1 항에 있어서,

상기 제 1 및 제 2 스트링 선택 전극들 사이에서 최상층의 상기 제 2 전극을 관통하는 분리 절연 패턴을 더 포함하되,

상기 분리 절연 패턴은 상기 셀 어레이 영역에서 상기 제 1 방향으로 연장되는 라인부 및 상기 라인부로부터 연장되며 상기 연결 영역에서 휘어지는 벤딩부(bending portion)를 포함하는 3차원 반도체 메모리 장치.

청구항 9

셀 어레이 영역 및 연결 영역을 포함하는 기판;

상기 기판 상에서 제 1 방향으로 연장되며, 수직적으로 적층된 전극들 및 최상층에 위치하는 더미 전극을 포함하는 전극 구조체;

상기 전극 구조체 상에서 상기 제 1 방향으로 연장되며, 상기 제 1 방향에 수직하는 제 2 방향에서 이격되는 제 1 및 제 2 스트링 선택 전극들; 및

상기 제 1 및 제 2 스트링 선택 전극들 사이에서 상기 더미 전극을 관통하는 분리 절연 패턴을 포함하되,

상기 분리 절연 패턴은 상기 셀 어레이 영역에서 상기 제 1 방향으로 연장되는 라인부(line portion) 및 상기 라인부로부터 연장되며 상기 연결 영역에서 휘어지는 벤딩부(bending portion)를 포함하되,

상기 제 1 방향에서, 상기 분리 절연 패턴의 길이는 상기 전극 구조체의 상기 더미 전극의 길이보다 짧고 상기 제 1 및 제 2 스트링 선택 전극들의 길이보다 긴 3차원 반도체 메모리 장치.

청구항 10

제 9 항에 있어서,

상기 더미 전극은 상기 연결 영역에서 상기 제 1 및 제 2 스트링 선택 전극들에 의해 노출되는 더미 패드 영역을 가지며,

상기 더미 전극 아래의 상기 전극은 상기 더미 패드 영역에 의해 노출되는 패드 영역을 갖되,

상기 패드 영역은 상기 더미 패드 영역과 상기 제 2 방향에서 인접하며, 상기 제 2 방향에서 상기 더미 패드 영역의 폭은 상기 패드 영역의 폭보다 큰 3차원 반도체 메모리 장치.

청구항 11

제 10 항에 있어서,

상기 분리 절연 패턴은 상기 더미 패드 영역의 일부분으로 연장되는 3차원 반도체 메모리 장치.

청구항 12

제 9 항에 있어서,

상기 분리 절연 패턴은 상기 라인부와 상기 벤딩부에서 동일한 폭을 갖는 3차원 반도체 메모리 장치.

청구항 13

제 9 항에 있어서,

상기 제 1 및 제 2 스트링 선택 전극들 각각은 상기 셀 어레이 영역에 배치되는 전극부 및 상기 전극부로부터 상기 제 1 방향으로 연장되어 상기 연결 영역에 배치되는 패드부를 포함하되, 상기 패드부의 폭은 상기 전극부의 폭과 다른 3차원 반도체 메모리 장치.

청구항 14

셀 어레이 영역 및 연결 영역을 포함하는 기관; 및

상기 기관 상에 수직적으로 번갈아 적층된 제 1 및 제 2 전극들을 포함하며, 제 1 방향으로 연장되어 상기 연결 영역에서 계단식 구조를 갖는 전극 구조체를 포함하되,

상기 제 1 전극들 각각은 상기 연결 영역에서 그것의 상부에 위치하는 상기 제 2 전극에 의해 노출되는 제 1 패드 영역을 가지며, 상기 제 2 전극들 각각은 상기 연결 영역에서 그것의 상부에 위치하는 상기 제 1 전극에 의해 노출되는 제 2 패드 영역을 갖되, 상기 제 2 전극들의 상기 제 2 패드 영역들은 상기 제 1 전극들의 상기 제 1 패드 영역들과 상기 제 1 방향에 대해 수직하는 제 2 방향에서 인접하되,

최상층에 위치하는 상기 제 2 전극에서 상기 제 2 패드 영역의 폭은, 나머지 상기 제 2 전극들의 상기 제 2 패드 영역들의 폭보다 큰 3차원 반도체 메모리 장치.

청구항 15

제 14 항에 있어서,

상기 전극 구조체의 상기 제 2 전극들 각각은, 제 1 폭을 가지며 상기 제 1 방향으로 연장되는 전극부 및 상기 제 1 폭보다 작은 제 2 폭을 가지며 상기 전극부로부터 상기 제 1 방향으로 연장되는 돌출부를 포함하되,

상기 전극 구조체에서 최상층의 상기 제 2 전극의 상기 돌출부는 나머지 상기 제 2 전극들의 상기 돌출부들보다 큰 폭을 갖는 3차원 반도체 메모리 장치.

청구항 16

제 15 항에 있어서,

상기 제 2 전극들의 돌출부들 각각은 그것의 아래에 위치하는 상기 제 1 전극의 일측벽에 정렬된 일측벽을 갖는 3차원 반도체 메모리 장치.

청구항 17

제 15 항에 있어서,

최상층에 위치하는 상기 제 2 전극은 상기 셀 어레이 영역에서 상기 제 1 방향으로 연장되며, 상기 제 2 방향에서 서로 이격되는 제 1 및 제 2 전극부들을 포함하되,

상기 돌출부는 상기 연결 영역에서 상기 제 1 및 제 2 전극부들을 수평적으로 연결하는 3차원 반도체 메모리 장치.

청구항 18

제 14 항에 있어서,

상기 전극 구조체에서 최상층의 상기 제 2 전극을 관통하는 분리 절연 패턴을 더 포함하되,

상기 제 1 방향에서, 상기 분리 절연 패턴의 길이는 최상층의 상기 제 2 전극의 길이보다 짧은 3차원 반도체 메모리 장치.

청구항 19

셀 어레이 영역 및 연결 영역을 포함하는 기관;

상기 기관 상에서 제 1 방향으로 연장되며, 상기 제 1 방향에 대해 수직하는 제 2 방향에서 서로 이격되어 배치된 제 1 및 제 2 전극 구조체들로서, 상기 제 1 및 제 2 전극 구조체들 각각은 상기 기관 상에 수직적으로 번갈

아 적층된 제 1 전극들 및 제 2 전극들을 포함하는 것;

상기 제 1 전극 구조체 상에서 상기 제 1 방향으로 연장되는 제 1 쌍의 스트링 선택 전극들;

상기 제 2 전극 구조체 상에서 상기 제 1 방향으로 연장되는 제 2 쌍의 스트링 선택 전극들; 및

상기 제 1 및 제 2 전극 구조체들 사이에서 상기 제 1 방향으로 연장되는 공통 소오스 구조체를 포함하되,

상기 제 1 및 제 2 쌍들에서, 상기 스트링 선택 전극들 각각은,

상기 셀 어레이 영역에서 균일한 폭을 가지며 상기 제 1 방향으로 연장되는 전극부; 및

상기 전극부에서 상기 제 1 방향으로 연장되어 상기 연결 영역에 배치되며 상기 전극부와 다른 폭을 갖는 패드부를 포함하고,

상기 제 1 쌍의 스트링 선택 전극들은, 상기 공통 소오스 구조체를 기준으로 상기 제 2 쌍의 스트링 선택 전극들과 거울(mirror) 대칭적으로 배치되는 3차원 반도체 메모리 장치.

청구항 20

제 19 항에 있어서,

상기 제 1 및 제 2 쌍들 각각은 상기 제 2 방향에서 이격되는 제 1 및 제 2 스트링 선택 전극들을 포함하며,

상기 제 1 스트링 선택 전극의 상기 패드부의 폭은 상기 제 2 스트링 선택 전극의 상기 패드부의 폭과 다른 3차원 반도체 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 3차원 반도체 장치에 관한 것으로서, 더욱 상세하게는 집적도가 보다 향상된 3차원 반도체 메모리 장치에 관한 것이다.

배경 기술

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 장치의 집적도를 증가시키는 것이 요구되고 있다. 반도체 장치의 경우, 그 집적도는 제품의 가격을 결정하는 중요한 요인이기 때문에, 특히 증가된 집적도가 요구되고 있다. 종래의 2차원 또는 평면적 반도체 장치의 경우, 그 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 반도체 장치의 집적도는 증가하고는 있지만 여전히 제한적이다. 이에 따라, 3차원적으로 배열되는 메모리 셀들을 구비하는 3차원 반도체 메모리 장치들이 제안되고 있다.

발명의 내용

해결하려는 과제

[0003] 본원 발명이 해결하고자 하는 과제는 집적도가 보다 향상된 3차원 반도체 메모리 장치를 제공하는데 있다.

[0004] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0005] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치는 셀 어레이 영역 및 연결 영역을 포함하는 기판; 상기 기판 상에 수직적으로 번갈아 적층된 제 1 및 제 2 전극들을 포함하며, 제 1 방향으로 연장되어 상기 연결 영역에서 계단식 구조를 갖는 전극 구조체; 및 상기 전극 구조체 상에서 상기 제 1 방향으로 연장되며, 상기 제 1 방향에 수직하는 제 2 방향에서 서로 이격되는 제 1 및 제 2 스트링 선택 전극들을 포함하되, 상기 제 1 및 제 2 스트링 선택 전극들 각각은 상기 셀 어레이 영역에 배치되는 전

극부 및 상기 전극부로부터 상기 제 1 방향으로 연장되어 상기 연결 영역에 배치되는 패드부를 포함하되, 상기 패드부의 폭은 상기 전극부의 폭과 다를 수 있다.

[0006] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치는 셀 어레이 영역 및 연결 영역을 포함하는 기판; 상기 기판 상에서 제 1 방향으로 연장되며, 수직적으로 적층된 전극들 및 최상층에 위치하는 더미 전극을 포함하는 전극 구조체; 상기 전극 구조체 상에서 상기 제 1 방향으로 연장되며, 상기 제 1 방향에 수직하는 제 2 방향에서 이격되는 제 1 및 제 2 스트링 선택 전극들; 및 상기 제 1 및 제 2 스트링 선택 전극들 사이에서 상기 더미 전극을 관통하는 분리 절연 패턴을 포함하되, 상기 분리 절연 패턴은 상기 셀 어레이 영역에서 상기 제 1 방향으로 연장되는 라인부(line portion) 및 상기 라인부로부터 연장되며 상기 연결 영역에서 휘어지는 벤딩부(bending portion)를 포함한다. 여기서, 상기 제 1 방향에서, 상기 분리 절연 패턴의 길이는 상기 전극 구조체의 상기 더미 전극의 길이보다 짧고 상기 제 1 및 제 2 스트링 선택 전극들의 길이보다 길 수 있다.

[0007] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치는 셀 어레이 영역 및 연결 영역을 포함하는 기판; 및 상기 기판 상에 수직적으로 번갈아 적층된 제 1 및 제 2 전극들을 포함하며, 제 1 방향으로 연장되어 상기 연결 영역에서 계단식 구조를 갖는 전극 구조체를 포함하되, 상기 제 1 전극들 각각은 상기 연결 영역에서 그것의 상부에 위치하는 상기 제 2 전극에 의해 노출되는 제 1 패드 영역을 가지며, 상기 제 2 전극들 각각은 상기 연결 영역에서 그것의 상부에 위치하는 상기 제 1 전극에 의해 노출되는 제 2 패드 영역을 갖되, 상기 제 2 전극들의 상기 제 2 패드 영역들은 상기 제 1 전극들의 상기 제 1 패드 영역들과 상기 제 1 방향에 대해 수직하는 제 2 방향에서 인접할 수 있다. 여기서, 최상층에 위치하는 상기 제 2 전극에서 상기 제 2 패드 영역의 폭은, 나머지 상기 제 2 전극들의 상기 제 2 패드 영역들의 폭보다 클 수 있다.

[0008] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치는 셀 어레이 영역 및 연결 영역을 포함하는 기판; 상기 기판 상에서 제 1 방향으로 연장되며, 상기 제 1 방향에 대해 수직하는 제 2 방향에서 서로 이격되어 배치된 제 1 및 제 2 전극 구조체들로서, 상기 제 1 및 제 2 전극 구조체들 각각은 상기 기판 상에 수직적으로 번갈아 적층된 제 1 전극들 및 제 2 전극들을 포함하는 것; 상기 제 1 전극 구조체 상에서 상기 제 1 방향으로 연장되는 제 1 쌍의 스트링 선택 전극들; 상기 제 2 전극 구조체 상에서 상기 제 1 방향으로 연장되는 제 2 쌍의 스트링 선택 전극들; 및 상기 제 1 및 제 2 전극 구조체들 사이에서 상기 제 1 방향으로 연장되는 공통 소오스 구조체를 포함한다. 여기서, 상기 제 1 및 제 2 쌍들에서, 상기 스트링 선택 전극들 각각은, 상기 셀 어레이 영역에서 균일한 폭을 가지며 상기 제 1 방향으로 연장되는 전극부; 및 상기 전극부에서 상기 제 1 방향으로 연장되어 상기 연결 영역에 배치되며 상기 전극부와 다른 폭을 갖는 패드부를 포함하고, 상기 제 1 쌍의 스트링 선택 전극들은, 상기 공통 소오스 구조체를 기준으로 상기 제 2 쌍의 스트링 선택 전극들과 거울(mirror) 대칭적으로 배치될 수 있다.

[0009] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0010] 본 발명의 실시예들에 따르면, 전극 구조체는 기판 상에 수직적으로 번갈아 적층된 제 1 및 제 2 전극들을 포함하며, 셀 어레이 영역에서 일 방향으로 연장되며 연결 영역에서 제 1 전극들의 단부들에 의해 형성되는 제 1 계단 구조와 제 2 전극들의 단부들에 의해 형성되는 제 2 계단 구조를 가질 수 있다. 여기서, 제 1 계단 구조와 제 2 계단 구조는 제 1 및 제 2 전극들의 연장 방향(즉, 장축 방향)에 대해 수직하는 방향(즉, 단축 방향)에서 서로 인접할 수 있다.

[0011] 이러한 전극 구조체 상에 수평적으로 서로 이격되는 제 1 및 제 2 스트링 선택 전극들이 배치되며, 제 1 및 제 2 스트링 선택 전극들은 셀 어레이 영역에서 일 방향으로 연장되며 연결 영역에서 휘어지는 분리 절연 패턴에 의해 전극 구조체 상에서 수평적으로 서로 분리될 수 있다.

[0012] 분리 절연 패턴이 연결 영역에서 휘어지는 구조를 가지므로, 분리 절연 패턴에 의해 제 1 및 제 2 스트링 선택 전극들 아래에 위치하는 더미 전극이 수평적으로 분리되는 것을 방지할 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 개략적인 구성을 설명하기 위한 도면이다.

도 2는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 회로도이다.

도 3 및 도 4는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 평면도들이다.

도 5는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 전극 구조체를 나타내는 사시도이다.

도 6 및 도 7은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 단면도들로서, 각각 도 3의 I-I' 선 및 II-II' 선을 따라 자른 단면들이다.

도 8은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 단면도들로서, 도 4의 III-III' 선을 따라 자른 단면이다.

도 9는 도 6의 A 부분을 확대한 도면이다.

도 10a, 도 10b, 및 도 10c는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치에서 전극 구조체를 구성하는 전극들의 평면도들이다.

도 10d는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 분리 절연 패턴을 나타내는 도면이다.

도 11 내지 도 16은 본 발명의 다양한 실시예들에 따른 3차원 반도체 메모리 장치의 평면도들이다.

도 17은 도 16에 도시된 3차원 반도체 메모리 장치에서 터미 전극의 평면도이다.

도 18은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 단면도로서, 도 4의 III-III' 선을 따라 자른 단면이다.

도 19는 도 18의 A 부분을 확대한 도면이다.

도 20은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 단면도로서, 도 4의 III-III' 선을 따라 자른 단면이다.

도 21 내지 도 24는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 전극 구조체를 형성하는 방법을 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0015] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 또한, 본 명세서에서, 어떤 막이 다른 막 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막이 개재될 수도 있다는 것을 의미한다.
- [0016] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- [0017] 이하, 도면들을 참조하여, 본 발명의 실시예들에 대해 상세히 설명하기로 한다.
- [0018] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 개략적인 구성을 설명하기 위한 도면이다.
- [0019] 도 1을 참조하면, 3차원 반도체 메모리 장치는 셀 어레이 영역(CAR), 및 주변 회로 영역을 포함한다. 주변 회로 영역은 로우 디코더 영역들(ROW DCR), 페이지 버퍼 영역(PBR), 칼럼 디코더 영역(COL DCR), 및 제어 회로 영역

(미도시)을 포함할 수 있다. 실시예들에 따르면, 셀 어레이 영역(CAR)과 로우 디코더 영역들(ROW DCR) 사이에 연결 영역(CNR)이 배치될 수 있다.

- [0020] 셀 어레이 영역(CAR)에는 복수 개의 메모리 셀들로 구성된 메모리 셀 어레이가 배치된다. 실시예들에서, 메모리 셀 어레이는 3차원적으로 배열된 메모리 셀들 및 메모리 셀들과 전기적으로 연결된 복수 개의 워드 라인들 및 비트 라인들을 포함한다.
- [0021] 로우 디코더 영역(ROW DCR)에는 메모리 셀 어레이의 워드라인들을 선택하는 로우 디코더가 배치되며, 연결 영역(CNR)에는 메모리 셀 어레이와 로우 디코더를 전기적으로 연결하는 콘택 플러그들 및 배선들을 포함하는 배선 구조체가 배치될 수 있다. 로우 디코더는 어드레스 정보에 따라, 메모리 셀 어레이의 워드 라인들 중 하나를 선택한다. 로우 디코더는 제어 회로의 제어 신호에 응답하여 워드라인 전압을 선택된 워드 라인 및 비선택된 워드 라인들로 각각 제공할 수 있다.
- [0022] 페이지 버퍼 영역(PBR)에는 메모리 셀들에 저장된 정보를 판독하기 위한 페이지 버퍼가 배치될 수 있다. 페이지 버퍼는 동작 모드에 따라, 메모리 셀들에 저장된 데이터를 임시로 저장하거나, 메모리 셀들에 저장된 데이터를 감지할 수 있다. 페이지 버퍼는 프로그램 동작 모드시 기입 드라이버(write driver) 회로로 동작하며, 읽기 동작 모드시 감지 증폭기(sense amplifier) 회로로서 동작할 수 있다.
- [0023] 컬럼 디코더 영역(COL DCR)에는 메모리 셀 어레이의 비트 라인들과 연결되는 컬럼 디코더가 배치된다. 컬럼 디코더는 페이지 버퍼와 외부 장치(예를 들면, 메모리 컨트롤러) 사이에 데이터 전송 경로를 제공할 수 있다.
- [0024] 도 2는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 회로도이다.
- [0025] 도 2를 참조하면, 실시예들에 따른 3차원 반도체 메모리 장치의 셀 어레이는 공통 소오스 라인(CSL), 복수개의 비트 라인들(BL0-BL2) 및 공통 소오스 라인(CSL)과 비트 라인들(BL0-BL2) 사이에 배치되는 복수개의 셀 스트링들(CSTR)을 포함할 수 있다.
- [0026] 비트 라인들(BL0-BL2)은 2차원적으로 배열되며, 비트 라인들(BL0-BL2) 각각에 복수개의 셀 스트링들(CSTR)이 병렬로 연결될 수 있다. 복수 개의 셀 스트링들(CSTR)은 공통 소오스 라인(CSL)에 공통으로 연결될 수 있다. 즉, 복수 개의 비트 라인들(BL0-BL2)과 하나의 공통 소오스 라인(CSL) 사이에 복수 개의 셀 스트링들(CSTR)이 배치될 수 있다. 공통 소오스 라인(CSL)은 복수 개로 2차원적으로 배열될 수 있다. 여기서, 공통 소오스 라인들(CSL)에는 전기적으로 동일한 전압이 인가될 수 있거나, 또는 공통 소오스 라인들(CSL) 각각이 전기적으로 제어될 수도 있다.
- [0027] 실시예들에 따르면, 셀 스트링들(CSTR) 각각은 직렬 연결된 스트링 선택 트랜지스터들(SST1, SST2), 직렬 연결된 메모리 셀들(MCT), 접지 선택 트랜지스터(GST)로 구성될 수 있다. 또한, 메모리 셀들(MCT) 각각은 데이터 저장 요소(data storage element)를 포함한다.
- [0028] 일 예로, 각각의 셀 스트링들(CSTR)은 직렬 연결된 제 1 및 제 2 스트링 선택 트랜지스터들(SST1, SST2)을 포함할 수 있으며, 제 2 스트링 선택 트랜지스터(SST2)는 비트 라인(BL0-BL2)에 접속될 수 있으며, 접지 선택 트랜지스터(GST)는 공통 소오스 라인(CSL)에 접속될 수 있다. 메모리 셀들(MCT)은 제 1 스트링 선택 트랜지스터(SST1)와 접지 선택 트랜지스터(GST) 사이에 직렬 연결될 수 있다.
- [0029] 나아가, 셀 스트링들(CSTR) 각각은 제 1 스트링 선택 트랜지스터(SST1)와 메모리 셀(MCT) 사이에 연결된 더미 셀을 더 포함할 수 있다. 도면에는 도시하지 않았으나, 더미 셀은 접지 선택 트랜지스터(GST)와 메모리 셀(MCT) 사이에도 연결될 수 있다.
- [0030] 다른 예로, 각각의 셀 스트링들(CSTR)에서 접지 선택 트랜지스터(GST)는, 스트링 선택 트랜지스터(SST1, SST2)와 유사하게, 직렬 연결된 복수 개의 모오스 트랜지스터들로 구성될 수도 있다. 또한, 각각의 셀 스트링들(CSTR)에서 하나의 스트링 선택 트랜지스터를 포함할 수도 있다.
- [0031] 제 1 스트링 선택 트랜지스터(SST1)는 제 1 스트링 선택 라인(SSL1)에 의해 제어될 수 있으며, 제 2 스트링 선택 트랜지스터(SST2)는 제 2 스트링 선택 라인(SSL1)에 의해 제어될 수 있다. 메모리 셀들(MCT)은 복수 개의 워드 라인들(WL0-WLn)에 의해 제어될 수 있으며, 더미 셀들은 더미 워드 라인(DWL)에 의해 제어될 수 있다. 또한, 접지 선택 트랜지스터(GST)는 접지 선택 라인(GSL)에 의해 제어될 수 있다. 공통 소오스 라인(CSL)은 접지 선택 트랜지스터들(GST)의 소오스들에 공통으로 연결될 수 있다.
- [0032] 하나의 셀 스트링(CSTR)은 공통 소오스 라인들(CSL)로부터의 거리가 서로 다른 복수개의 메모리 셀들(MCT)로 구

성되기 때문에, 공통 소오스 라인들(CSL)과 상기 비트 라인들(BL0-BL2) 사이에는 다층의 워드 라인들(WL0-WLn, DWL)이 배치될 수 있다.

- [0033] 공통 소오스 라인들(CSL)로부터 실질적으로 동일한 거리에 배치되는, 메모리 셀들(MCT)의 게이트 전극들은 워드 라인들(WL0-WLn, DWL) 중의 하나에 공통으로 연결되어 등전위 상태에 있을 수 있다. 이와 달리, 상기 메모리 셀들(MCT)의 게이트 전극들이 상기 공통 소오스 라인들(CSL)으로부터 실질적으로 동일한 거리에 배치되더라도, 서로 다른 행 또는 열에 배치되는 게이트 전극들이 독립적으로 제어될 수 있다.
- [0034] 도 3 및 도 4는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 평면도들로서, 도 3은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 셀 어레이 영역을 나타내며, 도 4는 셀 어레이 영역 및 연결 영역을 도시한다.
- [0035] 도 5는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 전극 구조체를 나타내는 사시도이다.
- [0036] 도 6 및 도 7은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 단면도들로서, 각각 도 3의 I-I' 선 및 II-II' 선을 따라 자른 단면들이다. 도 8은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 단면도들로서 도 4의 III-III' 선을 따라 자른 단면이다. 도 9는 도 6의 A 부분을 확대한 도면이다.
- [0037] 도 10a, 도 10b, 및 도 10c는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치에서 전극 구조체를 구성하는 전극들의 평면도들이며, 도 10d는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 분리 절연 패턴을 나타내는 도면이다.
- [0038] 도 3, 도 4, 도 5, 도 6, 및 도 7을 참조하면, 기관(10) 상에서 제 1 방향(D1)으로 연장되며, 기관(10)의 상부면에 대해 수직하는 제 3 방향(D3)을 따라 적층된 복수 개의 전극들(EL1, EL2)을 포함하는 제 1 및 제 2 전극 구조체들(ST1, ST2)이 배치될 수 있다.
- [0039] 기관(10)은 셀 어레이 영역(CAR) 및 연결 영역(CNR)을 포함하며, 반도체 물질로 이루어질 수 있다. 예를 들어, 기관(10)은 실리콘(Si), 게르마늄(Ge), 실리콘 게르마늄(SiGe), 갈륨비소(GaAs), 인듐갈륨비소(InGaAs), 알루미늄갈륨비소(AlGaAs), 또는 이들의 혼합물 중 적어도 하나를 포함할 수 있다. 기관(10)은 벌크(bulk) 실리콘 기관, 실리콘-온-인슐레이터(silicon on insulator: SOI) 기관, 게르마늄 기관, 게르마늄-온-인슐레이터(germanium on insulator: GOI) 기관, 실리콘-게르마늄 기관, 또는 선택적 에피택시얼 성장(selective epitaxial growth: SEG)을 수행하여 획득한 에피택시얼 박막의 기관일 수 있다. 다른 예로, 기관(10)은 절연 물질로 이루어질 수 있으며, 기관(10)은 단일막 또는 복수 개의 박막들을 포함할 수 있다. 예를 들어, 기관(10)은 실리콘 산화막, 실리콘 질화막 또는 저유전막 등일 수 있다.
- [0040] 제 1 및 제 2 전극 구조체들(ST1, ST2)은, 도 3, 도 4, 및 도 5에 도시된 바와 같이, 셀 어레이 영역(CAR)에서 연결 영역(CNR)으로 제 1 방향(D1)을 따라 연장될 수 있으며, 제 2 방향(D2)에서 서로 이격될 수 있다. 실시예들에 따르면, 제 1 및 제 2 전극 구조체들(ST1, ST2) 각각은 기관(10) 상에 수직적으로 번갈아 적층된 제 1 전극들(EL1) 및 제 2 전극들(EL2)을 포함할 수 있다. 제 1 및 제 2 전극들(EL1, EL2)은 도전 물질을 포함할 수 있으며, 예를 들어, 전극들(EL1, EL2)은 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, 텅스텐, 구리, 알루미늄 등), 도전성 금속산화물(ex, 질화티타늄, 질화탄탈륨 등) 또는 전이금속(ex, 티타늄, 탄탈륨 등) 등에서 선택된 적어도 하나를 포함할 수 있다. 또한, 제 1 및 제 2 전극 구조체들(ST1, ST2)은 제 1 및 제 2 전극들(EL1, EL2) 사이에 개재되는 절연막들(미도시)을 포함할 수 있다.
- [0041] 제 1 및 제 2 전극 구조체들(ST1, ST2) 각각은 서로 대향하는 제 1 및 제 2 측벽들을 가질 수 있으며, 제 1 및 제 2 측벽들은 기관(10)의 상부면에 대해 실질적으로 수직할 수 있다.
- [0042] 제 1 및 제 2 전극 구조체들(ST1, ST2)은 연결 영역(CNR)에서 계단식 구조를 가질 수 있다. 즉, 연결 영역(CNR)에서, 제 1 및 제 2 전극 구조체들(ST1, ST2)의 높이는 셀 어레이 영역(CAR)에서 멀어질수록 감소될 수 있다.
- [0043] 보다 상세하게, 도 5를 참조하면, 제 1 및 제 2 전극 구조체들(ST1, ST2)에서, 제 1 전극들(EL1) 각각은 연결 영역(CNR)에서 그것의 상부에 위치하는 제 2 전극(EL2)에 의해 노출되는 제 1 패드 영역(P1)을 가질 수 있으며, 제 2 전극들(EL2) 각각은 그것의 상부에 위치하는 제 1 전극(EL1)에 의해 노출되는 제 2 패드 영역(P2)을 가질 수 있다. 평면적 관점에서, 제 1 전극들(EL1)의 제 1 패드 영역들(P1)은 제 1 방향(D1)을 따라 배열될 수 있으며, 제 2 전극들(EL2)의 제 2 패드 영역들(P2) 또한 제 1 방향(D1)을 따라 배열될 수 있다. 즉, 제 1 및 제 2 전극 구조체들(ST1, ST2) 각각에서, 제 1 전극들(EL1)의 제 1 패드 영역들(P1)은 수평적으로 및 수직적으로 서로 다른 위치들에 배치될 수 있다. 마찬가지로, 제 2 전극들(EL2)의 제 2 패드 영역들(P2) 또한 수평적으로 및

수직적으로 서로 다른 위치들에 배치될 수 있다. 그리고, 제 1 전극들(EL1)의 제 1 패드 영역들(P1)은 제 2 전극들(EL2)의 제 2 패드 영역들(P2)과 제 2 방향(D2)에서 인접할 수 있다.

[0044] 이와 같은 제 1 및 제 2 전극 구조체들(ST1, ST2) 각각은 연결 영역(CNR)에서 노출되는 제 1 전극들(EL1)의 제 1 패드 영역들(P1)에 의해 형성되는 제 1 계단 구조(first stair step structure)와, 연결 영역(CNR)에서 노출되는 제 2 전극들(EL2)의 제 2 패드 영역들(P2)에 의해 형성되는 제 2 계단 구조(second stair step structure)를 가질 수 있다. 상세하게, 제 1 전극들(EL1)의 제 1 패드 영역들(P1)에 의해 형성된 제 1 계단 구조는 제 1 방향(D1)을 따라 내려가는 계단 형태를 가질 수 있다. 이와 마찬가지로, 제 2 전극들(EL2)의 제 2 패드 영역들(P2)에 의해 형성된 제 2 계단 구조는 제 1 방향(D1)을 따라 내려가는 계단 형태를 가질 수 있다. 그리고, 제 2 계단 구조는 제 2 방향(D2)에서 제 1 계단 구조와 인접할 수 있다.

[0045] 나아가, 제 1 전극 구조체(ST1)의 제 1 계단 구조는 및 제 2 전극 구조체(ST2)의 제 1 계단 구조와 제 2 방향(D2)에서 인접하도록 기판(10) 상에 배치될 수 있다. 다시 말해, 제 1 전극 구조체(ST1)의 제 1 패드 영역들(P1)과 제 2 전극 구조체(ST2)의 제 1 패드 영역들(P1)이 제 2 방향(D2)에서 인접할 수 있다. 즉, 제 2 방향(D2)에서 인접하는 제 1 및 제 2 전극 구조체들(ST1, ST2)은 제 2 방향(D2)에 평행한 가상선을 기준으로 연결 영역(CNR)에서 미러(mirror) 대칭으로 배치될 수 있다.

[0046] 실시예들에 따르면, 제 1 및 제 2 전극 구조체들(ST1, ST2) 각각에서, 최상층에 위치하는 제 2 전극(EL2)은 도 2를 참조하여 설명된 더미 메모리 셀들과 연결되는 더미 워드 라인(이하, 더미 전극(EL2d))일 수 있다. 최하층의 제 1 전극(EL1)은 도 2를 참조하여 설명된 접지 선택 트랜지스터들과 연결되는 접지 선택 라인일 수 있다. 그리고, 최상층의 더미 전극(EL2d) 및 최하층의 제 1 전극 사이의 제 1 및 제 2 전극들(EL1, EL2)은 도 2를 참조하여 설명된 메모리 셀들(도 2의 MCT)과 연결되는 워드 라인들(WL0-WLn)일 수 있다.

[0047] 나아가, 실시예들에 따르면, 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb)이 각각의 제 1 및 제 2 전극 구조체들(ST1, ST2) 상에 배치될 수 있다. 일 예에서, 제 1 스트링 선택 전극(SSLa)은 각 전극 구조체(ST1, ST2) 상에 적층된 제 1 하부 및 상부 선택 전극들(SSL1a, SSL2a)을 포함할 수 있으며, 제 2 스트링 선택 전극(SSLb)은 각 전극 구조체(ST1, ST2) 상에 적층된 제 2 하부 및 상부 선택 전극들(SSL1b, SSL2b)을 포함할 수 있다.

[0048] 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb)은 각 전극 구조체(ST1, ST2) 상에서 제 1 방향(D1)으로 연장되며, 제 2 방향(D2)에서 서로 이격되어 배치될 수 있다. 즉, 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb)은 기판(10)으로부터 동일한 수직적 거리에 배치되며, 수평적으로 서로 이격될 수 있다.

[0049] 이에 더하여, 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb)은 제 1 방향(D1)에서, 전극 구조체들(ST1, ST2)보다 짧을 수 있다. 즉, 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb)은 제 1 방향(D1)에서, 전극 구조체(ST1, ST2)의 최소 길이, 즉, 더미 전극(EL2d)의 길이보다 짧은 길이를 가질 수 있다. 이에 따라, 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb)은 연결 영역(CNR)에서 제 1 및 제 2 전극 구조체들(ST1, ST2)의 제 1 및 제 2 패드 영역들(P1, P2)을 노출시킬 수 있다. 그리고, 제 1 및 제 2 상부 스트링 선택 전극들(SSL2a, SSL2b)은 연결 영역(CNR)에서 제 1 및 제 2 하부 스트링 선택 전극들(SSL1a, SSL1b)의 단부들을 노출시킬 수 있다.

[0050] 실시예들에서, 제 1 스트링 선택 전극(SSLa)은 전극 구조체의 제 1 측벽에 정렬된 일측벽을 가질 수 있으며, 제 2 스트링 선택 전극(SSLb)은 전극 구조체의 제 2 측벽에 정렬된 일측벽을 가질 수 있다. 그리고, 셀 어레이 영역(CAR)에서, 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb) 각각은 제 1 및 제 2 전극 구조체들(ST1, ST2)의 폭(W1)의 1/2보다 작은 폭(Wc)을 가질 수 있다.

[0051] 실시예들에 따르면, 제 1 및 제 2 전극 구조체들(ST1, ST2) 상에 배치되는 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb)은 도 2를 참조하여 설명된 제 1 및 제 2 스트링 선택 트랜지스터들(SST1, SST2)과 연결되는 제 1 및 제 2 스트링 선택 라인들(SSL1, SSL2)일 수 있다.

[0052] 실시예들에 따르면, 분리 절연 패턴(50)이 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb) 사이에 배치될 수 있으며, 분리 절연 패턴(50)은 셀 어레이 영역(CAR)에서 연결 영역(CNR)으로 제 1 방향(D1)을 따라 연장될 수 있다. 제 1 방향(D1)에서, 분리 절연 패턴(50)의 길이는 더미 전극(EL2d)의 길이보다 작을 수 있으며, 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb)의 길이보다 클 수 있다. 그리고, 분리 절연 패턴(50)은 수직적으로 연장되어 더미 전극(EL2d)을 관통할 수 있다. 실시예들에서, 분리 절연 패턴(50)의 단부는, 평면적 관점에서, 더미 전극(EL2d) 아래에 위치하는 제 1 전극(EL1)의 제 1 패드 영역(P1)과 이격될 수 있다.

[0053] 실시예들에서, 분리 절연 패턴(50)은 도 10d에 도시된 바와 같이, 셀 어레이 영역(CAR)에서 제 1 방향(D1)으로 연장되는 라인부(50a)와 라인부(50a)로부터 연장되어 연결 영역(CNR)에 배치되는 밴딩부(50b)를 포함할 수

있다. 여기서, 벤딩부(50b)는 제 1 방향(D1)과 평행한 가상선에 대해 소정 각도(θ) 휘어질 수 있다. 분리 절연 패턴(50)은 실질적으로 균일한 폭을 가지며 셀 어레이 영역(CAR)에서 연결 영역(CNR)으로 연장될 수 있다. 즉, 분리 절연 패턴(50)의 라인부(50a)의 폭과 벤딩부(50b)의 폭의 실질적으로 동일할 수 있다.

[0054] 제 1 전극 구조체(ST1) 상의 분리 절연 패턴(50)의 벤딩부(50b)와 제 2 전극 구조체(ST2) 상의 분리 절연 패턴(50)의 벤딩부(50b)는, 도 4에 도시된 바와 같이, 서로 반대 방향으로 휘어질 수 있다. 즉, 제 1 및 제 2 전극 구조체들(ST1, ST2) 상의 분리 절연 패턴들(50)은 제 1 방향(D1)과 평행한 가상선을 기준으로 미리 대칭적으로 배치될 수 있다.

[0055] 보다 상세하게, 도 5 및 도 10a를 참조하면, 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb) 각각은 셀 어레이 영역(CAR)에 배치되는 전극부(EP) 및 전극부(EP)로부터 연장되어 연결 영역(CNR)에 배치되는 패드부(PPa, PPb)를 포함할 수 있다. 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb) 각각에서, 패드부(PPa, PPb)의 폭(Wa, Wb)은 전극부(EP)의 폭(Wc)과 다를 수 있다. 또한, 제 1 스트링 선택 전극(SSLa)의 패드부(PPa)는 제 1 폭(Wa)을 가질 수 있으며, 제 2 스트링 선택 전극(SSLb)의 패드부(PPb)는 제 1 폭(Wa)과 다른 제 2 폭(Wb)을 가질 수 있다. 예를 들어, 제 1 스트링 선택 전극(SSLa)의 패드부(PPa)에서 제 1 폭(Wa)은 전극부(EP)에서의 폭(Wc)보다 작을 수 있으며, 제 2 스트링 선택 전극(SSLb)의 패드부(PPb)에서 제 2 폭(Wb)은 전극부(EP)에서 폭(Wc)보다 클 수 있다.

[0056] 이에 더하여, 제 1 전극 구조체(ST1) 상에 배치된 제 1 스트링 선택 전극(SSLa)에서, 패드부(PPa)의 폭은 전극부(EP)에서 멀어질수록 점차 감소할 수 있으며, 제 1 전극 구조체(ST1) 상에 배치된 제 2 스트링 선택 전극(SSLb)에서 패드부(PPb)의 폭은 전극부(EP)에서 멀어질수록 점차 증가할 수 있다. 또한, 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb)의 전극부들(EP) 사이의 거리는 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb)의 패드부들(PPa, PPb) 사이의 거리와 실질적으로 동일할 수 있다.

[0057] 계속해서, 도 5를 참조하면, 제 1 및 제 2 전극 구조체들(ST1, ST2) 각각에서, 제 1 전극들(EL1) 각각은 셀 어레이 영역(CAR)에서 연결 영역(CNR)으로 균일한 폭(W1)을 가지며 연장되는 라인 형태를 가질 수 있다. 제 1 전극들(EL1)은 기관(10)으로부터의 수직적 거리가 증가할수록, 제 1 방향(D1)에서의 길이가 감소될 수 있다.

[0058] 도 5 및 도 10b를 참조하면, 제 2 전극들(EL2) 각각은 셀 어레이 영역(CAR)에서 연결 영역(CNR)으로 연장될 수 있으며, 셀 어레이 영역(CAR)에서 균일한 폭(Wc)을 갖는 전극부(EP) 및 전극부(EP)로부터 연장되며 전극부(EP)의 폭보다 작은 폭(W2)을 갖는 돌출부(PP)를 포함할 수 있다. 여기서, 제 2 전극의 전극부(EP)의 폭(W1)은 제 1 전극(EL1)의 폭(W1)과 동일할 수 있으며, 제 2 전극의 돌출부(PP)에 제 2 패드 영역(P2)이 제공될 수 있다.

[0059] 각 전극 구조체(ST1, ST2)에서, 제 2 전극들(EL2)은 기관(10)으로부터의 수직적 거리가 증가할수록, 제 1 방향(D1)에서의 길이가 감소될 수 있다. 이에 따라, 도 5에 도시된 바와 같이, 제 2 전극들(EL2) 각각은, 평면적 관점에서, 제 1 전극(EL1)의 제 1 패드 영역(P1)을 제외하고, 그것의 아래에 위치하는 제 1 전극(EL1)과 중첩될 수 있다. 그리고 제 2 전극(EL2)의 돌출부(PP)는 그것의 아래에 위치하는 제 1 전극(EL1)의 일측벽에 정렬될 수 있다. 또한, 제 2 전극들(EL2) 각각은 그것의 상부에 위치하는 제 1 전극(EL1)에 의해 돌출부(PP)가 노출될 수 있다.

[0060] 제 1 및 제 2 전극 구조체들(ST1, ST2) 각각에서, 제 1 패드 영역들(P1)은 제 2 전극들(EL2)에 의해 노출된 제 1 전극들(EL1)의 일부분들에 제공될 수 있으며, 수직적으로 및 수평적으로 서로 이격될 수 있다. 또한, 제 2 패드 영역들(P2)은 제 2 전극들(EL2)의 돌출부들(PP)에 제공되며, 수직적으로 및 수평적으로 서로 이격될 수 있다.

[0061] 도 5 및 도 10c를 참조하면, 제 1 및 제 2 전극 구조체들(ST1, ST2) 각각에서, 최상층에 위치하는 제 2 전극(즉, 더미 전극(EL2d))은 연결 영역(CNR)에서 돌출부(PP)를 갖되 더미 전극(EL2d) 아래에 위치하는 제 2 전극들(EL2)의 돌출부들(PP)의 폭(W2)보다 큰 폭(W3)을 가질 수 있다. 이에 따라, 각 전극 구조체(ST1, ST2)에서 최상층에 위치하는 제 2 패드 영역(P2)의 폭(W3)은 다른 제 2 패드 영역(P2)의 폭(W2)보다 클 수 있다. 그리고, 각 전극 구조체(ST1, ST2)에서 최상층에 위치하는 제 1 전극(EL1)의 제 1 패드 영역(P1)의 폭은 나머지 제 1 전극들(EL1)의 제 1 패드 영역들(P1)의 폭보다 작을 수 있다.

[0062] 보다 상세하게, 더미 전극(EL2d)은 도 10c에 도시된 바와 같이, 셀 어레이 영역(CAR)에서 수평적으로 서로 이격된 제 1 및 제 2 전극부들(EP1, EP2)과, 연결 영역(CNR)에서 제 1 및 제 2 전극부들(EP1, EP2)을 수평적으로 연결하는 돌출부(PP)를 포함할 수 있다.

[0063] 셀 어레이 영역(CAR)에서 더미 전극(EL2d)의 제 1 및 제 2 전극부들(EP1, EP2)은 실질적으로 동일한 폭(Wc)을

가질 수 있다. 일 예에서, 제 1 전극부(EP1)의 폭(Wc)은 그것의 상부에 위치하는 제 1 스트링 선택 전극(SSLa)의 폭과 실질적으로 동일할 수 있으며, 제 2 전극부(EP2)의 폭(Wc)은 그것의 상부에 위치하는 제 2 스트링 선택 전극(SSLb)의 폭과 실질적으로 동일할 수 있다. 그리고, 더미 전극(EL2d)의 제 1 전극부(EP1)와 제 2 전극부(EP2) 간의 거리는 실질적으로 균일할 수 있으며, 연결 영역(CNR)에서 제 1 전극부(EP1)의 폭은 돌출부(PP)에 인접할수록 감소될 수 있다. 그리고, 연결 영역(CNR)에서 제 2 전극부(EP2)의 폭은 돌출부(PP)에 인접할수록 증가할 수 있다.

[0064] 나아가, 더미 전극(EL2d)은 제 1 및 제 2 전극부들(EP1, EP2) 사이의 분리 영역(SR)을 가질 수 있다. 더미 전극(EL2d)의 분리 영역(SR)은 돌출부(PP)의 일부분으로 연장되며, 연결 영역(CNR)에서 제 1 방향(D1)과 평행한 가상선에 대해 소정 각도 휘어질 수 있다. 그리고, 제 1 방향(D1)에서, 분리 영역(SR)의 길이는 더미 전극(EL2d)의 최대 길이보다 작을 수 있다. 이에 따라, 더미 전극(EL2d)의 제 1 및 제 2 전극부들(EP1, EP2)이 분리되는 것이 방지될 수 있다. 따라서, 제 1 및 제 2 전극 구조체들(ST1, ST2) 각각에서 최상층에 위치하는 더미 전극(EL2d)의 제 1 및 제 2 전극부들(EP1, EP2)이 등전위 상태를 가질 수 있다.

[0065] 실시예들에서, 더미 전극(EL2d)의 분리 영역(SR)은 분리 절연 패턴(50)에 의해 채워질 수 있다. 이에 따라, 분리 절연 패턴(50)은 셀 어레이 영역(CAR)에서 더미 전극(EL2d)의 돌출부(PP) 일부분으로 연장될 수 있다.

[0066] 나아가, 더미 전극(EL2d)의 돌출부(PP)는 더미 전극(EL2d) 아래에 위치하는 제 1 전극(EL1)의 일부분(즉, 제 1 패드 영역(P1))을 노출시킬 수 있다. 그리고, 더미 전극(EL2d)의 돌출부(PP)는 그것의 아래에 위치하는 제 1 전극(EL1)의 일측벽에 정렬된 측벽을 가질 수 있다.

[0067] 실시예들에서, 더미 전극(EL2d) 상에 위치하는 제 1 스트링 선택 전극(SSLa)은 도 3 및 도 5에 도시된 바와 같이, 평면적 관점에서, 더미 전극(EL2d)의 제 1 전극부(EP1)와 중첩될 수 있다. 또한, 더미 전극(EL2d) 상의 제 2 스트링 선택 전극(SSLb)은 평면적 관점에서 더미 전극(EL2d)의 제 2 전극부(EP2)와 중첩될 수 있다.

[0068] 다시, 도 3, 도 6, 도 7, 및 도 8을 참조하면, 셀 어레이 영역(CAR)에서 제 1 내지 제 4 수직 채널들(VS1, VS2, VS3, VS4)이 제 1 및 제 2 전극 구조체들(ST1, ST2)을 관통할 수 있다. 제 1 내지 제 4 수직 채널들(VS1-VS4)은, 제 1 및 제 2 전극 구조체들(ST1, ST2) 각각에서, 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb) 각각에 결합될 수 있다. 즉, 제 1 내지 제 4 수직 채널들(VS1-VS4)이 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb)을 관통할 수 있다.

[0069] 보다 상세하게, 도 3을 참조하면, 제 1 수직 채널들(VS1)이 제 1 방향(D1)을 따라 배열되어 제 1 열을 구성할 수 있으며, 제 2 수직 채널들(VS2)이 제 1 방향(D1)을 따라 배열되어 제 2 열을 구성할 수 있다. 제 3 수직 채널들(VS3)이 제 1 방향(D1)을 따라 배열되어 제 3 열을 구성할 수 있으며, 제 4 수직 채널들(VS4)이 제 1 방향(D1)을 따라 배열되어 제 4 열을 구성할 수 있다. 제 1 열 내지 제 4 열은 제 2 방향(D2)을 따라 배열될 수 있다. 그리고, 제 1 및 제 3 수직 채널들(VS1, VS3)은 제 2 및 제 4 수직 채널들(VS2, VS4)에 대해 사선 방향에 배치될 수 있다.

[0070] 제 1 스트링 선택 전극(SSLa)을 관통하는 제 1 내지 제 4 수직 채널들(VS1-VS4)과 제 2 스트링 선택 전극(SSLb)을 관통하는 제 1 내지 제 4 수직 채널들(VS1-VS4)은 분리 절연 패턴(50)을 사이에 두고 미러 대칭적(mirror symmetry)으로 배열될 수 있다.

[0071] 나아가, 셀 어레이 영역(CAR)에서, 더미 수직 채널들(DVS)이 제 1 및 제 2 전극 구조체들(ST1, ST2)을 관통할 수 있다. 제 1 및 제 2 전극 구조체들(ST1, ST2) 각각에서 더미 수직 채널들(DVS)이 제 1 방향(D1)을 따라 서로 이격되어 배열될 수 있으며, 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb) 사이에 배치될 수 있다. 또한, 더미 수직 채널들(DVS)은 셀 어레이 영역(CAR)에서 분리 절연 패턴(50)을 관통할 수 있다. 더미 수직 채널들(DVS) 각각은 제 2 방향(D2)에서 인접하는 제 1 수직 채널들(VS1) 사이에 배치될 수 있으며, 제 2 수직 채널들(VS2)과 사선 방향에 배치될 수 있다.

[0072] 실시예들에 따르면, 제 1 내지 제 4 수직 채널들(VS1-VS4) 및 더미 수직 채널들(DVS)은 실질적으로 동일한 물질들 및 구조를 가질 수 있다. 예를 들어, 제 1 내지 제 4 수직 채널들(VS1-VS4) 및 더미 수직 채널들(DVS)은 속이 빈 파이프 형태(pipe-shaped) 또는 마카로니 형태(macaroni-shaped)를 가질 수 있다. 이와 달리, 제 1 내지 제 4 수직 채널들(VS1-VS4) 및 더미 수직 채널들(DVS)은 원 기둥 형태를 가질 수도 있다.

[0073] 수직 채널들(VS1-VS4)은 반도체 물질 또는 도전성 물질을 포함할 수 있다. 수직 채널들(VS1-VS4)의 바닥면들은 기관(10)의 상부면과 하부면 사이에 위치할 수 있다. 수직 채널들(VS1-VS4)의 상단에는 비트라인 콘택 플러그

(BPLG)와 접속되는 콘택 패드가 위치할 수 있다.

- [0074] 일 예로, 수직 채널들(VS1-VS4, DVS) 각각은, 도 9에 도시된 바와 같이, 하부 반도체 패턴(LSP) 및 상부 반도체 패턴(USP)을 포함할 수 있다. 일 예에서, 하부 및 상부 반도체 패턴들은 실리콘(Si), 게르마늄(Ge) 또는 이들의 혼합물을 포함할 수 있으며, 서로 다른 결정 구조를 가질 수 있다. 하부 및 상부 반도체 패턴들(LSP, USP)은 단 결정, 비정질(amorphous), 및 다결정(polycrystalline) 중에서 선택된 적어도 어느 하나를 포함하는 결정 구조를 가질 수 있다. 하부 및 상부 반도체 패턴들(LSP, USP)은 언도프트 상태이거나, 기판(10)과 동일한 도전형을 갖는 불순물로 도핑될 수 있다.
- [0075] 하부 반도체 패턴(LSP)은 기판(10)과 직접 접촉할 수 있으며, 전극 구조체의 최하층 전극을 관통할 수 있다. 상부 반도체 패턴(USP)은 제 1 반도체 패턴(SP1) 및 제 2 반도체 패턴(SP2)을 포함할 수 있다. 제 1 반도체 패턴(SP1)은 하부 반도체 패턴(LSP)과 접속될 수 있으며, 하단이 닫힌 파이프 형태 또는 마카로니 형태일 수 있다. 이러한 형태의 제 1 반도체 패턴(SP1)의 내부는 매립 절연 패턴(VI)으로 채워질 수 있다. 또한, 제 1 반도체 패턴(SP1)은 제 2 반도체 패턴(SP2)의 내벽과 하부 반도체 패턴(LSP)의 상부면과 접촉될 수 있다. 즉, 제 1 반도체 패턴(SP1)은 제 2 반도체 패턴(SP2)과 하부 반도체 패턴(LSP)을 전기적으로 연결할 수 있다. 제 2 반도체 패턴(SP2)은 상단 및 하단이 오픈된(opened) 파이프 형태 또는 마카로니 형태일 수 있다. 그리고, 제 2 반도체 패턴(SP2)은 하부 반도체 패턴(LSP)과 접촉하지 않고 이격될 수 있다.
- [0076] 실시예들에 따르면, 데이터 저장막(DS)이 전극 구조체들(ST1, ST2)과 수직 채널들(VS) 사이에 배치될 수 있다. 데이터 저장막(DS)은 도 9에 도시된 바와 같이, 전극 구조체들(ST1, ST2)을 관통하는 수직 절연층(VL)과, 전극들(EL1, EL2)과 수직 절연층(VL) 사이에서 전극들(EL1, EL2)의 상부면들 및 하부면들로 연장되는 수평 절연층(HL)을 포함할 수 있다.
- [0077] 실시예들에 따르면, 3차원 반도체 장치는 낸드 플래시 메모리 장치일 수 있다. 예를 들어, 전극 구조체들(ST1, ST2)과 적층 구조체(ST)와 수직 채널(VS) 사이에 개재되는 데이터 저장막(DS)은 터널 절연막, 전하 저장막, 및 블록킹 절연막을 포함할 수 있다. 이러한 데이터 저장막(DS)에 저장되는 데이터는 반도체 물질을 포함하는 수직 채널(VS)과 전극 구조체들(ST1, ST2)과 적층 구조체(ST)의 전극들(EL1, EL2) 사이의 전압 차이에 의해 유발되는 파울러-노던하임 터널링을 이용하여 변경될 수 있다.
- [0078] 실시예들에 따르면, 공통 소오스 영역(CSR)이 제 1 및 제 2 전극 구조체들(ST1, ST2) 사이의 기판(10) 내에 제공될 수 있다. 공통 소오스 영역(CSR)은 제 1 및 제 2 전극 구조체들(ST1, ST2)과 나란하게 제 1 방향(D1)으로 연장될 수 있다. 공통 소오스 영역들(CSR)은 기판(10) 내에 제 2 도전형의 불순물을 도핑하여 형성될 수 있다. 공통 소오스 영역들(CSR)은 예를 들어, N형의 불순물(예를 들어, 비소(As) 또는 인(P))을 포함할 수 있다.
- [0079] 공통 소오스 플러그(CSP)가 공통 소오스 영역(CSR)에 접속될 수 있으며, 공통 소오스 플러그(CSP)와 제 1 및 제 2 전극 구조체들(ST1, ST2) 사이에 측벽 절연 스페이스(SP)가 개재될 수 있다. 일 예로, 공통 소오스 플러그(CSP)는 실질적으로 균일한 상부 폭을 가지며, 제 1 방향(D1)으로 나란히 연장될 수 있다. 측벽 절연 스페이스(SP)는 서로 인접하는 제 1 및 제 2 전극 구조체들(ST1, ST2) 사이에서 서로 대향하여 배치될 수 있다. 다른 예로, 측벽 절연 스페이스(SP)는 서로 인접하는 제 1 및 제 2 전극 구조체들(ST1, ST2) 사이를 채울 수 있으며, 공통 소오스 플러그(CSP)가 측벽 절연 스페이스(SP)를 관통하여 공통 소오스 영역(CSR)과 국소적으로 접속될 수도 있다.
- [0080] 매립 절연막(11020) 및 캡핑 절연막(12030)이 복수의 전극 구조체들(ST1, ST2)을 덮으며, 캡핑 절연막(12530) 상에 제 1, 제 2, 제 3, 및 제 4 보조 배선들(SBL1, SBL2, SBL3, SBL4)이 배치될 수 있다.
- [0081] 일 예에서, 제 1 보조 배선들(SBL1)은 하부 콘택 플러그(LCP)를 통해 제 2 방향(D2)에서 인접하는 제 1 수직 채널들(VS1)과 연결될 수 있다. 제 2 보조 배선들(SBL2)은 하부 콘택 플러그(LCP)를 통해 제 2 방향(D2)에서 인접하는 제 2 수직 채널들(VS2)과 연결될 수 있다. 일 예에서, 제 1 보조 배선들(SBL1)의 길이는 제 2 보조 배선들(SBL2)의 길이보다 짧을 수 있다.
- [0082] 제 3 보조 배선들(SBL3)은 하부 콘택 플러그(LCP)를 통해 제 2 방향(D2)에서 인접하는 제 3 수직 채널들(VS3)을 연결할 수 있다. 제 4 보조 배선들(SBL4)은 하부 콘택 플러그(LCP)를 통해 제 2 방향(D2)에서 인접하는 제 4 수직 채널들(VS4)을 연결할 수 있다. 일 예에서, 제 3 보조 배선들(SBL3)의 길이는 제 4 보조 배선들(SBL4)의 길이보다 짧을 수 있다. 제 1 및 제 2 보조 배선들(SBL1, SBL2)은 분리 절연 패턴(50)을 가로지를 수 있으며, 제 3 및 제 4 보조 배선들(SBL3, SBL4)은 공통 소오스 영역(CSR)을 가로지를 수 있다.
- [0083] 캡핑 절연막(12030) 상에 제 1 내지 제 4 보조 배선들(SBL1-SBL4)을 덮는 상부 절연막(13040)이 배치되며, 상부

절연막(13040) 상에 제 1 및 제 2 비트 라인들(BL1, BL2)이 배치될 수 있다. 제 1 및 제 2 비트 라인들(BL1, BL2)은 제 2 방향(D2)으로 연장될 수 있으며, 제 1 방향(D1)을 따라 번갈아 배치될 수 있다.

- [0084] 제 1 비트 라인들(BL1) 각각은 상부 콘택(UCP)을 통해 제 1 보조 배선들(SBL1)과 연결되거나, 제 2 보조 배선들(SBL2)과 연결될 수 있다. 제 2 비트 라인들(BL2) 각각은 상부 콘택(UCP)을 통해 제 3 보조 배선들(SBL3)과 연결되거나, 제 4 보조 배선들(SBL4)과 연결될 수 있다.
- [0085] 계속해서, 도 4 및 도 8을 참조하면, 제 1 콘택 플러그들(CP1)이 연결 영역(CNR)에서 캡핑 절연막(12030) 및 매립 절연막(11020)을 관통하여 제 1 전극들(EL1)의 제 1 패드 영역들(P1)에 각각 접속될 수 있다. 또한, 제 2 콘택 플러그들(CP2)이 연결 영역(CNR)에서 제 2 전극들(EL2)의 제 2 패드 영역들(P2)에 각각 접속될 수 있다.
- [0086] 제 1 콘택 플러그들(CP1)은 제 1 및 제 2 전극 구조체들(ST1, ST2)의 제 1 계단 구조 상에 배치되며 제 2 콘택 플러그들(CP2)은 제 1 및 제 2 전극 구조체들(ST1, ST2)의 제 2 계단 구조 상에 배치될 수 있다. 이에 따라, 제 1 콘택 플러그들(CP1)은 제 1 방향(D1)을 따라 서로 이격되어 배열되며, 제 1 콘택 플러그들(CP1)의 하부면들은 기판(10)으로부터 서로 다른 높이에 위치할 수 있다. 제 2 콘택 플러그들(CP2)은 제 1 방향(D1)을 따라 서로 이격되어 배열되며, 제 2 콘택 플러그들(CP2)의 하부면들은 기판(10)으로부터 서로 다른 높이에 위치할 수 있다. 또한, 제 1 전극 구조체(ST1)에 접속되는 제 1 콘택 플러그들(CP1)은 제 2 전극 구조체(ST2)에 접속되는 제 1 콘택 플러그들(CP1)과 제 2 방향(D2)에서 인접할 수 있다. 이에 더하여, 더미 전극(EL2d; 즉, 최상층의 제 2 전극)에 접속되는 제 2 콘택 플러그들(CP2)은 분리 절연 패턴(50)과 수평적으로 이격될 수 있다.
- [0087] 연결 영역(CNR)의 캡핑 절연막(30) 상에 제 1 연결 배선들(CL1) 및 제 2 연결 배선들(CL2)이 배치될 수 있다. 제 1 및 제 2 연결 배선들(CL2)은 제 2 방향(D2)으로 연장될 수 있으며, 제 1 방향(D1)에서 번갈아 배치될 수 있다.
- [0088] 제 1 연결 배선들(CL1) 각각은 제 2 방향(D2)에서 인접하는 제 1 콘택 플러그들(CP1)과 접속될 수 있으며, 제 2 연결 배선들(CL2) 각각은 제 2 방향(D2)에서 인접하는 제 2 콘택 플러그들(CP2)과 접속될 수 있다. 제 1 연결 배선들(CL1) 각각은 제 1 및 제 2 전극 구조체들(ST1, ST2)에서 기판(10)으로부터 동일한 수직적 거리에 배치된 제 1 전극들(EL1)을 전기적으로 연결할 수 있다. 즉, 제 1 및 제 2 전극 구조체들(ST1, ST2)에서 동일층에 배치되는 제 1 전극들(EL1)은 등전위 상태를 가질 수 있다. 또한, 제 2 연결 배선들(CL2) 각각은 제 1 및 제 2 전극 구조체들(ST1, ST2)에서 기판(10)으로부터 동일한 수직적 거리에 배치된 제 2 전극들(EL2)을 전기적으로 연결할 수 있다. 즉, 제 1 및 제 2 전극 구조체들(ST1, ST2)에서 동일층에 배치되는 제 2 전극들(EL2)은 등전위 상태를 가질 수 있다.
- [0089] 나아가, 연결 영역(CNR)에서 제 1 하부 선택 라인(SCL1a)이 콘택 플러그를 통해 제 1 하부 스트링 선택 전극(SSL1a)에 접속될 수 있으며, 제 2 하부 선택 라인(SCL1b)이 콘택 플러그를 통해 제 2 하부 스트링 선택 전극(SSL1b)에 접속될 수 있다. 그리고, 제 1 상부 선택 라인(SCL2a)이 콘택 플러그를 통해 제 1 상부 스트링 선택 전극(SSL2a)에 접속될 수 있으며, 제 2 상부 선택 라인(SCL2b)이 콘택 플러그를 통해 제 2 상부 스트링 선택 전극(SSL2b)에 접속될 수 있다. 제 1 및 제 2 하부 선택 라인들(SCL1a, SCL1b)과 제 1 및 제 2 상부 선택 라인들(SCL2a, SCL2b)은 상부 절연막(40) 상에서 제 1 방향(D1)을 연장될 수 있다.
- [0090] 이에 더하여, 실시예들에 따르면, 수직 기둥들(VP)이 도 4에 도시된 바와 같이, 연결 영역(CNR)에서 전극 구조체들(ST1, ST2)을 관통할 수 있다. 수직 기둥들(VP)은 셀 어레이 영역(CAR)에 배치되는 수직 채널들과 실질적으로 동일한 구조를 가질 수 있다. 수직 기둥들(VP)은 반도체 물질, 도전 물질 또는 유전체 물질을 포함할 수 있다. 실시예들에서 수직 기둥들(VP)은 제 1 및 제 2 전극들(EL1, EL2)의 단부들을 관통할 수 있다. 수직 기둥들(VP)은 제 1 방향(D1) 및 제 2 방향(D2)을 따라 서로 이격되어 배치될 수 있다. 일 예로, 수직 기둥들(VP)은, 제 1 방향(D1)에서 인접하는 제 1 패드 영역들(P1)의 경계와 제 2 패드 영역들(P2)의 경계에 배치될 수 있다. 나아가, 수직 기둥들(VP)은 제 1 방향(D1)에서 제 1 간격 및 제 1 간격과 다른 제 2 간격으로 배열될 수 있다. 상세하게, 제 1 방향(D1)을 따라 제 1 열을 구성하는 수직 기둥은 서로 제 1 간격으로 이격될 수 있다. 그리고, 제 2 방향(D2)을 따라 제 2 열을 구성하는 수직 기둥들(VP)은 서로 제 1 간격과 다른 제 2 간격으로 이격될 수 있다.
- [0091] 다른 예에서, 수직 기둥들(VP)은 제 1 및 제 2 전극 구조체들(ST1, ST2)의 제 1 및 제 2 패드 영역들(P1, P2)을 각각 관통할 수 있다. 나아가, 연결 영역(CNR)에서 수직 기둥들(VP) 중 일부는 분리 절연 패턴(50)을 관통할 수도 있다. 또한, 본 발명은 이에 한정되지 않으며, 수직 기둥들(VP)의 배치는 다양하게 변경될 수 있다. 또한, 수직 기둥들(VP)은 연결 영역(CNR)에서 생략될 수도 있다.

- [0092] 도 11 내지 도 16은 본 발명의 다양한 실시예들에 따른 3차원 반도체 메모리 장치의 평면도들이다. 도 17은 도 16에 도시된 3차원 반도체 메모리 장치에서 더미 전극의 평면도이다. 설명의 간략함을 위해, 도 3 내지 도 9 및 도 10a 내지 도 10d를 참조하여 앞서 설명된 3차원 반도체 메모리 장치와 동일한 기술적 특징들에 대한 설명은 생략될 수 있다.
- [0093] 도 11에 도시된 실시예에 따르면, 분리 절연 패턴(50)은 도 10d를 참조하여 설명한 것처럼, 제 1 방향(D1)에 대해 평행한 라인부(도 10d의 50a 참조)와 제 1 방향(D1)에 대해 소정 각도를 이루는 벤딩부(도 10d의 50b 참조)를 포함할 수 있다. 이 실시예에서, 분리 절연 패턴(50)의 벤딩부는 연결 영역(CNR)에서 휘어지며, 균일한 폭을 가질 수 있다. 또한, 분리 절연 패턴(50)은 최상층에 위치한 제 1 패드 영역(P1)과 수평적으로 이격될 수 있다.
- [0094] 나아가, 수직 기둥들(VP)이 연결 영역(CNR)에서 전극 구조체들(ST1, ST2)을 관통할 수 있으며, 인접하는 수직 기둥들(VP) 간의 거리는 제 1 방향(D1) 및 제 2 방향(D2)에서 실질적으로 동일할 수 있다. 즉, 수직 기둥들(VP)이 매트릭스 형태로 연결 영역(CNR)에 배치될 수 있다.
- [0095] 도 12에 도시된 실시예에 따르면, 제 1 및 제 2 전극 구조체들(ST1, ST2)에서 제 2 전극들(EL2)의 제 2 패드 영역들(P2)은 실질적으로 동일한 폭을 가질 수 있다. 다시 말해, 더미 전극(도 5의 EL2d 참조; 즉, 최상층의 제 2 전극)에서 제 2 패드 영역(P2)의 폭은 다른 제 2 전극들(도 5의 EL2 참조)의 제 2 패드 영역(P2)의 폭과 동일할 수 있다. 마찬가지로, 제 1 및 제 2 전극 구조체들(ST1, ST2)에서 제 1 전극들(EL1)의 제 1 패드 영역들(P1)은 실질적으로 동일한 폭을 가질 수 있다.
- [0096] 또한, 분리 절연 패턴(50)은 셀 어레이 영역(CAR)에서 연결 영역(CNR)으로 제 1 방향(D1)을 따라 연장되되, 연결 영역(CNR)에서 휘어지는 벤딩부를 포함할 수 있다. 분리 절연 패턴(50)은 더미 전극(EL2d)의 제 2 패드 영역(P2) 일부분을 관통할 수 있으며, 최상층의 제 1 패드 영역(P1)과 수평적으로 이격될 수 있다.
- [0097] 도 13 및 도 14에 도시된 실시예에 따르면, 분리 절연 패턴(50)은 도 10d를 참조하여 설명한 것처럼, 제 1 방향(D1)에 대해 평행한 라인부(도 10d의 50a 참조)와 제 1 방향(D1)에 대해 소정 각도를 이루는 벤딩부(도 10d의 50b 참조)를 포함할 수 있다. 일 예에서, 분리 절연 패턴(50)의 벤딩부는 셀 어레이 영역(CAR)의 가장자리 부분에서 라인부와 연결될 수 있다. 즉, 분리 절연 패턴(50)의 벤딩부가 더미 수직 채널들(DVS)의 일부분들 상에 위치할 수 있다. 이에 따라, 제 1 및 제 2 스트링 선택 전극들(SSLa, SSLb)의 폭이 셀 어레이 영역(CAR)의 가장자리 부분에서부터 달라질 수 있다. 이와 같이, 분리 절연 패턴(50)의 벤딩부는 셀 어레이 영역(CAR)의 가장자리 부분에 위치함으로써 제 1 방향(D1)에서 벤딩부의 길이가 증가될 수 있으며, 벤딩부의 휨 각도(도 10d의 θ 참조)를 줄일 수 있다.
- [0098] 도 15를 참조하면, 분리 절연 패턴(50)의 폭이 셀 어레이 영역(CAR)과 연결 영역(CNR)에서 다를 수 있다. 상세하게, 분리 절연 패턴(50)에서 제 1 방향(D1)에 대해 평행한 라인부는 제 1 폭을 가질 수 있으며, 제 1 방향(D1)에 대해 소정 각도 휘어지는 벤딩부는 분리 절연 패턴(50)의 단부로 갈수록 폭이 점차 증가할 수 있다.
- [0099] 도 16을 참조하면, 분리 절연 패턴(50)은 셀 어레이 영역(CAR)에서 연결 영역(CNR)으로 제 1 방향(D1)과 나란하게 연장될 수 있다. 즉, 분리 절연 패턴(50)은 연결 영역(CNR)에서 라인 형태를 가질 수 있으며, 더미 전극(EL2d)의 일부분을 관통할 수 있다. 실시예들에 따르면, 제 1 및 제 2 전극 구조체들(ST1, ST2)에서, 최상층에 위치하는 제 2 패드 영역(P2)의 폭은 다른 제 2 패드 영역들(P2)의 폭보다 클 수 있다. 그러므로, 라인형 분리 절연 패턴(50)은 최상층에 위치하는 제 1 패드 영역(P1)과 수평적으로 이격될 수 있다. 이에 따라, 분리 절연 패턴(50)에 의해 더미 전극(EL2d)이 라인 형태로 분리되는 것은 방지될 수 있다.
- [0100] 도 18은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 단면도로서, 도 4의 III-III' 선을 따라 자른 단면이며, 도 19는 도 18의 A 부분을 확대한 도면이다. 설명의 간략함을 위해, 도 3 내지 도 9 및 도 10a 내지 도 10d를 참조하여 앞서 설명된 3차원 반도체 메모리 장치와 동일한 기술적 특징들에 대한 설명은 생략될 수 있다.
- [0101] 도 18 및 도 19에 도시된 실시예에 따르면, 제 1 내지 제 4 수직 채널들(도 3의 VS1-VS4 참조)이 제 1 및 제 2 전극 구조체들(ST1, ST2)을 관통할 수 있다. 제 1 내지 제 4 수직 채널들(VS1-VS4) 각각은, 기판(10)과 접촉하는 제 1 반도체 패턴(SP1) 및 제 1 반도체 패턴(SP1)과 데이터 저장막(DS) 사이에 개재되는 제 2 반도체 패턴(SP2)을 포함할 수 있다.
- [0102] 제 1 반도체 패턴(SP1)은 속이 빈 파이프 형태(pipe-shaped) 또는 마카로니 형태(macaroni-shaped)일 수 있다. 제 1 반도체 패턴(SP1)의 하단은 닫힌 상태(closed state)일 수 있으며, 제 1 반도체 패턴(SP1)의 내부는 매립

절연 패턴(VI)에 의해 채워질 수 있다. 이와 달리, 제 1 반도체 패턴(SP1)은 원 기둥(pillar) 형태를 가질 수도 있다.

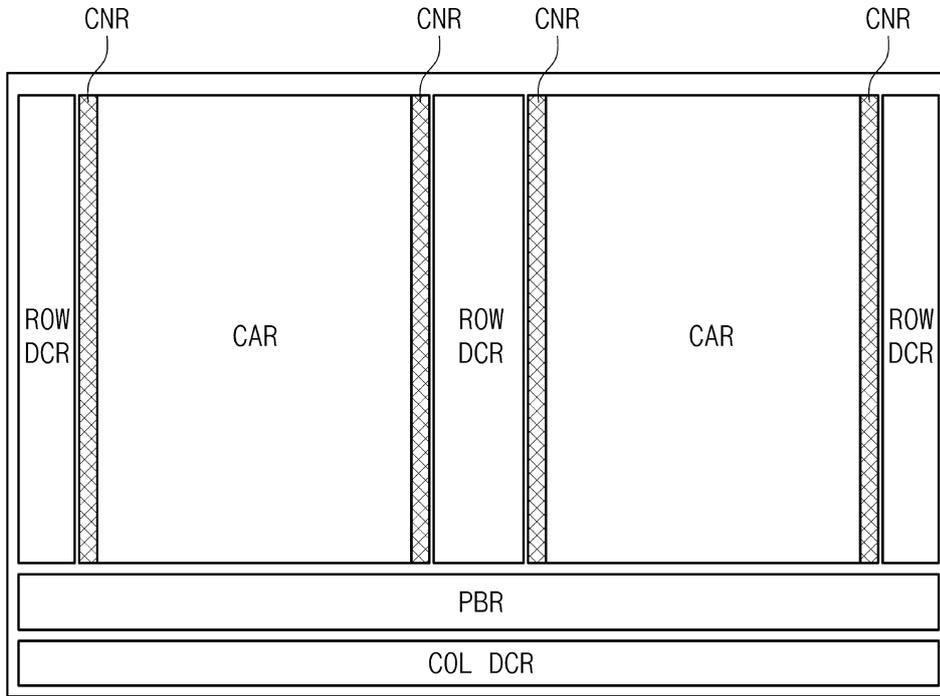
- [0103] 제 1 반도체 패턴(SP1)은 제 2 반도체 패턴(SP2)의 내벽과 기관(10)과 상부면과 접촉될 수 있다. 즉, 제 1 반도체 패턴(SP1)은 제 2 반도체 패턴(SP2)과 기관(10)을 전기적으로 연결할 수 있다. 그리고, 제 1 반도체 패턴(SP1)의 바닥면은 기관(10)의 상부면보다 낮은 레벨에 위치할 수 있다.
- [0104] 제 2 반도체 패턴(SP2)은 상단 및 하단이 오픈된(opened) 파이프 형태 또는 마카로니 형태일 수 있다. 제 2 반도체 패턴(SP2)의 하부면은 제 1 반도체 패턴(SP1)의 하부면보다 위에 위치할 수 있으며, 기관(10)과 이격될 수 있다. 이와 달리, 제 2 반도체 패턴(SP2)은 기관(10)과 직접 접촉할 수도 있다.
- [0105] 제 1 및 제 2 반도체 패턴들(SP1, SP2)은 언도프트 상태이거나, 기관(10)과 동일한 도전형을 갖는 불순물로 도핑될 수 있다. 제 1 반도체 패턴(SP1)과 제 2 반도체 패턴(SP2)은 다결정 상태 또는 단결정 상태일 수 있다.
- [0106] 도 20은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 단면도로서, 도 4의 III-III' 선을 따라 자른 단면이다. 설명의 간략함을 위해, 도 3 내지 도 9 및 도 10a 내지 도 10d를 참조하여 앞서 설명된 3차원 반도체 메모리 장치와 동일한 기술적 특징들에 대한 설명은 생략될 수 있다.
- [0107] 도 20에 도시된 실시예에 따르면, 채널 구조체들(CHS)이 제 1 및 제 2 전극 구조체들(도 5의 ST1, ST2 참조)을 관통할 수 있다. 채널 구조체들(CHS) 각각은 전극 구조체들(ST1, ST2)을 관통하는 수직 채널들(VS1) 및 전극 구조체들(ST1, ST2) 아래에서 수직 채널들(VS1)을 연결하는 수평 채널(HS)을 포함할 수 있다. 수직 채널들(VS1)은 전극 구조체들(ST1, ST2)을 관통하는 수직 홀들 내에 제공될 수 있다. 수평 채널(HS)은 기관(10) 상부에 형성된 리세스부 내에 제공될 수 있다. 수평 채널(HS)은 기관(10)과 전극 구조체들(ST1, ST2) 사이에 제공되어 수직 채널들(VS1)을 연결할 수 있다.
- [0108] 일 예에서, 수평 채널(HS)은 수직 채널들(VS1)과 연속적으로 연결되는 속이 빈 파이프 형태(pipe-shaped) 또는 마카로니 형태(macaroni-shaped)일 수 있다. 즉, 실시예들에서, 수직 채널들(VS1)과 수평 채널(HS)은 일체형 파이프 형태를 가질 수 있다. 다시 말해, 수직 채널들(VS1)과 수평 채널(HS)은 경계면 없이 연속적으로 연장되는 하나의 반도체막으로 이루어질 수 있다. 여기서, 반도체막은 단결정, 비정질(amorphous), 및 다결정(polycrystalline) 중에서 선택된 적어도 어느 하나를 포함하는 결정 구조를 갖는 반도체 물질로 이루어질 수 있다.
- [0109] 도 21 내지 도 24는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 전극 구조체를 형성하는 방법을 설명하기 위한 도면들이다.
- [0110] 도 21을 참조하면, 셀 어레이 영역(CAR) 및 연결 영역(CNR)을 포함하는 기관(10) 상에 박막 구조체(100)가 형성될 수 있다. 박막 구조체(100)는 기관(10) 상에 수직적으로 번갈아 적층된 수평막들(HLa, HLb) 및 절연막들(ILD)을 포함할 수 있다. 일 예에 따르면, 도 1 내지 도 20에서 설명된 제 1 및 제 2 전극들(EL1, EL2)은 이하 설명되는 패턴링 방법을 이용하여 형성된 결과물일 수 있다. 즉, 수평막들(EL1, EL2)은 본 발명의 실시예들에 따른 제 1 및 제 2 전극들(EL)로서 사용될 수 있다.
- [0111] 수평막들(HLa, HLb)은 절연막들(ILD)에 대해 식각 선택성을 갖는 물질로 형성될 수 있다. 예를 들면, 절연막들(ILD)은 실리콘 산화막이고, 수평막들(HLa, HLb)은 실리콘 질화막, 실리콘 산화질화막, 다결정 실리콘막, 또는 금속막들 중의 적어도 하나를 포함할 수 있다. 일부 실시예들에 있어서, 수평막들(HLa, HLb)은 동일한 물질로 형성될 수 있다.
- [0112] 박막 구조체(100) 상에 제 1 마스크 패턴(MP1)이 형성될 수 있으며, 제 1 마스크 패턴(MP1)은 연결 영역(CNR)에서 박막 구조체(100)의 일부를 노출시킬 수 있다.
- [0113] 이어서, 제 1 마스크 패턴(MP1)을 식각 마스크로 이용하여 박막 구조체(100)의 일부를 식각하는 공정 및 제 1 마스크 패턴(MP1)을 축소시키는 트리밍 공정이 번갈아 반복될 수 있다. 여기서, 박막 구조체(100)의 일부를 식각하는 공정은 제 1 마스크 패턴(MP1)에 의해 노출된 복수 개의 수평막들(HL)을 식각할 수 있다. 즉, 식각 공정 시 식각 깊이는 수평막들(HLa, HLb)의 수직적 피치의 2배 이상일 수 있다. 여기서, 수평막들(HLa, HLb)의 수직적 피치는 수직적으로 인접하는 수평막들(HLa, HLb) 상부면들 사이의 수직적 거리를 의미한다. 또한, 트리밍 공정은 제 1 마스크 패턴(MP1)의 일 측면을 셀 어레이 영역(CAR)을 향해 소정 거리만큼 수평적으로 이동시킴으로써 제 1 마스크 패턴(MP1)의 면적을 축소시킬 수 있다. 여기서, 제 1 마스크 패턴(MP1)의 측면의 수평적 이동거리는 앞서 설명된 제 1 및 제 2 전극들(EL1, EL2)의 제 1 및 제 2 패드 영역들(P1, P2)의 제 1 방향(D1)에서의

폭에 대응할 수 있다.

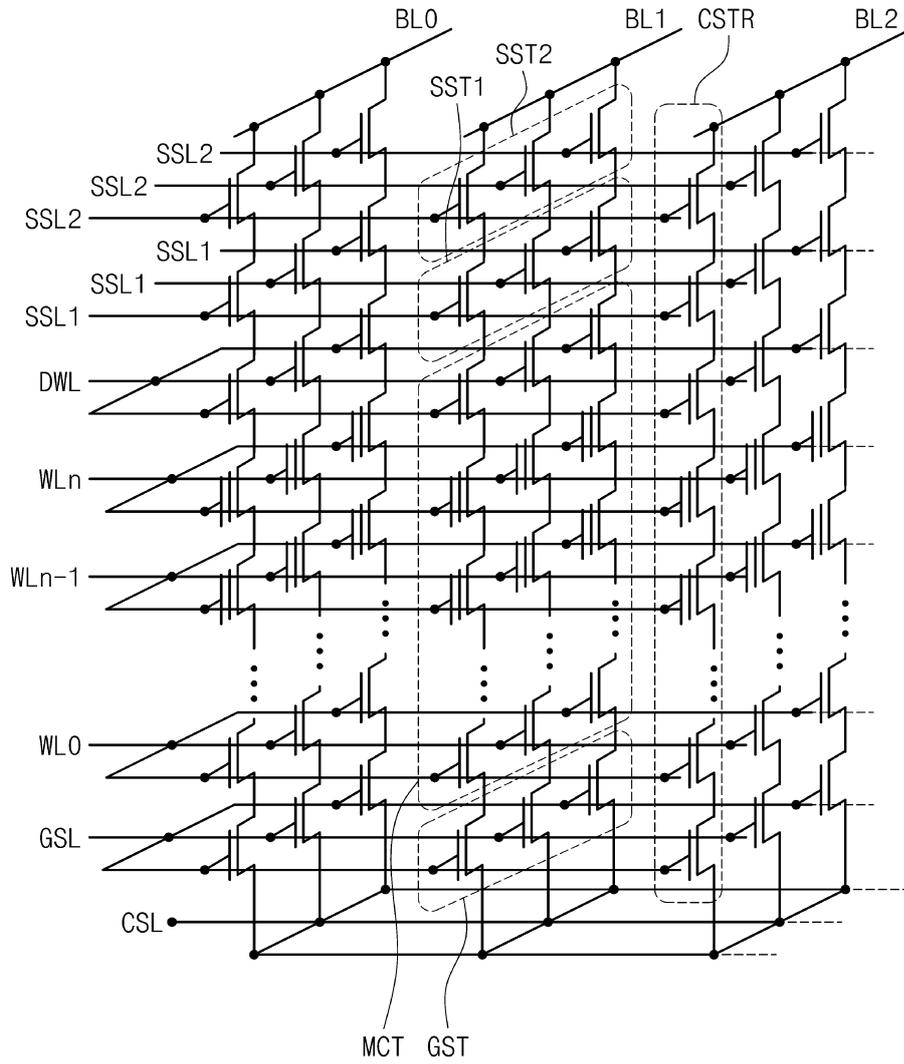
- [0114] 실시예들에 따르면, 제 1 마스크 패턴(MP1)에 대한 트리밍 공정 및 박막 구조체(100)에 대한 식각 공정이 번갈아 반복될 수 있으며, 이에 따라 도 3422에 도시된 바와 같이, 짝수층에 위치하는 수평막들(HLb)의 단부들이 노출되는 제 1 계단 구조(S1)를 갖는 제 1 적층 구조체(110)가 형성될 수 있다. 제 1 적층 구조체(110)는 연결 영역(CNR)에서 짝수층에 위치하는 수평막들(HLb)의 단부들에 의해 형성되는 제 1 계단 구조(S1)를 가질 수 있다.
- [0115] 이어서, 도 23을 참조하면, 최상층의 수평막(HLb)의 일부를 패터닝하여 제 2 적층 구조체(120)를 형성할 수 있다. 제 2 적층 구조체(120)에서 최상층의 수평막은 최상층 수평막(HLb) 아래에 위치하는 수평막(HLa)의 단부를 노출시킬 수 있다. 제 2 적층 구조체(120)에서 짝수층에 위치하는 수평막들(HLb)의 단부들은 제 1 수직적 피치(P1)만큼 서로 이격될 수 있다. 그리고, 홀수층 수평막들(HLa) 중 최상층의 수평막의 단부와 짝수층 수평막들(HLb) 중 최상층의 수평막(HLa, HLb)의 단부는 제 2 수직적 피치(P2)만큼 서로 이격될 수 있다. 여기서, 제 2 수직적 피치(P2)는 제 1 수직적 피치(P1)의 약 1/2일 수 있다.
- [0116] 도 24를 참조하면, 제 1 계단 구조(S1)를 갖는 제 2 적층 구조체(120) 상에 제 2 마스크 패턴(MP2)이 형성될 수 있다. 제 2 마스크 패턴(MP2)은 제 2 적층 구조체(120)의 제 1 계단 구조(S1)의 일부분을 노출시키는 오프닝을 가질 수 있다.
- [0117] 실시예들에 따르면, 제 2 마스크 패턴(MP3)에서 오프닝은 제 1 개구 폭(WO1)과 제 1 개구 폭(WO2)보다 작은 제 2 개구 폭(WO2)을 가질 수 있다. 제 2 마스크 패턴(MP3)에서 제 2 개구 폭(WO2)을 갖는 부분은 제 1 계단 구조(S1)를 형성하는 최상층의 수평막(HLb)의 단부를 노출시킬 수 있다.
- [0118] 이와 같은 제 2 마스크 패턴(MP2)을 식각 마스크로 이용하여 제 2 적층 구조체(120)의 제 1 계단 구조(S1)의 일부분을 식각함으로써 제 3 적층 구조체(130)가 형성될 수 있다. 이 때, 식각 깊이는 제 1 마스크 패턴(도 18의 MP1 참조)을 식각 마스크로 이용하는 식각 공정에서의 식각 깊이보다 작을 수 있다. 예를 들어, 식각 깊이는 수평막들(HLa, HLb)의 수직적 피치와 실질적으로 동일할 수 있다. 이에 따라, 제 2 마스크 패턴(MP2)에 의해 노출되는 짝수층 수평막들(HLb)의 일부분들이 식각되어, 제 2 적층 구조체(120)의 홀수층에 위치하는 수평막들(HLa)의 단부들이 노출되는 제 3 적층 구조체(130)가 형성될 수 있다. 즉, 연결 영역(CNR)에서 홀수층에 위치하는 수평막들(HLb)의 단부들에 의해 형성되는 제 2 계단 구조(S2)가 형성될 수 있다. 즉, 제 3 적층 구조체(130)는 연결 영역(CNR)에서 제 1 계단 구조(S1) 및 제 2 계단 구조(S2)를 가질 수 있으며, 제 1 및 제 2 계단 구조들(S1, S2)은 제 2 방향(D2)에서 인접할 수 있다.
- [0119] 제 3 적층 구조체(130)를 형성한 후에, 제 2 마스크 패턴(MP2)이 제거될 수 있으며, 이어서, 제 3 적층 구조체(130) 상에 제 1 방향(D1)으로 연장되는 라인 형태의 제 4 마스크 패턴들(미도시)이 형성될 수 있다. 이후, 제 4 마스크 패턴들을 이용하여 제 3 적층 구조체(130)를 식각함으로써, 제 2 방향(D2)에서 서로 이격되는 전극 구조체들이 형성될 수 있다.
- [0120] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

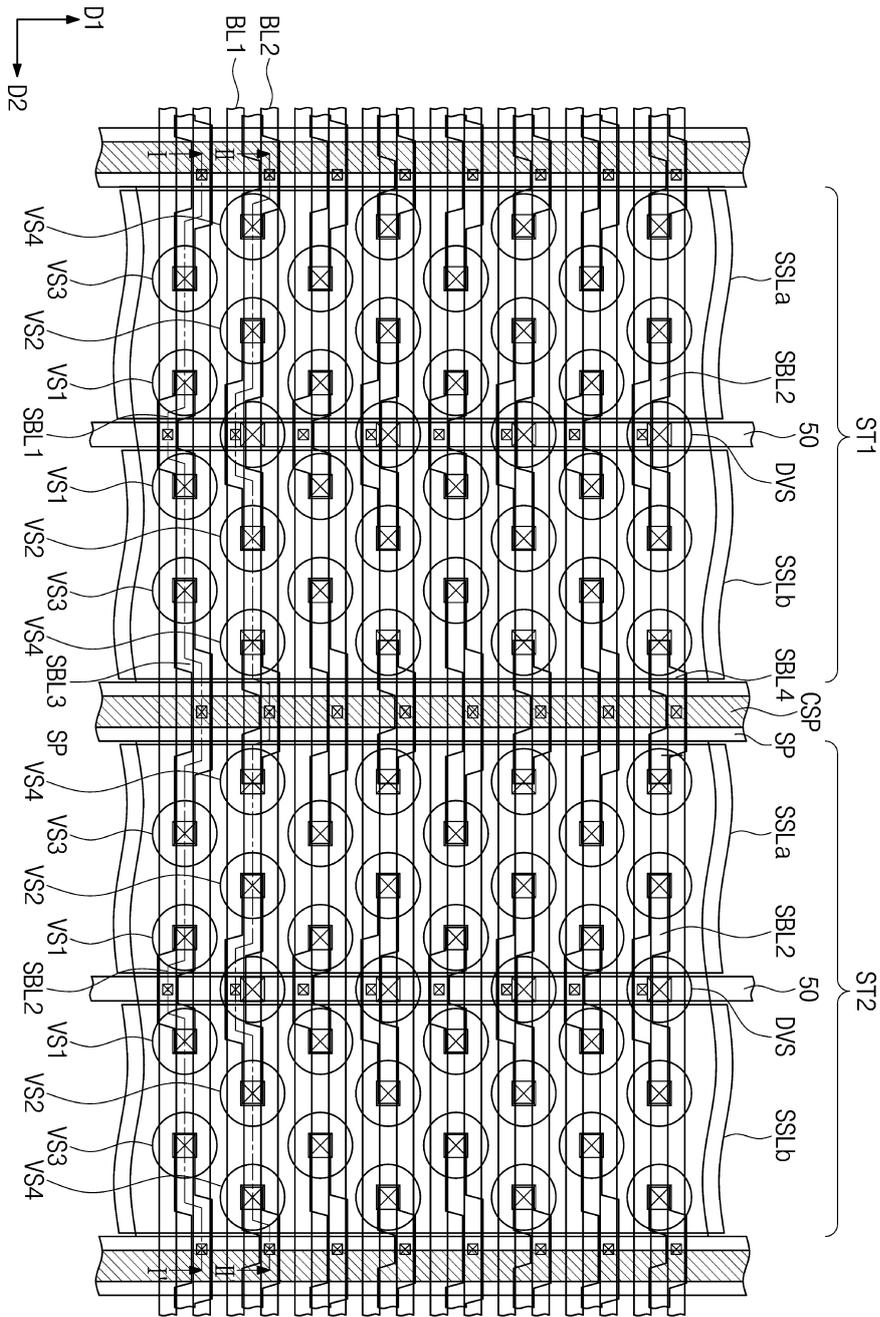
도면1



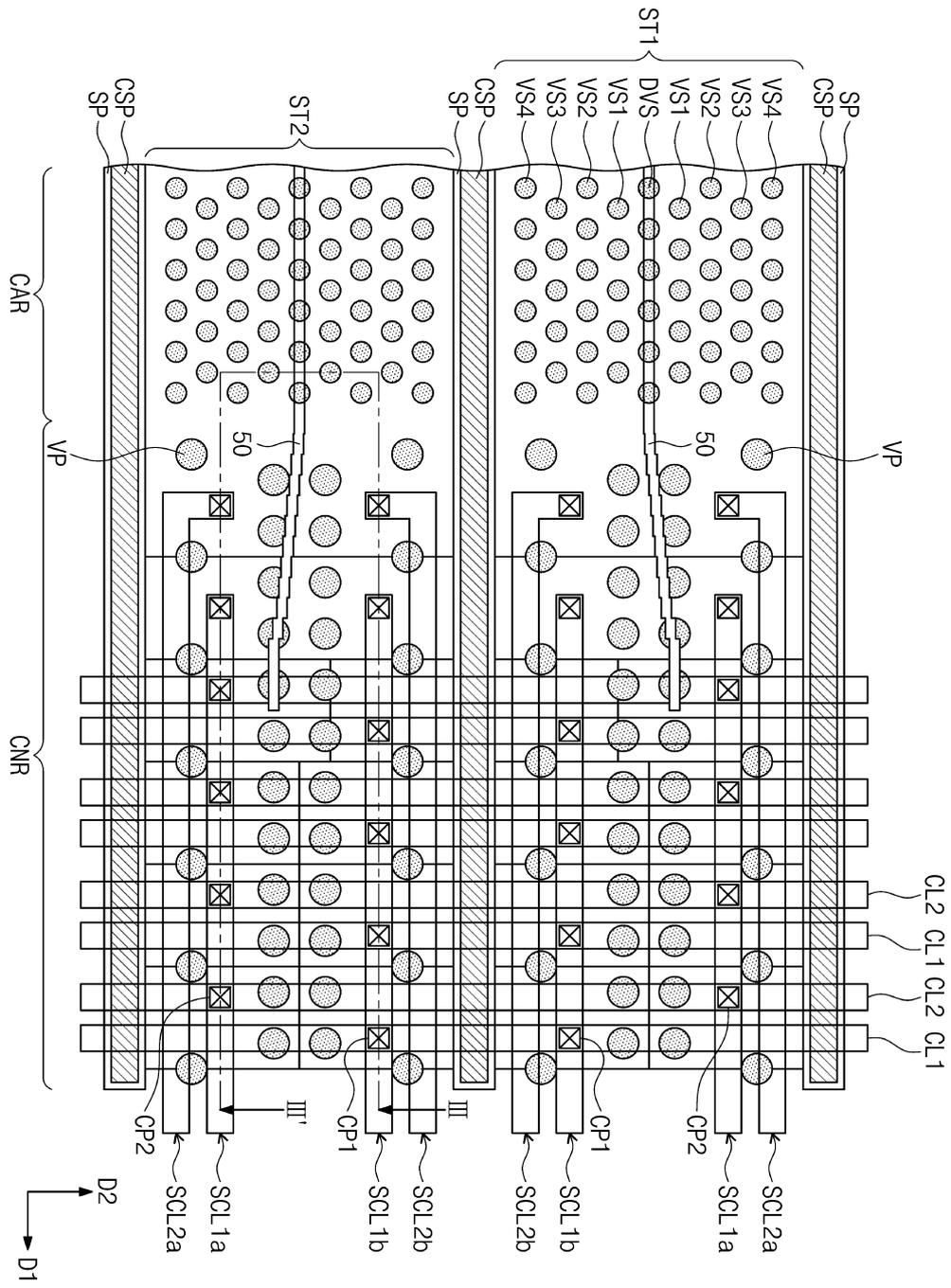
도면2



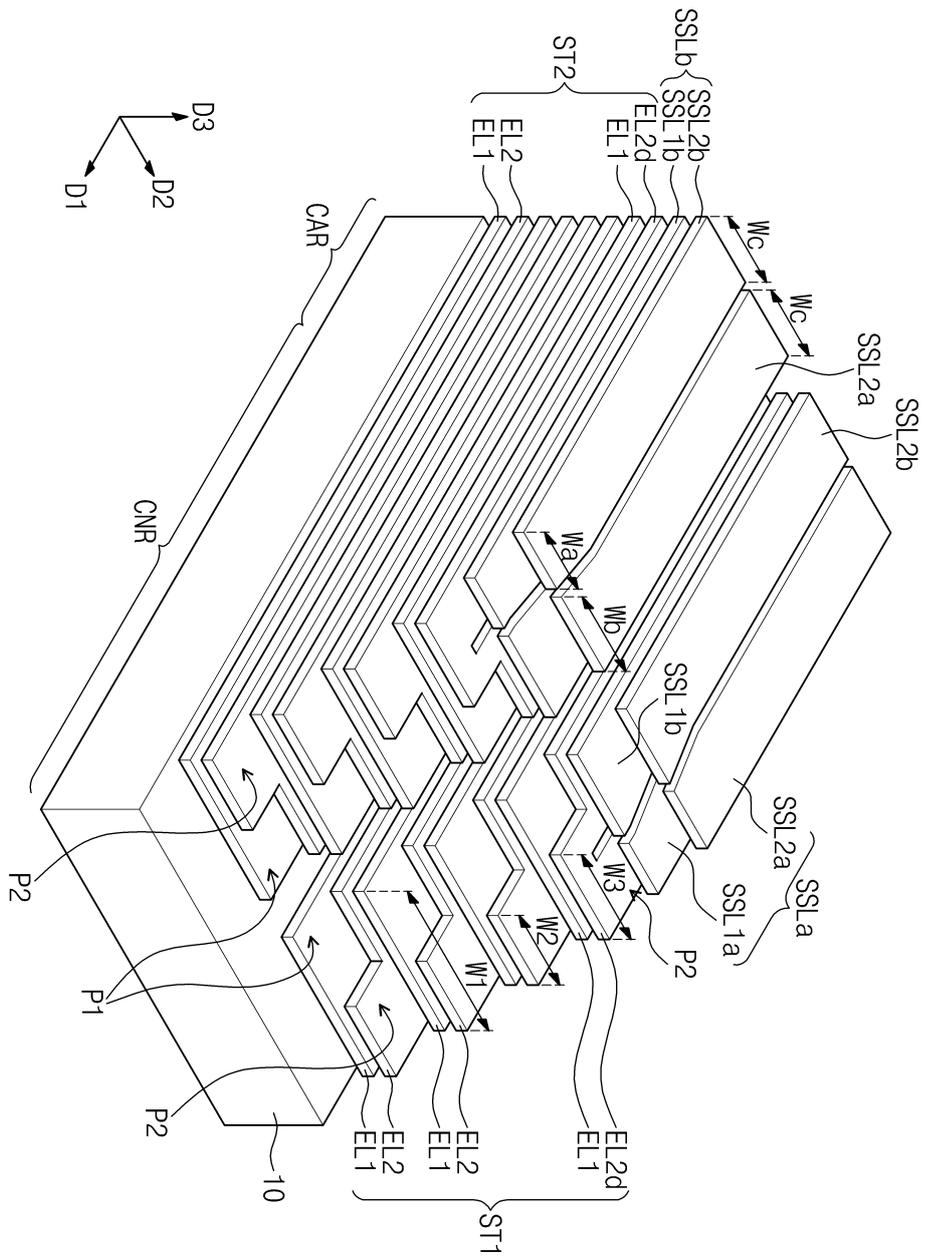
도면3



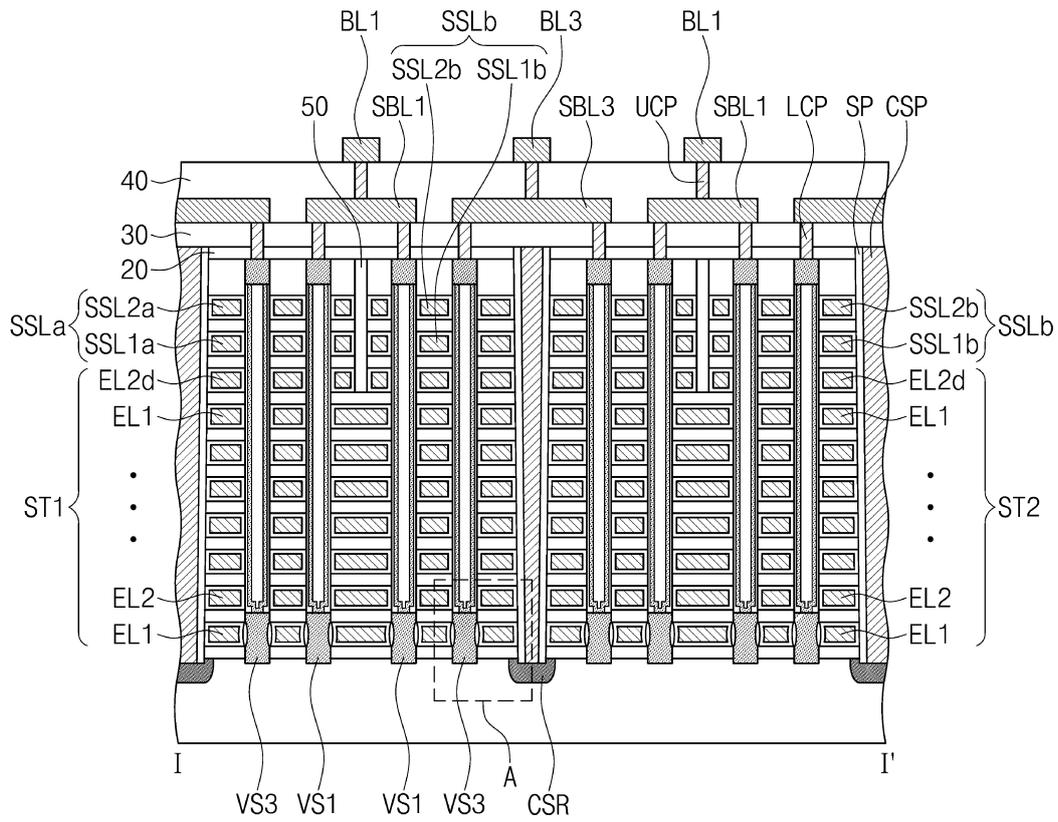
도면4



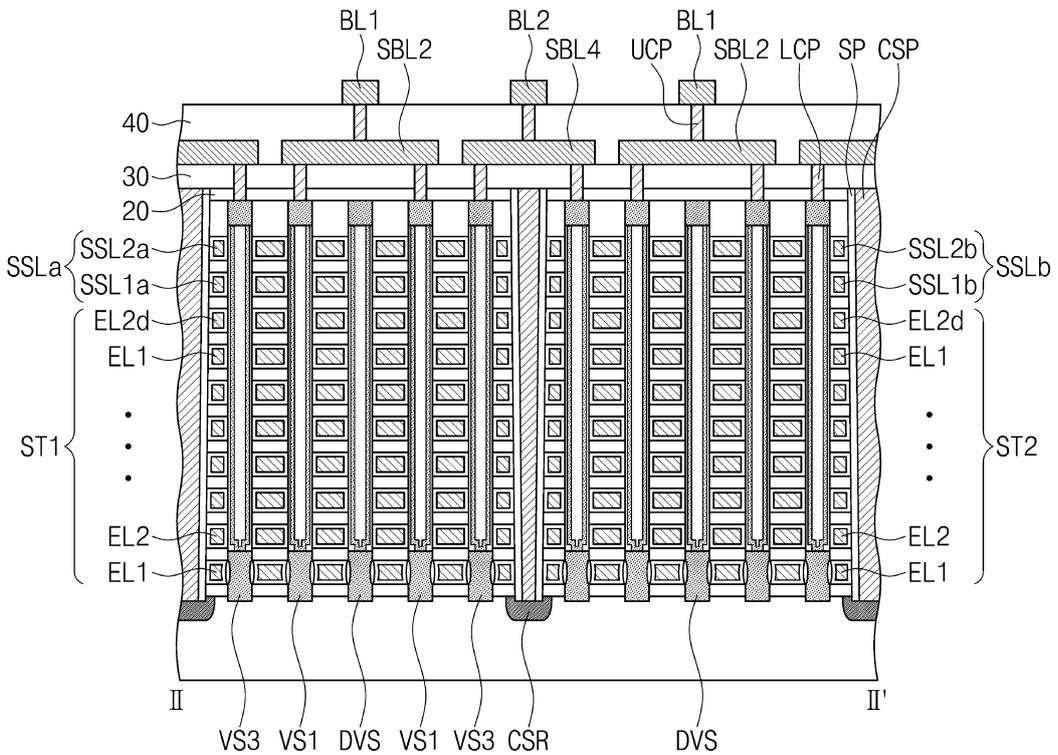
도면5



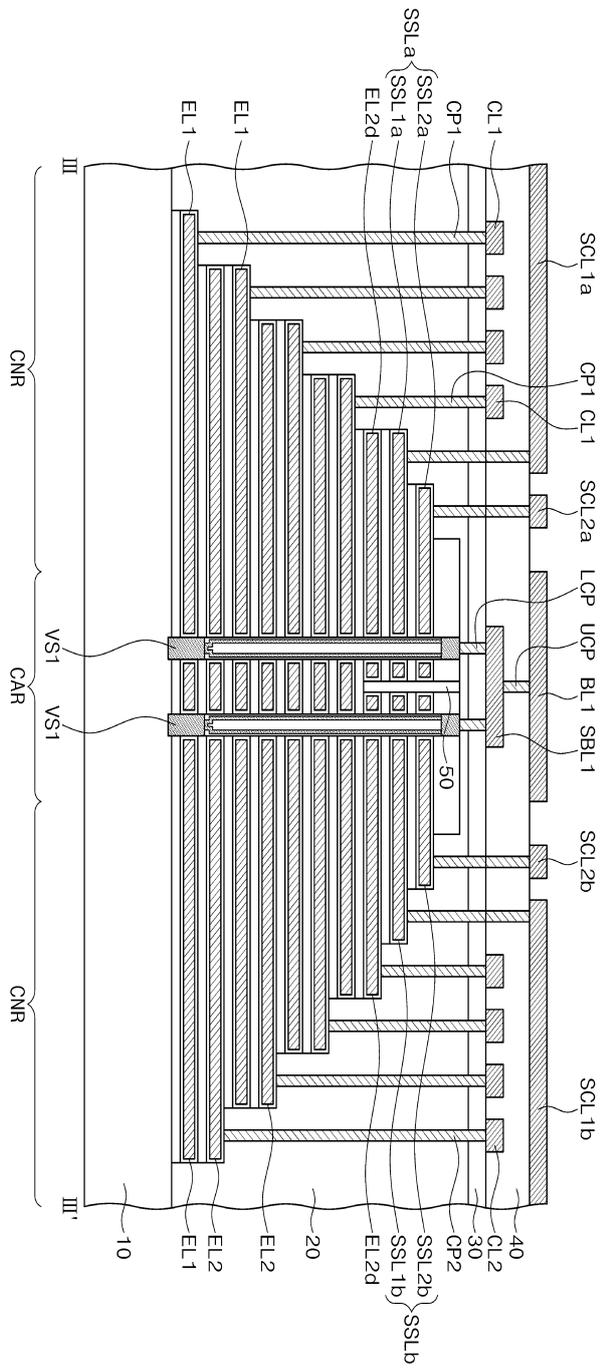
도면6



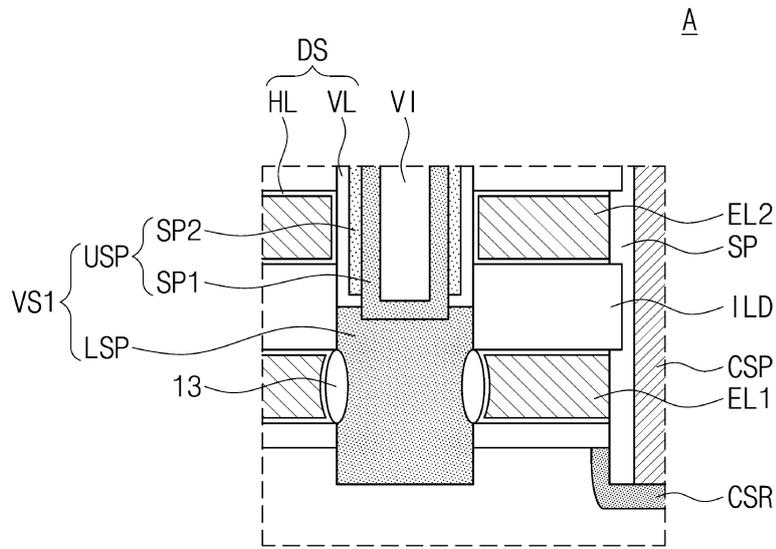
도면7



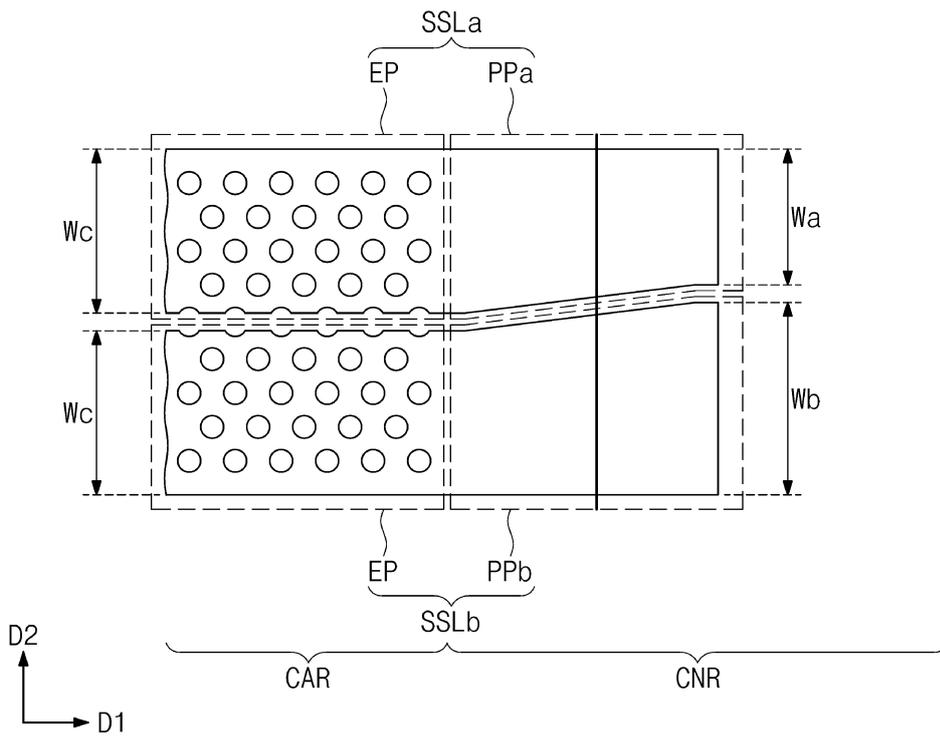
도면8



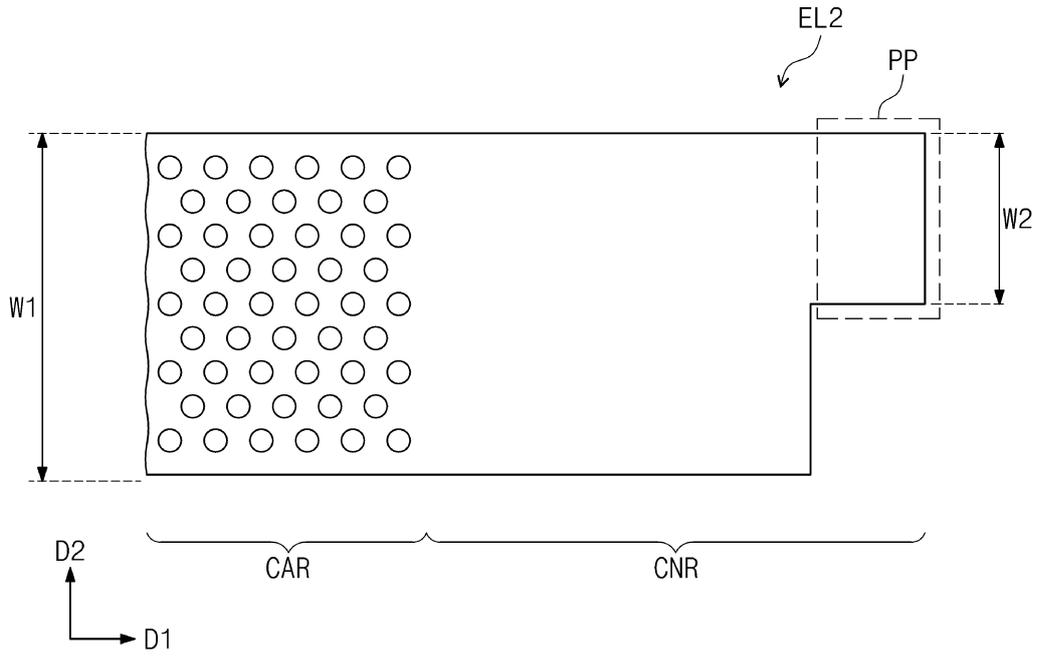
도면9



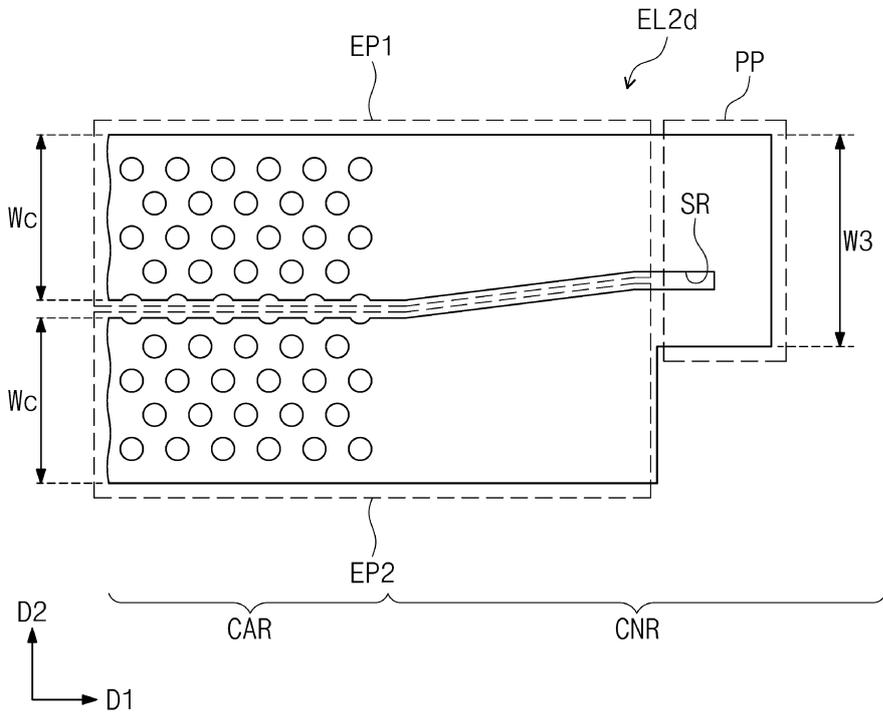
도면10a



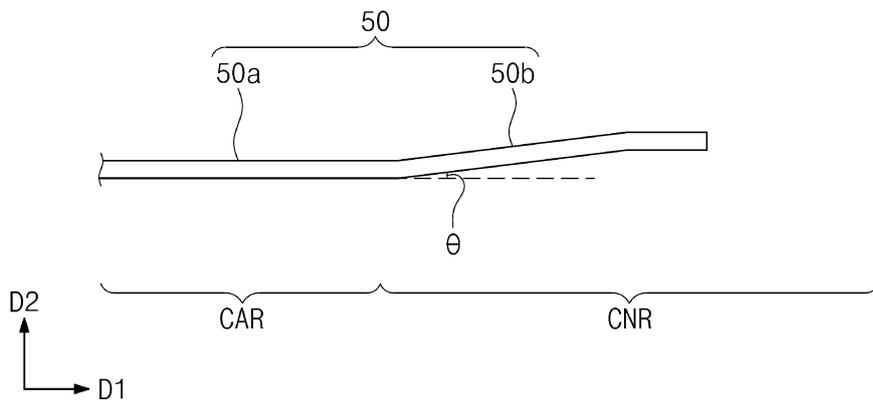
도면10b



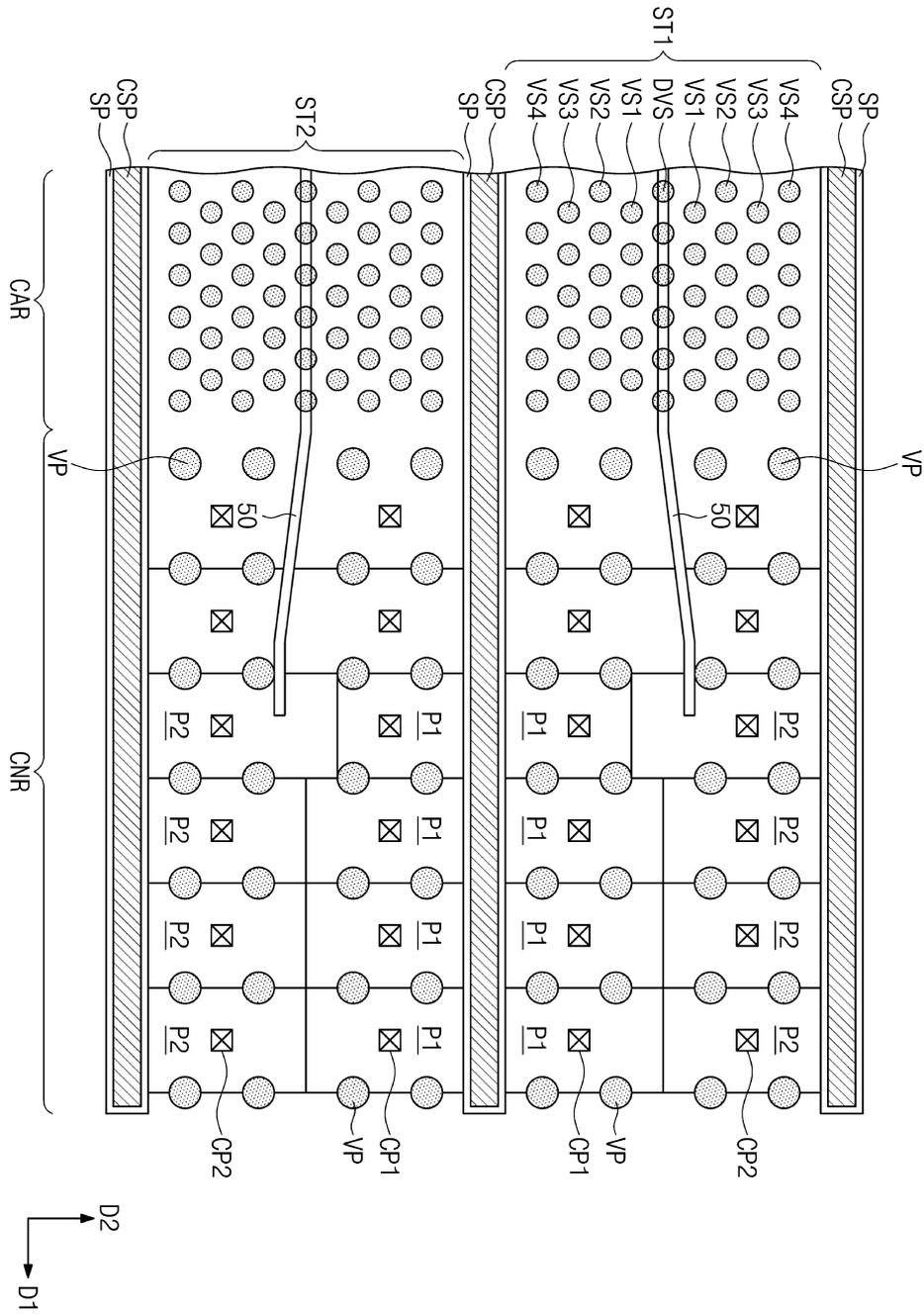
도면10c



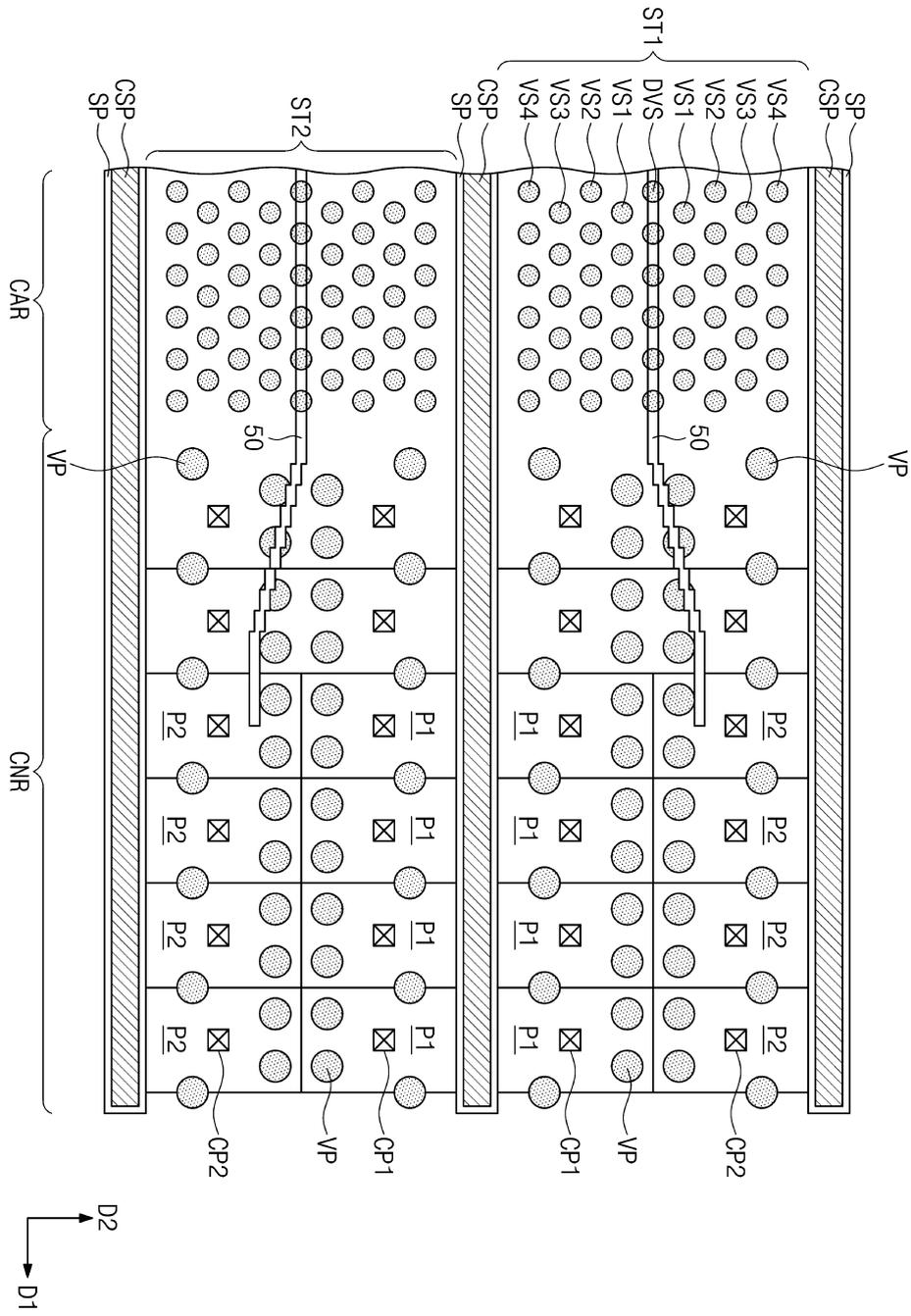
도면10d



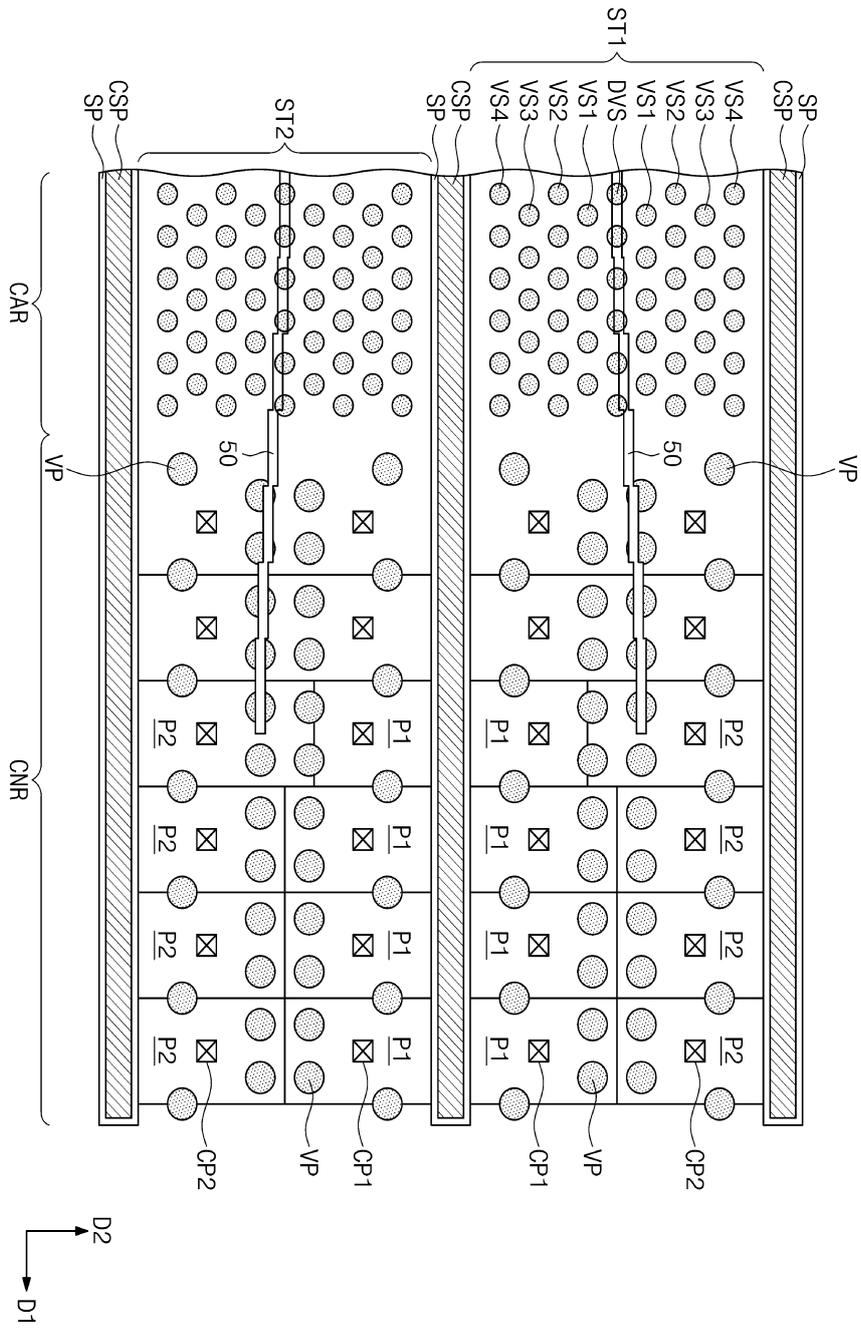
도면11



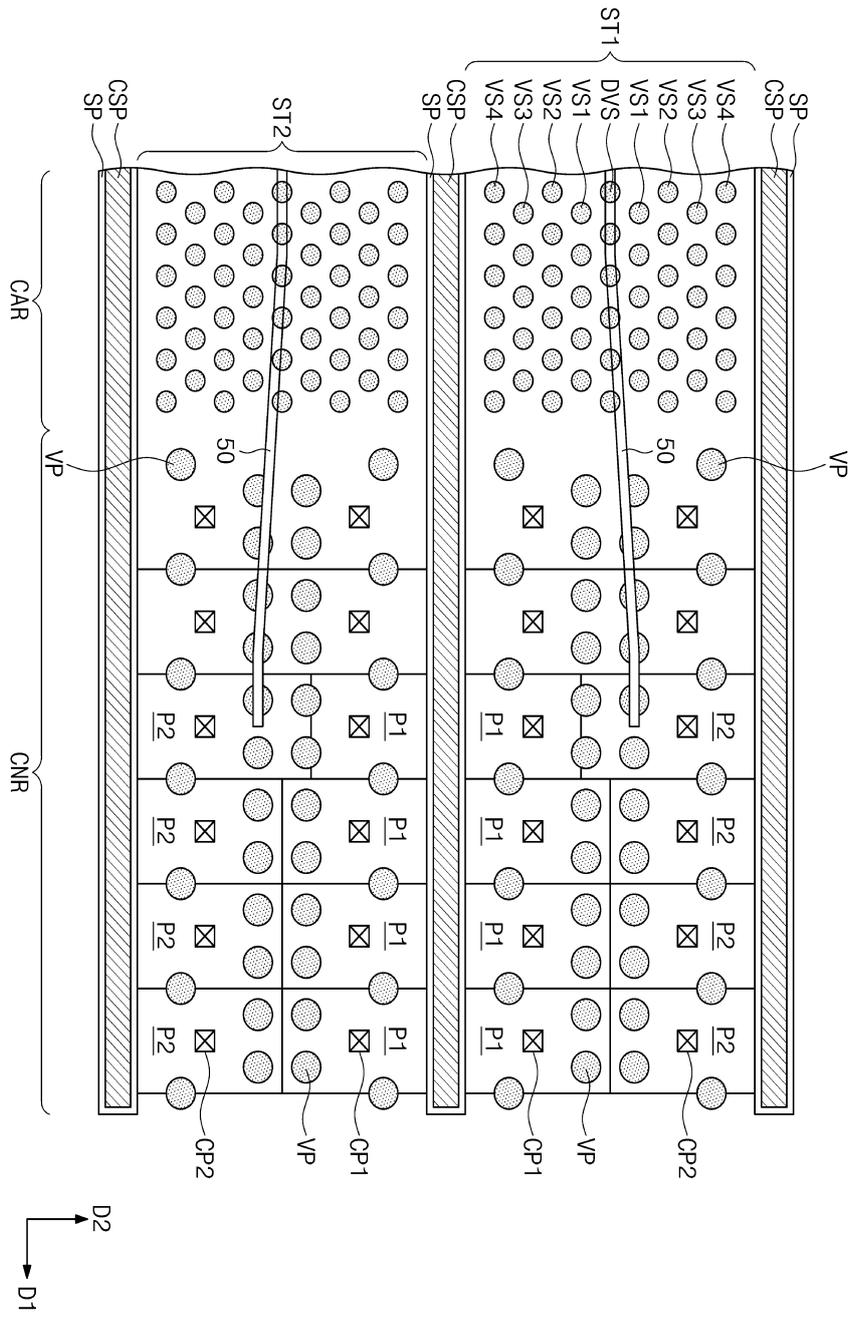
도면12



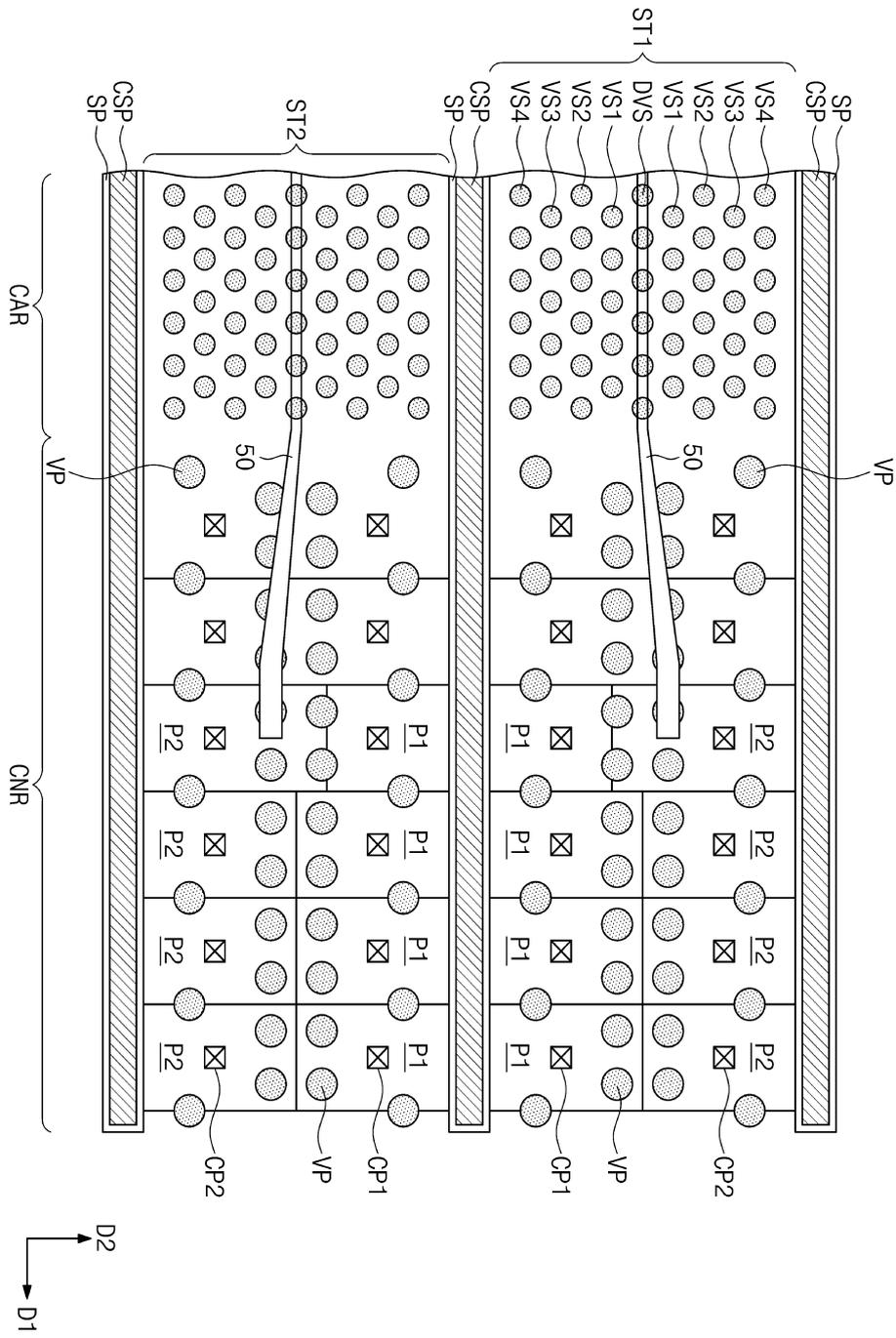
도면13



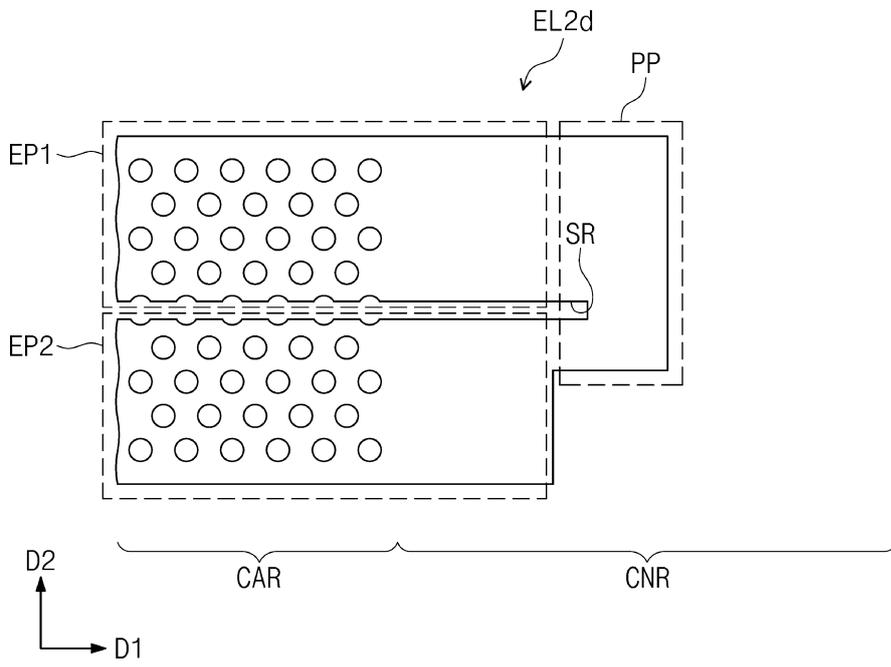
도면14



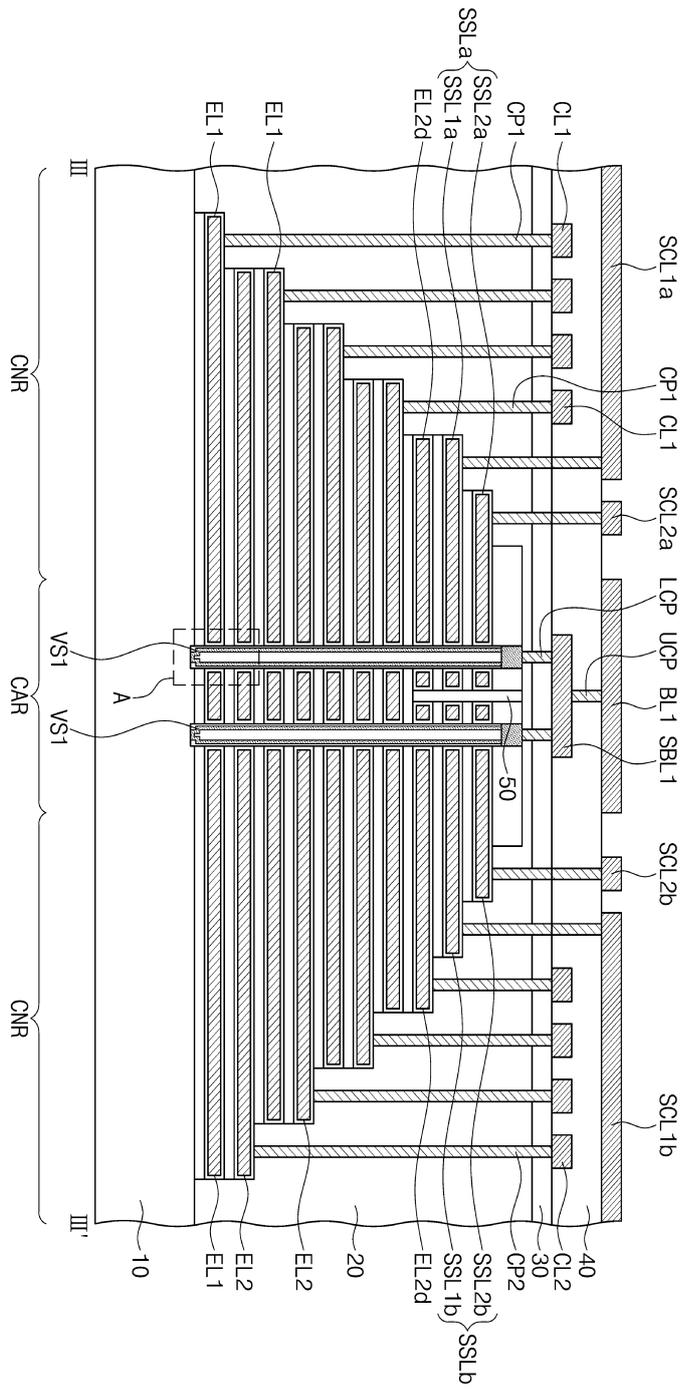
도면15



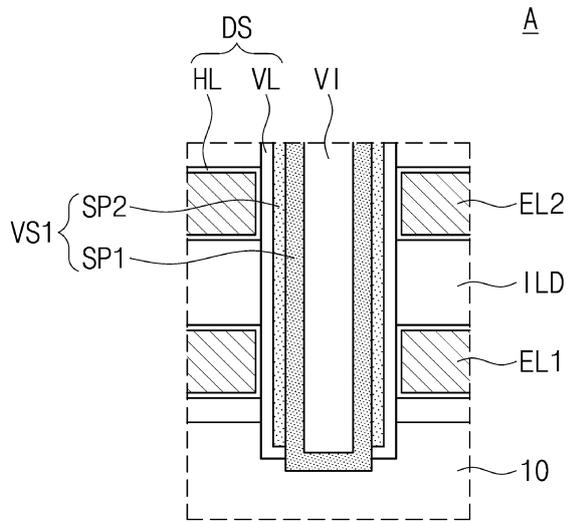
도면17



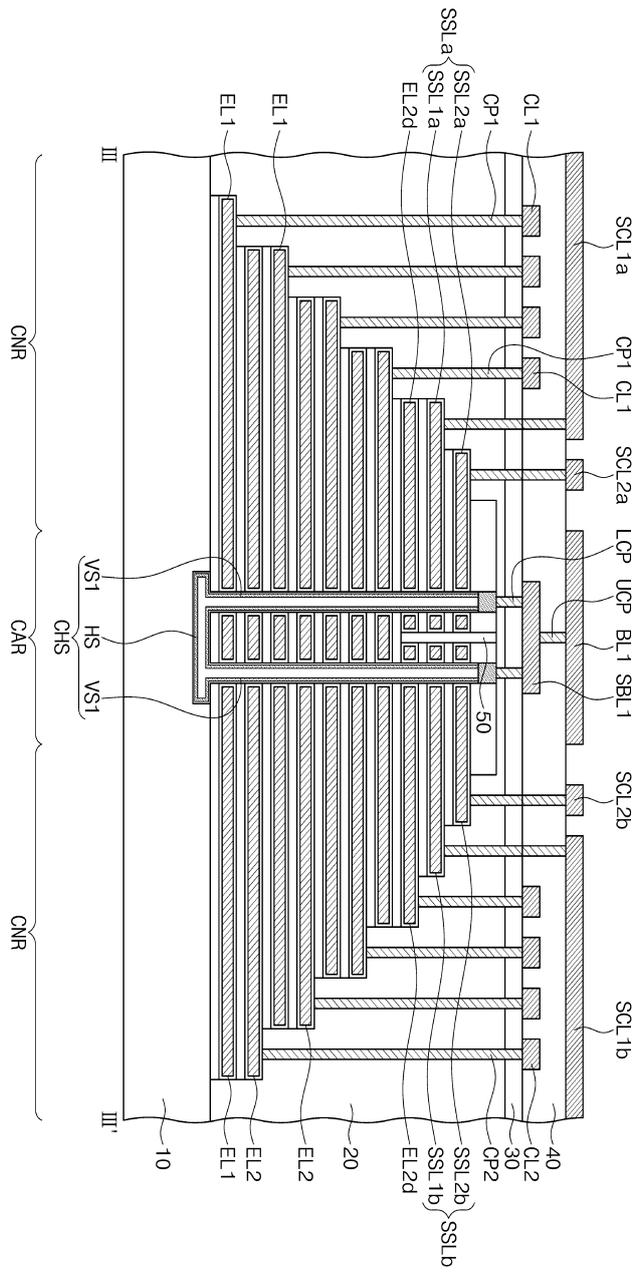
도면18



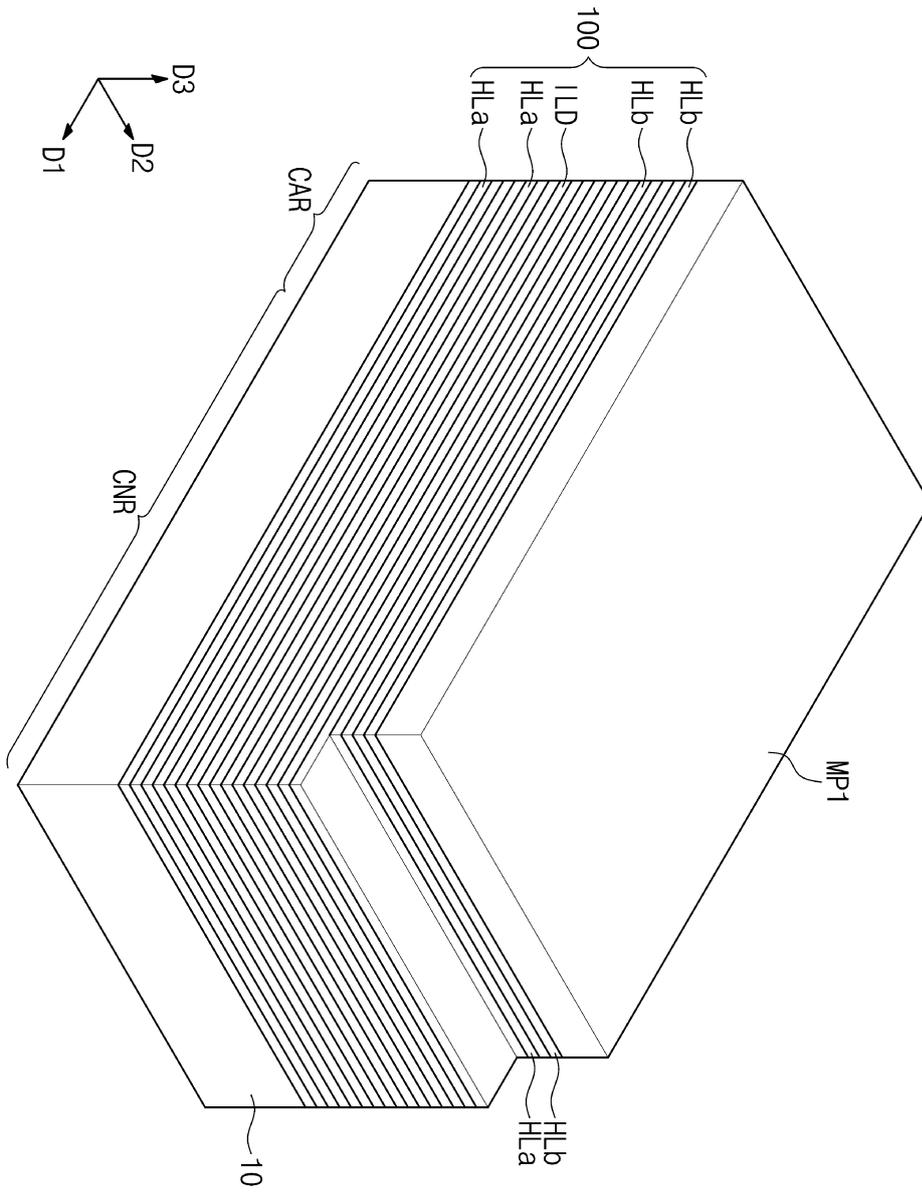
도면19



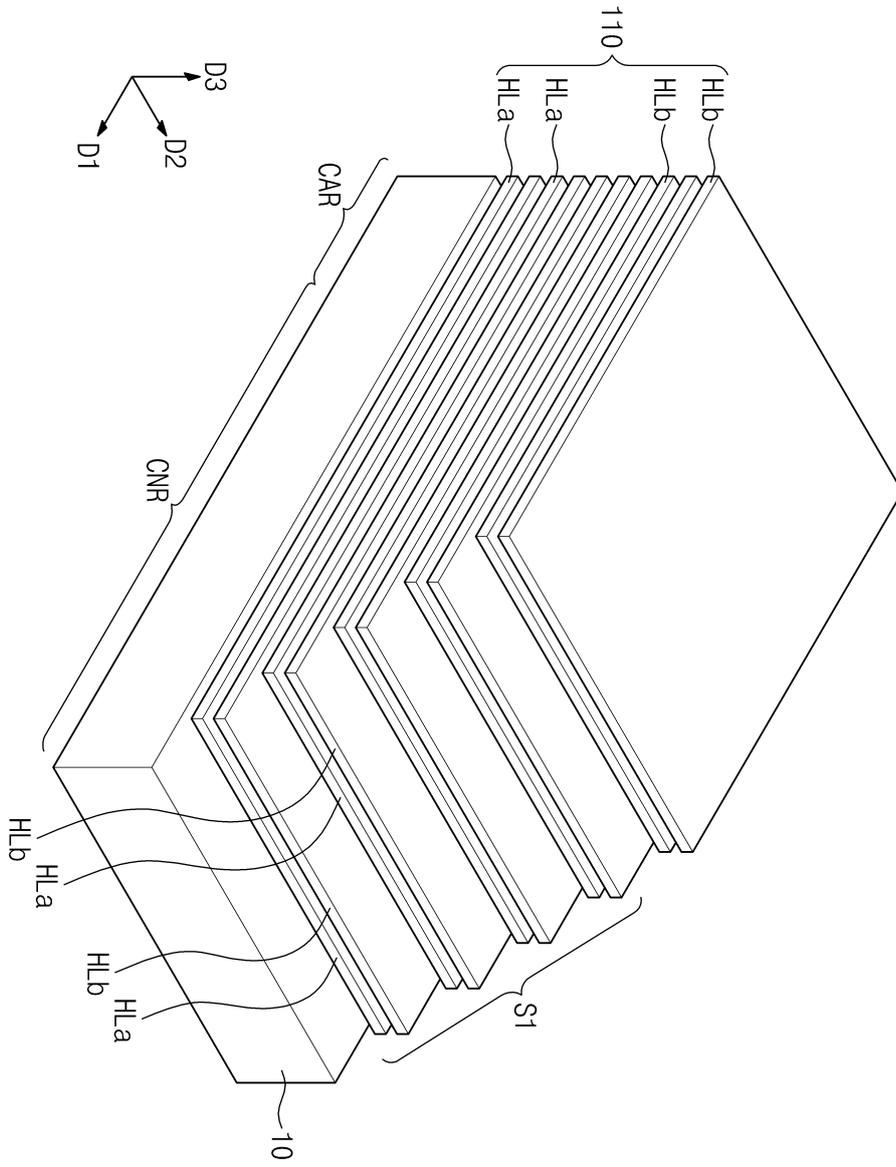
도면20



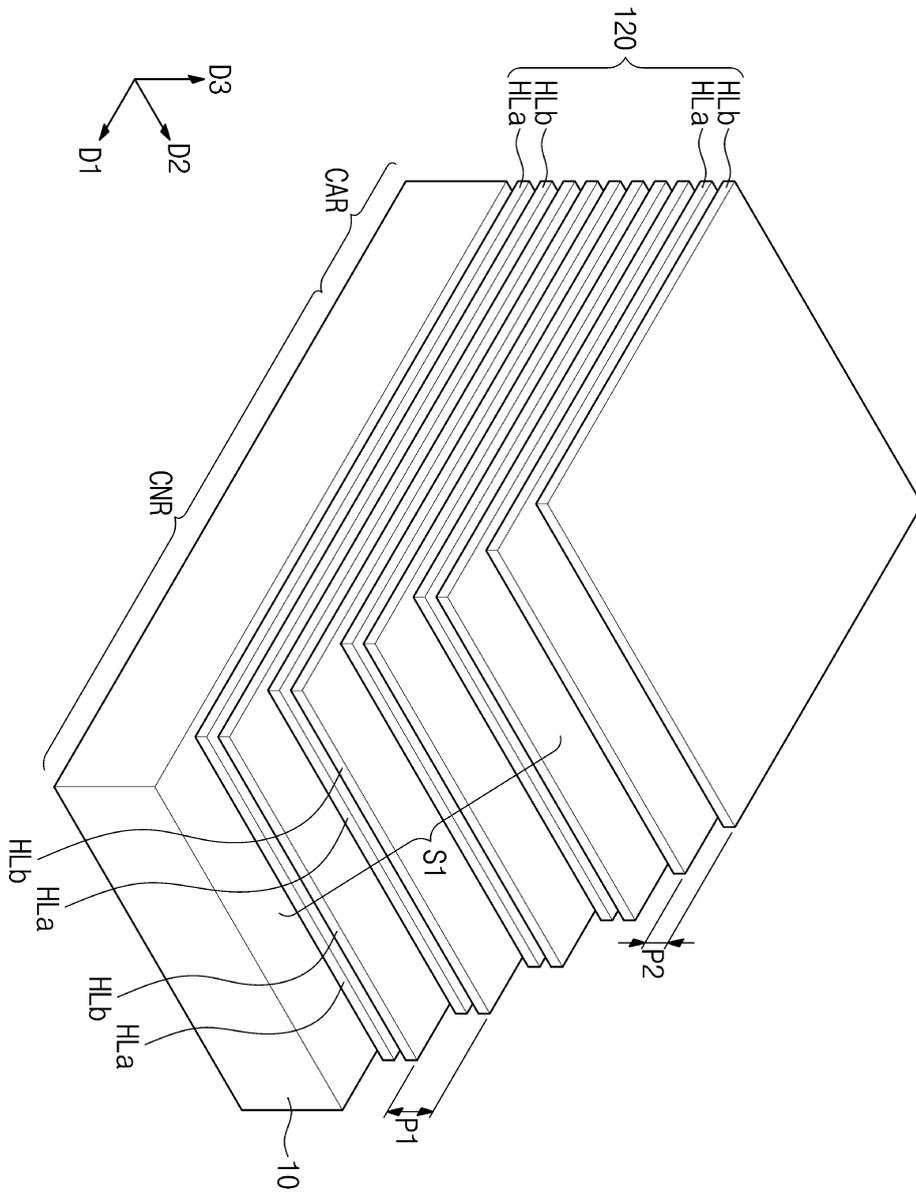
도면21



도면22



도면23



도면24

