



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년02월10일
(11) 등록번호 10-0941805
(24) 등록일자 2010년02월03일

(51) Int. Cl.

H01L 21/027 (2006.01)

(21) 출원번호 10-2007-0040416
(22) 출원일자 2007년04월25일
심사청구일자 2008년02월22일
(65) 공개번호 10-2008-0095646
(43) 공개일자 2008년10월29일
(56) 선행기술조사문헌
JP16039731 A
JP20118093 A
KR1020060055862 A
KR1020070013030 A

전체 청구항 수 : 총 4 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

전성민

부산 서구 토성동5가 27-1, 한성빌라 702호

(74) 대리인

신영무

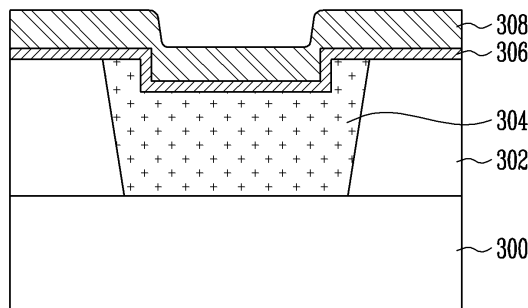
심사관 : 설관식

(54) 반도체 소자의 오버레이 마크 형성방법

(57) 요약

본 발명은 반도체 소자의 제조방법에 관한 것으로, 마스크 공정에서 다이 사이의 스크라이브 라인 영역에 오버레이 마크를 형성하는데 있어서, 상기 스크라이브 라인 영역에 절연막의 콘택 홀에 콘택 플러그가 형성되고, 상기 콘택 플러그의 상부에 트렌치가 형성된 반도체 기판이 제공되는 단계와, 상기 콘택 플러그와 절연막 상부에 원자층 증착방법을 통해 트렌치에 의해 발생된 단차가 유지되도록 금속 배선용 제1 금속막을 형성하는 단계와, 상기 제1 금속막 상부에 스퍼터링 방법을 이용하여 상기 단차가 유지되도록 금속 배선용 제2 금속막을 형성하는 단계를 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

마스크 공정에서 다이 사이의 스크라이브 라인 영역에 오버레이 마크를 형성하는데 있어서,

상기 스크라이브 라인 영역에 절연막의 콘택 홀에 콘택 플러그가 형성되고, 상기 콘택 플러그의 상부에 트렌치가 형성된 반도체 기판이 제공되는 단계;

상기 콘택 플러그와 절연막 상부에 원자층 증착방법을 통해 상기 트렌치에 의해 발생된 단차가 유지되도록 금속 배선용 제1 금속막을 형성하는 단계; 및

상기 제1 금속막 상부에 스퍼터링 방법을 이용하여 상기 단차가 유지되도록 금속 배선용 제2 금속막을 형성하는 단계를 포함하는 반도체 소자의 오버레이 마크 형성방법.

청구항 2

제1항에 있어서,

상기 제1 금속막은 알루미늄(Al)으로 형성하되, 상기 알루미늄(Al)의 핵을 생성하는 반도체 소자의 오버레이 마크 형성방법.

청구항 3

제1항에 있어서,

상기 제2 금속막은 알루미늄으로 형성하는 반도체 소자의 오버레이 마크 형성방법.

청구항 4

제1항에 있어서,

상기 제1 금속막과 제1 금속막은 서로 다른 챔버를 이용하여 형성하는 반도체 소자의 오버레이 마크 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0008] 본 발명은 반도체 소자의 오버레이 마크 형성방법에 관한 것으로, 특히 오버레이(overlay) 계측 정확도를 향상시키기 위한 반도체 소자의 오버레이 마크 형성방법에 관한 것이다.
- [0009] 반도체 장치를 제조함에 있어서, 노광 및 현상 공정 후 식각 공정을 실시하기 전에 반드시 오버레이(overlay) 계측을 실시하는데, 오버레이 계측은 선행 레이어 패턴과 현재의 레이어 패턴 간 정렬 정도를 측정하여 식각 공정을 실시하는 것이 가능한지를 판단하는 중요한 과정으로 디자인 룰(design rule) 축소와 함께 계측 정밀도의 비중이 계속 증대되는 추세이다.
- [0010] 오버레이 계측을 하기 위해서는 통상적으로 오버레이 측정 장치(KLA), 바이어레드(BIORAD)등의 벤더(VENDOR)가 제공하는 오버레이 계측기와 계측을 위한 기준 마크가 웨이퍼 상에 필요하게 되는데, 통상적으로 이 마크는 스크라이브 라인(scribe line) 영역이라는 다이(die)와 다이 간의 경계 영역에 특정한 형태를 갖는 패턴으로 생성된다.
- [0011] 일반적으로, 알루미늄(Al)을 이용하여 금속 배선을 형성하기 위한 노광 및 현상 공정에서의 오버레이 오차가 다른 노광 및 현상 공정에 비하여 잘 발생한다. 따라서, 알루미늄(Al)을 이용한 금속 배선 형성 공정 시 오버레이 오차가 발생하는 이유는 다음과 같다.
- [0012] 첫째, 금속 배선을 형성하기 위하여 알루미늄(Al) 형성 공정 시 알루미늄(Al)의 그레인 사이즈(grain size)가 커서 셀(cell)과 다른 양상의 오버레이 박스에 알루미늄(Al)이 비대칭적으로 증착된다.

- [0013] 둘째, 오버레이 측정 장비의 고유 특성으로 인하여 오버레이 측정 및 분석 시 오차가 발생할 뿐만 아니라, 정렬이 제대로 이루어지지 않는다.
- [0014] 셋째, 알루미늄(Al) 형성 공정 시 방향성을 가지는 성장성에 기인한 스퍼터링(sputtering) 방법을 이용하기 때문에 노광 공정 시 원하는 사이즈에 비해 다이(die) 크기가 커지거나 작아져 정렬이 제대로 이루어지지 않는다. 이로 인하여 오버레이 오차가 발생한다. 이를 도 1을 이용하여 설명하면 다음과 같다.
- [0015] 도 1을 참조하면, 웨이퍼(100)에서 A는 노광 공정 시 노광할 다이 사이즈를 나타내고, B는 노광 공정 시 다이 크기를 나타낸 것이다. 스퍼터링 방법을 이용하여 알루미늄(Al)을 형성하면, 노광 공정 시 원래 노광할 다이 사이즈(A)에 비해 노광되는 다이 크기가 커짐을 알 수 있다.
- [0016] 넷째, 알루미늄(Al) 형성 공정 시 스퍼터링 방법을 실시하는 툴(tool) 내에 회전하는 전자기장을 사용하기 때문에 웨이퍼가 조금 회전하는 경향이 있어 정렬이 제대로 이루어지지 않는다. 이로 인하여 오버레이 오차가 발생한다. 이를 도 2를 이용하여 설명하면 다음과 같다.
- [0017] 도 2를 참조하면, 웨이퍼(200)에서 C는 노광 공정 시 노광할 다이 사이즈를 나타내고, D는 노광 공정 시 회전된 웨이퍼(200) 내의 다이 크기를 나타낸 것이다. 스퍼터링 방법을 실시하는 툴 내에 회전하는 전자기장을 사용하여 알루미늄(Al)을 형성하면, 웨이퍼가 조금 회전하여 원래 노광 진행 시 원하는 다이 사이즈(C)와 회전된 웨이퍼(200) 내의 다이(D) 위치가 서로 달라짐을 알 수 있다.

발명이 이루고자 하는 기술적 과제

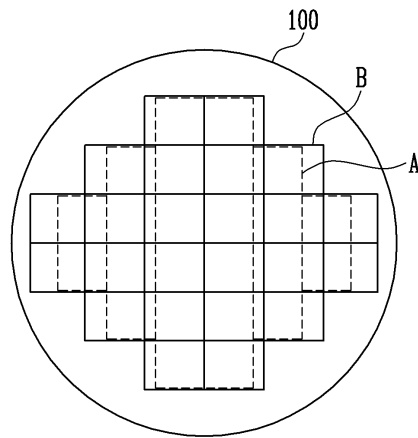
- [0018] 본 발명은 계단 도포성이 우수한 원자층 증착방법(Atomic Layer Deposition; ALD)을 통해 알루미늄(Al)의 핵을 생성(nucleation)하되, 핵 생성 비중을 늘려준 후 스퍼터링(sputtering) 증착 방법을 이용하여 알루미늄(Al)을 형성함으로써 셀 영역과 오버레이 마크에 비대칭적으로 형성되는 알루미늄(Al)의 단차 토폴로지(topology)를 개선할 수 있다.

발명의 구성 및 작용

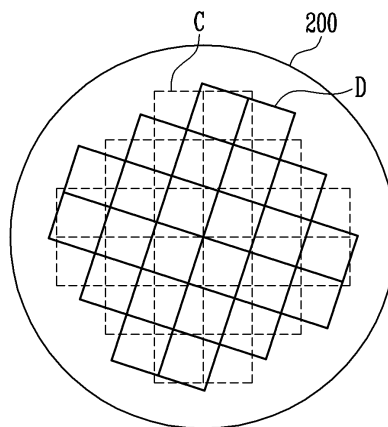
- [0019] 본 발명의 일 실시 예에 따른 반도체 소자의 제조방법은, 마스크 공정에서 다이 사이의 스크라이브 라인 영역에 오버레이 마크를 형성하는데 있어서, 스크라이브 라인 영역에 절연막의 콘택 홀에 콘택 플러그가 형성되고, 콘택 플러그의 상부에 트렌치가 형성된 반도체 기판이 제공된다. 콘택 플러그와 절연막 상부에 원자층 증착방법을 통해 트렌치에 의해 발생된 단차가 유지되도록 금속 배선용 제1 금속막을 형성한다. 제1 금속막 상부에 스퍼터링 방법을 이용하여 단차가 유지되도록 금속 배선용 제2 금속막을 형성한다.
- [0020] 상기에서, 제1 금속막은 알루미늄(Al)으로 형성하되, 알루미늄(Al)의 핵을 생성한다. 제2 금속막은 알루미늄으로 형성한다. 제1 금속막과 제2 금속막은 서로 다른 챔버를 이용하여 형성한다.
- [0021] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.
- [0022] 도 3은 본 발명의 일 실시 예에 따른 반도체 소자의 오버레이 마크 형성방법을 설명하기 위해 나타낸 단면도로서, 다이(die)에 금속 배선을 형성하기 위한 알루미늄(Al)막을 형성할 때 다이 사이의 스크라이브 라인 영역(scribe line area) 내에 특정한 형태를 갖는 오버레이 마크가 형성되는 영역에서 알루미늄(Al)이 동시에 형성되는 공정을 설명한 것이다. 스크라이브 라인 영역에 아래와 같은 공정 단계가 실시되는 동안 다이에서도 동일한 공정 단계가 실시된다.
- [0023] 반도체 기판(300) 상부에 절연막(302)을 형성한 후 절연막(302)을 선택적으로 식각하여 콘택 홀을 형성한다. 이때, 절연막(302)은 산화물로 형성한다.
- [0024] 그런 다음, 콘택 홀이 채워지도록 콘택 홀 내에 금속물질을 형성한 후 절연막(302) 상부가 노출될 때까지 화학적 기계적 연마(Chemical Mechanical Polishing; CMP) 공정을 실시하여 콘택 플러그(304)를 형성한다. 이때, 금속물질은 텅스텐(W)막으로 형성한다. 콘택 플러그(304)를 형성하기 위한 연마 공정 시 콘택 플러그(304) 상부의 일부 영역에는 단차를 갖는 트렌치가 형성된다. 콘택 플러그(304)는 하부 영역과 후속 공정에서 형성될 상부 영역을 연결해주는 역할을 한다.
- [0025] 그런 다음, 콘택 플러그(304) 및 절연막(302) 상부에 제1 금속막(306)을 형성한다. 이때, 제1 금속막(306)은 계단 도포성이 우수한 원자층 증착방법(Atomic Layer Deposition; ALD)을 이용하여 알루미늄(Al) 핵을 생성(nucleation)한다. 제1 금속막(306) 형성 공정 시 기존에 비해 형성 공정 비중을 늘려 준다. 제1 금속막(306)

도면

도면1



도면2



도면3

