



(10) **DE 10 2023 109 583 A1** 2024.10.17

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2023 109 583.8**

(22) Anmeldetag: **17.04.2023**

(43) Offenlegungstag: **17.10.2024**

(51) Int Cl.: **H01L 23/495** (2006.01)

H01L 23/31 (2006.01)

(71) Anmelder:

Infineon Technologies AG, 85579 Neubiberg, DE

(74) Vertreter:

**Lambsdorff & Lange Patentanwälte Partnerschaft
mbB, 81675 München, DE**

(72) Erfinder:

**Fürgut, Edward, 86453 Dasing, DE; Lee, Teck Sim,
Paya Rumput, MY; Chee, Guey Yong, Batu
Berendam, MY; Gan, Thai Kee, Melaka Tengah,
MY; Bemmerl, Thomas, 92421 Schwandorf, DE;
Fink, Markus, 93199 Zell, DE**

(56) Ermittelter Stand der Technik:

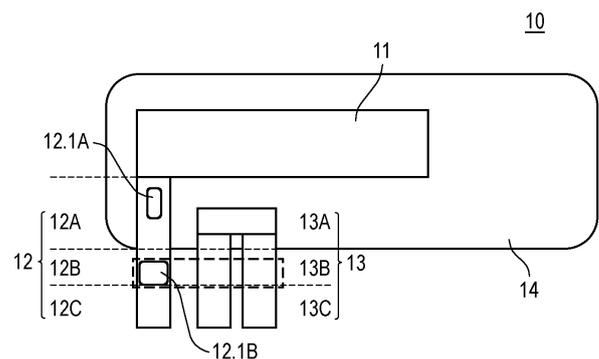
DE	10 2019 133 235	A1
DE	696 37 488	T2
US	2003 / 0 127 711	A1
EP	0 731 505	A2
EP	3 926 677	A2
JP	H02- 15 661	A

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **EIN LEITERRAHMEN MIT EINEM LEITER MIT EINER ERHEBUNG ZUR ERHÖHUNG DER MECHANISCHEN ROBUSTHEIT UND EIN HALBLEITERPACKAGE**

(57) Zusammenfassung: Ein Leiterraahmen (10) umfasst ein Die-Pad (11), einen ersten Leiter (12), der einen inneren Abschnitt (12A) und einen äußeren Abschnitt (12B, 12C) umfasst, wobei der erste Leiter (12) mindestens einen Erhebungsabschnitt (12.1A, 12.1B) umfasst, der sich über eine vorbestimmte Länge in einer Längs- oder Querrichtung des ersten Leiters (12) erstreckt, wobei der äußere Abschnitt (12B, 12C) so konfiguriert ist, dass er für eine externe elektrische Verbindung verwendet wird.



Beschreibung

TECHNISCHES GEBIET

[0001] Die vorliegende Offenbarung bezieht sich auf einen Leiterraum und ein Halbleiterpackage.

HINTERGRUND

[0002] Diskrete Halbleiterpackages werden kontinuierlich in Richtung höherer Effizienz und Ausgangsleistung weiterentwickelt. Ein entscheidender Faktor ist dabei die Erhöhung der Strombelastbarkeit der zu entwickelnden Gehäuse. In neuen Anwendungen wie „Green Energy“, z.B. Solarmodule, ESS (Energiespeichersysteme), Laden von Elektrofahrzeugen, ist die Produktlebensdauer auch durch die Robustheit gegenüber Stromzyklen begrenzt, so dass hohe Ströme in Kombination mit hohen Stromzyklen neue Geschäftspotentiale bieten.

[0003] Insbesondere Bauteile mit breitem Bandabstand wie SiC- und GaN-Transistorchips können im Vergleich zu Standard-Si-Bauteilen weitaus höhere Stromdichten erreichen. Daher können entweder kleinere Chips bei gleichem Ausgangsstrom verwendet werden oder es kann ein höherer Ausgangsstrom bei gleicher Chipgröße erreicht werden. Dies hat zur Folge, dass die Verbindungen des Bauelements (Drähte, Clips usw.) ebenfalls einen höheren Strom führen müssen, was bei einigen Bauelementen eine Einschränkung darstellen kann.

[0004] Eine Möglichkeit, die Strombelastbarkeit des Gehäuses zu erhöhen, besteht darin, die Anzahl der elektrischen Verbindungen zwischen zwei Elementen zu erhöhen, z. B. die Anzahl der Bonddrähte zwischen dem Sourcepad eines Halbleiterdie und der/den Sourceleiter(n) in einem Halbleiterpackage zu erhöhen. Da diese erhöhte Anzahl von Verbindungen jedoch in der Regel mehr Platz benötigt, können an anderer Stelle Probleme auftreten, insbesondere mechanischer Art, z. B. wird durch mehr Bonddrähte für die Source-Verbindung der Platz für andere Leiter, insbesondere für die Drainleiter des Gehäuses, verringert, vor allem, wenn die Größe des Gehäuses gleich bleiben muss oder zumindest nicht wesentlich zunehmen kann. Eine weitere Ursache sind Gehäuse mit mehreren Chips, z. B. mit mehreren Power-Dies und/oder Logik-Dies. Auch wenn sich die Anzahl der Verbindungen zwischen diesem Chip und den Leitern für jeden einzelnen Chip nicht erhöht, kann die Gesamtzahl der Verbindungen erheblich zunehmen. Wenn der Formfaktor des Gehäuses nicht entsprechend erhöht werden kann, werden zumindest einige Leiter des Gehäuses verschmälert. Es gibt auch andere mögliche Gründe für die Verringerung der Breite einiger Leiter.

[0005] Aus diesen und anderen Gründen besteht ein Bedarf an der vorliegenden Offenbarung.

ZUSAMMENFASSUNG

[0006] Bei der Entwicklung von Halbleiter-Leistungstransistoren besteht, wie bereits oben erwähnt, im Allgemeinen die Tendenz, die Anzahl der Bonddrähte und/oder die Breite der Clips zu erhöhen, die ein Power Pad, z. B. ein Sourcepad und/oder einen Drain-Anschluss, mit den externen Source-/Drainleitern verbinden. Dies kann dazu führen, dass weniger Platz für andere externe Pins wie Drainpin, Gatepin, Stromsensorpin usw. zur Verfügung steht, weshalb die Breite mindestens eines dieser Pins verringert werden muss. Dies kann zu einer verringerten Robustheit bei der Herstellung führen, was ein hohes Risiko des Verbiegens oder der Vibration, z. B. während des Chipbefestigungsprozesses, des Drahtbondprozesses, des Formprozesses usw., mit sich bringen kann. Daher besteht eine Motivation der vorliegenden Offenbarung darin, die mechanische Robustheit von mindestens einem dieser Pins zu erhöhen, beispielsweise wenn er das Die-Pad verbindet und stützt oder Bonddrähte oder Clips oder andere Komponenten aufnimmt.

[0007] Ein erster Aspekt der vorliegenden Offenbarung bezieht sich auf einen Leiterraum, der ein Die-Pad, einen ersten Leiter mit einem inneren Abschnitt und einem äußeren Abschnitt umfasst, wobei der erste Leiter mindestens einen Erhebungsabschnitt umfasst, der sich über eine vorbestimmte Länge in einer Längs- oder Querrichtung des ersten Leiters erstreckt, wobei der äußere Abschnitt so konfiguriert ist, dass er für eine externe elektrische Verbindung verwendet wird.

[0008] Gemäß einer Ausführungsform des Leiterraums des ersten Aspekts umfasst der Leiterraum ferner einen zweiten Leiter mit einem inneren Abschnitt und einem äußeren Abschnitt, wobei der äußere Abschnitt so konfiguriert ist, dass er für eine externe elektrische Verbindung verwendet wird.

[0009] Gemäß einer Ausführungsform des Leiterraums des ersten Aspekts wird die Erhebung durch eine Verformung des ersten Leiters erzeugt, insbesondere durch eine Prägung, die in einer Richtung senkrecht zur Längsrichtung des ersten Leiters ausgeübt wird.

[0010] Gemäß einer Ausführungsform des Leiterraums des ersten Aspekts ist der Erhebungsabschnitt an dem inneren Abschnitt angeordnet, wobei der innere Abschnitt in eine Einkapselung einzubetten ist.

[0011] Gemäß einer Ausführungsform des Leiterraums des ersten Aspekts, wobei die äußeren

Abschnitte des ersten und des zweiten Leiters jeweils einen Dambarabschnitt umfassen, wobei die Erhebung des ersten Leiters auf dem Dambarabschnitt des ersten Leiters (12) angeordnet ist.

[0012] Gemäß einer Ausführungsform des Leiterrahmens des ersten Aspekts ist der erste Leiter physisch mit dem Die-Pad verbunden.

[0013] Gemäß einer Ausführungsform des Leiterrahmens des ersten Aspekts umfasst der innere Abschnitt einen abgesenkten Abschnitt.

[0014] Gemäß einer Ausführungsform des Leiterrahmens nach dem ersten Aspekt ist der innere Abschnitt des ersten Leiters nicht physisch mit dem Die-Pad verbunden.

[0015] Gemäß einer Ausführungsform des Leiterrahmens des ersten Aspekts ist der innere Abschnitt so konfiguriert, dass er mit einem Bonddraht oder einer passiven Komponente verbunden ist.

[0016] Gemäß einer Ausführungsform des Leiterrahmens des ersten Aspekts ist die Erhebung sowohl an dem inneren Abschnitt als auch an dem Verbindungsabschnitt vorgesehen.

[0017] Gemäß einer Ausführungsform des Leiterrahmens des ersten Aspekts umfasst die Erhebung eine rechteckige Form oder eine V-Form in einem seitlichen Querschnitt und/oder ein nach oben gebogenes Element an einer Kante des Anschlussabschnitts.

[0018] Gemäß einer Ausführungsform des Leiterrahmens des ersten Aspekts umfasst der zweite Leiter ferner einen zweiten Erhebungsabschnitt, der dem Erhebungsabschnitt des ersten Leiters entspricht.

[0019] Gemäß einer Ausführungsform des Leiterrahmens des ersten Aspekts ist der Leiterrahmen ein Element eines Leiterrahmen-Panels, wobei das Leiterrahmen-Panel eine Anordnung von $m \times n$ Leiterrahmen umfasst, wobei m und n ganze Zahlen sind, wobei der erste Leiter eines Leiterrahmens mit einem beliebigen Leiter oder Die-Pad eines benachbarten Leiterrahmens über eine Verbindungsleiste senkrecht zur Längsrichtung des ersten Leiters des Leiterrahmens verbunden ist. Gemäß einem weiteren Ausführungsbeispiel verbindet der Verbindungssteg den ersten Leiter an einer der folgenden Positionen: dem Verbindungsabschnitt, dem Dambarabschnitt des ersten Leiters oder einem Stützsteg, der mit dem Ende des äußeren Abschnitts des ersten Leiters verbunden ist.

[0020] Gemäß einer Ausführungsform des Leiterrahmens des ersten Aspekts weist der Abschnitt der

Erhebung des ersten Leiters (12) eine Höhe auf, die mindestens 10% der Dicke des ersten Leiters beträgt. In einer anderen Ausführungsform kann die Höhe in Abhängigkeit von verschiedenen Faktoren wie der Dicke des Leiters, der Breite des Leiters, der Härte des Materials des Leiters und/oder der verschiedenen Verformungstechnologien nicht weniger als 20% oder 30% betragen.

[0021] Ein zweiter Aspekt der vorliegenden Offenbarung bezieht sich auf ein Halbleiterpackage, das einen Leiterrahmen mit einem Die-Pad, einen ersten Leiter mit einem inneren Abschnitt und einem äußeren Abschnitt, wobei der erste Leiter mindestens einen Erhebungsabschnitt umfasst, der sich über eine vorbestimmte Länge in einer Längs- oder Querrichtung des ersten Leiters erstreckt, wobei der äußere Abschnitt so konfiguriert ist, dass er für eine externe elektrische Verbindung verwendet wird, und eine Einkapselung umfasst, die auf dem Leiterrahmen und dem Halbleiterdie angeordnet ist.

[0022] Gemäß einer Ausführungsform des Halbleiterpackages des zweiten Aspekts umfasst der Leiterrahmen ferner einen zweiten Leiter mit einem inneren Abschnitt und einem äußeren Abschnitt, wobei der äußere Abschnitt so konfiguriert ist, dass er für eine externe elektrische Verbindung verwendet wird.

[0023] Gemäß einer Ausführungsform des Halbleiterpackages des zweiten Aspekts umfassen die äußeren Abschnitte des ersten und des zweiten Leiters jeweils einen Dambarabschnitt, wobei die Erhebung des ersten Leiters auf dem Dambarabschnitt des ersten Leiters angeordnet ist.

[0024] Gemäß einer Ausführungsform des Halbleiterpackages nach dem zweiten Aspekt befindet sich der Abschnitt mit der Erhebung innerhalb oder außerhalb der Einkapselung.

[0025] Gemäß einer Ausführungsform des Halbleiterpackages des zweiten Aspekts ist der erste Leiter als Drainleiter zu verwenden, der zweite Leiter ist als Sourceleiter zu verwenden, wobei der Leiterrahmen ferner einen dritten Leiter umfasst, der als Gateleiter zu verwenden ist.

[0026] Gemäß einer Ausführungsform des Halbleiterpackages des zweiten Aspekts ist die erste Leitung als Gateleiter, Source-Sense-Leiter, Sourceleiter oder I/O-Signalleiter zu verwenden.

[0027] Gemäß einer Ausführungsform des Halbleiterpackages des zweiten Aspekts ist die Halbleiterdiele eine vertikale Halbleitertransistordiele mit einer ersten Hauptfläche und einer zweiten Hauptfläche, die der ersten Hauptfläche gegenüberliegt, und einem ersten Kontakt-Pad, das auf der ersten Hauptfläche angeordnet und mit dem Die-Pad verbunden

ist, einem zweiten Kontakt-Pad, das auf der zweiten Hauptfläche angeordnet ist, und einem dritten Kontakt-Pad, das auf der zweiten Hauptfläche angeordnet ist. Gemäß einem weiteren Beispiel ist das erste Kontaktpad ein Drainpad, das zweite Kontaktpad ein Sourcepad, das dritte Kontaktpad ein Gatepad und das vierte Kontaktpad ein Source-Sensepad. In einer alternativen Konfiguration ist das erste Kontaktpad das Sourcepad und das zweite Kontaktpad das Drainpad, was die sogenannte Sourcedown-Konfiguration darstellt. Gemäß weiteren Beispielen davon ist der Halbleitertransistordie eine IGBT-Die oder eine MOSFET-Die.

[0028] Gemäß einer Ausführungsform des Halbleiterpackages ist der Halbleitertransistordie eine Halbleiterleistungstransistordie. Der Begriff „Leistungshalbleitertransistordie“ kann sich hier auf eine Halbleiterdie beziehen, die mindestens eine der folgenden Eigenschaften aufweist: Hochspannungssperre oder hohe Stromtragfähigkeit. Ein Leistungshalbleiterdie kann für hohe Ströme mit einem maximalen Stromwert von einigen Ampere, wie z.B. 10 A, 250A, 600A, 1000A, oder einem maximalen Stromwert von bis zu oder sogar über 1000 A konfiguriert sein. Ebenso können Spannungen, die mit solchen Stromwerten verbunden sind, Werte von einigen Volt bis zu einigen zehn oder hundert oder sogar tausend Volt haben.

[0029] Gemäß einer Ausführungsform des Halbleiterpackages ist die Einkapselung so angeordnet, dass sie den inneren Abschnitt, jedoch nicht den Anschlussabschnitt und den äußeren Abschnitt des ersten Leiters einbettet.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0030] Die beigefügten Zeichnungen dienen dem weiteren Verständnis der Ausführungsformen und sind Bestandteil dieser Beschreibung. Die Zeichnungen veranschaulichen Ausführungsformen und dienen zusammen mit der Beschreibung dazu, die Prinzipien der Ausführungsformen zu erklären. Andere Ausführungsformen und viele der beabsichtigten Vorteile der Ausführungsformen werden leicht zu schätzen wissen, wenn sie durch Bezugnahme auf die folgende detaillierte Beschreibung besser verstanden werden.

[0031] Die Elemente in den Zeichnungen sind nicht unbedingt maßstabsgetreu zueinander. Gleiche Referenzziffern kennzeichnen gleiche oder ähnliche Elemente.

Fig. 1 zeigt eine Draufsicht auf ein Beispiel eines Leiterrahmens mit zwei Erhebungen auf einen inneren Abschnitt und einen Abschnitt des Tiebarabschnitts des ersten Leiters.

Fig. 2 umfasst die **Fig. 2A**, **2B** und **2C** und zeigt zwei Draufsichten auf zwei verschiedene Chocolate-Streifen Leiterrahmen (**A**, **B**) und eine Draufsicht auf einen der einzelnen Leiterrahmen (**C**).

Fig. 3 zeigt eine Draufsicht auf ein Beispiel eines Leiterrahmens mit zwei Erhebungen an einem ersten Leiter, der nicht mit dem Die-Pad verbunden ist.

Fig. 4 besteht aus **Fig. 4A** und **Fig. 4B** und zeigt eine Draufsicht (**A**) und eine perspektivische Ansicht von vorne (**B**) auf ein Beispiel eines Leiterrahmens mit einer rechteckigen Erhebung nur auf einem Abschnitt des Tiebarabschnitts des ersten Leiters.

Fig. 5 umfasst **Fig. 5A** bis **Fig. 5C** und zeigt eine Draufsicht auf ein Halbleiterpackage (**A**), eine perspektivische Ansicht (**B**) und eine weitere perspektivische Ansicht (**C**) auf einen Leiterrahmen, der in dem Halbleiterpackage enthalten ist, wobei dieses Beispiel eines Leiterrahmens eine rechteckig geformte Erhebung auf dem nach unten versetzten Abschnitt und dem vollständigen Tiebarabschnitt des ersten Leiters aufweist.

Fig. 6 besteht aus **Fig. 6A** und **Fig. 6B** und zeigt eine Draufsicht auf ein Halbleiterpackage (**A**) und eine perspektivische Ansicht von vorne (**B**) auf einen im Halbleiterpackage enthaltenen Leiterrahmen, wobei dieses Beispiel eines Leiterrahmens eine rechteckige Erhebung nur auf dem vollständigen Tiebarabschnitt des ersten Leiters aufweist.

Fig. 7 umfasst **Fig. 7A** bis **Fig. 7D** und zeigt eine Draufsicht auf ein Halbleiterpackage (**A**), eine perspektivische Ansicht (**B**), eine Querschnittsansicht (**C**) und eine weitere perspektivische Ansicht von vorne (**D**) auf einen im Halbleiterpackage enthaltenen Leiterrahmen, wobei dieses Beispiel eines Leiterrahmens eine erste rechteckige Erhebung auf einem Abschnitt des abgesenkten Abschnitts und eine zweite Erhebung auf einem Abschnitt des Tiebarabschnitts des ersten Leiters aufweist.

Fig. 8 umfasst **Fig. 8A** und **Fig. 8B** und zeigt eine Draufsicht auf ein Halbleiterpackage (**A**) und eine perspektivische Ansicht von vorne (**B**) auf einen im Halbleiterpackage enthaltenen Leiterrahmen, wobei dieses Beispiel eines Leiterrahmens eine rechteckige Erhebung nur auf einem Abschnitt des zweiten Leiters aufweist.

Fig. 9 umfasst **Fig. 9A** und **Fig. 9B** und zeigt eine Draufsicht auf ein Halbleiterpackage (**A**) und eine perspektivische Ansicht von vorne (**B**) auf einen im Halbleiterpackage enthaltenen Leiterrahmen, wobei dieses Beispiel eines Leiterrahmens eine rechteckige Erhebung nur auf

einem Abschnitt des Dambar-Abschnitts des ersten Leiters aufweist.

Fig. 10 umfasst **Fig. 10A** bis **Fig. 10C** und zeigt eine Draufsicht auf ein Zwischenprodukt der Halbleiterpackungsherstellung (A), eine perspektivische Seitenansicht (B) auf einen Abschnitt des im Zwischenprodukt enthaltenen Leiterrahmens und eine vergrößerte perspektivische Seitenansicht (C) auf den Abschnitt des fertigen Leiterrahmens, wobei dieses Beispiel eines Leiterrahmens eine rechteckige Erhebung aufweist, die sich seitlich auf dem Dambarabschnitt des ersten Leiters erstreckt.

Fig. 11 umfasst **Fig. 11A** bis **Fig. 11C** und zeigt eine perspektivische Ansicht auf ein Halbleiterpackage (A), eine perspektivische Ansicht von vorne (B) und eine weitere perspektivische Ansicht von etwas unten (C) auf einen Leiterrahmen, der in dem Halbleiterpackage enthalten ist, wobei dieses Beispiel eines Leiterrahmens ein aufgebogenes Element an einem Randabschnitt des inneren Abschnitts aufweist.

Fig. 12 umfasst **Fig. 12A** bis **Fig. 12C** und zeigt eine Draufsicht auf ein Halbleiterpackage (A), eine perspektivische Ansicht von vorne auf einen im Halbleiterpackage enthaltenen Leiterrahmen (B) und eine weitere perspektivische Ansicht (C) von vorne auf einen Abschnitt des Leiterrahmens, wobei dieses Beispiel eines Leiterrahmens eine V-förmige Erhebung an einem Abschnitt des inneren Teils des ersten Leiters aufweist.

Fig. 13 zeigt eine Draufsicht auf einen Gate-Treiber-Die, in der die bevorzugten Positionen für die Anordnung der Erhebungen dargestellt sind.

Fig. 14 zeigt eine Draufsicht auf einen Abschnitt eines typischen IPM-Moduls, in dem Erhebungen auf bestimmten Leitern vorgesehen sind.

Fig. 15 zeigt eine Draufsicht auf den Schnitt eines typischen IPM-Moduls, bei dem Erhebungen auf bestimmten Leitern vorgesehen sind.

BESCHREIBUNG DER AUSFÜHRUNGSFORMEN

[0032] In der folgenden detaillierten Beschreibung wird auf die beigefügten Zeichnungen Bezug genommen, die einen Teil dieses Dokuments bilden und in denen zur Veranschaulichung bestimmte Ausführungsformen gezeigt werden, in denen die Offenbarung praktiziert werden kann. In diesem Zusammenhang werden richtungsbezogene Begriffe wie „oben“, „unten“, „vorne“, „hinten“, „vorne“, „hinten“ usw. mit Bezug auf die Ausrichtung der beschriebenen Figur (en) verwendet. Da die Komponenten der Ausführungsformen in einer Reihe von verschiedenen Ausrichtungen positioniert werden können, dient die richtungsbezogene Terminologie der Veranschaulichung und ist in keiner Weise einschränkend. Es versteht sich von selbst, dass auch andere Ausführungsformen verwendet und strukturelle oder logische Änderungen vorgenommen werden können, ohne dass dies den Rahmen der vorliegenden Offenbarung sprengen würde. Die folgende detaillierte Beschreibung ist daher nicht in einem einschränkenden Sinne zu verstehen, und der Umfang der vorliegenden Offenbarung wird durch die beigefügten Ansprüche definiert.

[0033] Es versteht sich, dass die Merkmale der verschiedenen hierin beschriebenen beispielhaften Ausführungsformen miteinander kombiniert werden können, sofern nicht ausdrücklich anders angegeben.

[0034] Wie in dieser Beschreibung verwendet, sind die Begriffe „verbunden“, „angebracht“, „verbunden“, „gekoppelt“ und/oder „elektrisch verbunden/elektrisch gekoppelt“ nicht so zu verstehen, dass die Elemente oder Schichten direkt miteinander in Kontakt stehen müssen; zwischen den „verbundenen“, „angebrachten“, „verbundenen“, „gekoppelten“ und/oder „elektrisch verbundenen/elektrisch gekoppelten“ Elementen können Zwischenelemente oder -schichten vorgesehen sein. Gemäß der Offenbarung können die oben genannten Begriffe jedoch optional auch die spezifische Bedeutung haben, dass die Elemente oder Schichten direkt miteinander in Kontakt stehen, d. h. dass keine dazwischenliegenden Elemente oder Schichten zwischen den „verbundenen“, „angebrachten“, „verbundenen“, „gekoppelten“ und/oder „elektrisch verbundenen/elektrisch gekoppelten“ Elementen vorgesehen sind.

[0035] Ferner kann das Wort „über“, das in Bezug auf ein Teil, ein Element oder eine Materialschicht verwendet wird, das/die „über“ einer Oberfläche ausgebildet oder angeordnet ist, hier so verwendet werden, dass das Teil, das Element oder die Materialschicht „indirekt auf“ der implizierten Oberfläche angeordnet (z. B. platziert, ausgebildet, abgeschieden usw.) ist, wobei ein oder mehrere zusätzliche Teile, Elemente oder Schichten zwischen der implizierten Oberfläche und dem Teil, dem Element oder der Materialschicht angeordnet sind. Das Wort „über“, das in Bezug auf ein Teil, ein Element oder eine Materialschicht verwendet wird, das/die „über“ einer Oberfläche geformt oder angeordnet ist, kann jedoch optional auch die spezifische Bedeutung haben, dass das Teil, das Element oder die Materialschicht „direkt auf“, d. h. in direktem Kontakt mit der implizierten Oberfläche, angeordnet (z. B. platziert, geformt, abgelagert usw.) ist.

[0036] Darüber hinaus wird das Wort „beispielhaft“ hier so verwendet, dass es als Beispiel, Instanz oder Illustration dient. Jeder Aspekt oder jedes

Design, das hier als „beispielhaft“ beschrieben wird, ist nicht unbedingt als vorteilhaft gegenüber anderen Aspekten oder Designs zu verstehen. Vielmehr soll die Verwendung des Wortes „beispielhaft“ dazu dienen, Konzepte in einer konkreten Weise darzustellen. Wie in dieser Anmeldung verwendet, soll der Begriff „oder“ eher ein einschließendes „oder“ als ein ausschließendes „oder“ bedeuten. Das heißt, sofern nicht anders angegeben oder aus dem Kontext ersichtlich, ist mit „X verwendet A oder B“ jede der natürlichen, einschließenden Permutationen gemeint. Das heißt, wenn X A einsetzt, X B einsetzt oder X sowohl A als auch B einsetzt, dann ist „X setzt A oder B ein“ in jedem der vorgenannten Fälle erfüllt. Darüber hinaus können die Artikel „a“ und „an“, wie sie in dieser Anmeldung und den beigefügten Ansprüchen verwendet werden, im Allgemeinen so ausgelegt werden, dass sie „ein oder mehrere“ bedeuten, sofern nicht anders angegeben oder aus dem Kontext klar hervorgeht, dass sie sich auf eine Singularform beziehen. Auch bedeutet mindestens eines von A und B oder dergleichen im Allgemeinen A oder B oder sowohl A als auch B.

[0037] Darüber hinaus kann ein bestimmtes Merkmal oder ein bestimmter Aspekt einer Ausführungsform der Offenbarung zwar in Bezug auf nur eine von mehreren Implementierungen offenbart worden sein, doch kann ein solches Merkmal oder ein solcher Aspekt mit einem oder mehreren anderen Merkmalen oder Aspekten der anderen Implementierungen kombiniert werden, wie es für eine gegebene oder bestimmte Anwendung erwünscht und vorteilhaft sein kann. Soweit in der detaillierten Beschreibung oder in den Ansprüchen die Begriffe „einschließen“, „haben“, „mit“ oder andere Varianten davon verwendet werden, sind diese Begriffe ähnlich wie der Begriff „umfassen“ als umfassend zu verstehen. Darüber hinaus ist zu verstehen, dass Ausführungsformen der Offenbarung in diskreten Schaltungen, teilintegrierten Schaltungen oder vollintegrierten Schaltungen oder Programmiermitteln implementiert sein können. Auch der Begriff „beispielhaft“ ist lediglich als Beispiel zu verstehen und nicht als das Beste oder Optimale. Es ist auch zu beachten, dass die hier dargestellten Merkmale und/oder Elemente der Einfachheit und des besseren Verständnisses halber mit bestimmten Abmessungen relativ zueinander dargestellt sind und dass die tatsächlichen Abmessungen erheblich von den hier dargestellten abweichen können.

DETAILLIERTE BESCHREIBUNG

[0038] Fig. 1 zeigt eine Draufsicht auf ein Beispiel eines Leiterrahmens mit zwei Erhebungen auf einen inneren Abschnitt und einen Dambarabschnitt des ersten Leiters, wobei der Dambarabschnitt Teil des äußeren Abschnitts des ersten Leiters ist.

[0039] Genauer gesagt zeigt Fig. 1 einen Leiterrahmen 10 mit einem Die-Pad 11 und einem ersten Leiter 12, der mit dem Die-Pad 11 verbunden ist. Der erste Leiter 12 umfasst einen inneren Abschnitt 12A, einen Dambarabschnitt 12B und einen externen Abschnitt 12C, der für eine externe elektrische Verbindung verwendet werden kann. Der erste Leiter 12 umfasst ferner einen ersten Erhebungsabschnitt 12.1A, der sich über eine vorbestimmte Länge in einer Längsrichtung auf dem inneren Abschnitt 12A des ersten Leiters 12 erstreckt, und der erste Leiter 12 umfasst ferner einen zweiten Erhebungsabschnitt 12.1B, der sich über eine vorbestimmte Länge in einer seitlichen Richtung auf dem Dambarabschnitt 12B des ersten Leiters 12 erstreckt. Wenn es nur einen Leiter gibt, der das Die-Pad 11 verbindet und stützt, d.h. es gibt keinen anderen Leiter oder anderen Tiebar, der das Die-Pad 11 physisch verbindet und stützt, kann das Vorhandensein des Erhebungsabschnitts insbesondere auf dem inneren Abschnitt des ersten Leiters die Stabilität des Die-Pads 11 während der späteren Herstellungsprozesse erheblich verbessern.

[0040] Der Leiterrahmen 10 umfasst ferner einen zweiten Leiter 13 mit einem inneren Abschnitt 13A und einem äußeren Abschnitt 13B, wobei der äußere Abschnitt 13B so konfiguriert ist, dass er für eine externe elektrische Verbindung verwendet wird. Im vorliegenden Beispiel umfasst der innere Abschnitt 13A einen verschmolzenen seitlichen Leitungsposten, der zum Bonden mehrerer Leiter oder eines Clips verwendet werden kann. Der zweite Leiter 13 kann insbesondere als Sourceleiter verwendet werden. Ebenfalls dargestellt ist der Umriss einer Einkapselung 14, die in einem späteren Schritt des Herstellungsprozesses auf den Leiterrahmen 10 aufgebracht werden soll. Es ist zu erkennen, dass die erste Erhebung 12.1A innerhalb der Einkapselung 14 und die zweite Erhebung 12.1B außerhalb der Einkapselung 14 vorgesehen ist. Der Dambarabschnitt 12B und der äußere Abschnitt 12C bilden zusammen den äußeren Abschnitt des Leiterrahmens gemäß dem ersten Aspekt. Der Fachmann wird verstehen, dass in einer Ausführungsform von Fig. 1 zwar zwei Erhebungsabschnitte dargestellt sind. Es sollte jedoch möglich sein, dass bei anderen Ausführungsformen nur eine der ersten Erhebung 12.1A und der zweiten Erhebung 12.1B an dem ersten Leiter 12 vorhanden ist. Der Fachmann wird auch verstehen, dass, obwohl bis jetzt ein Dambarabschnitt des äußeren Leiters als Beispiel erwähnt wurde, es möglich ist, den zweiten Erhebungsabschnitt auf dem anderen Teil des ersten Leiters ohne Überlappung mit dem Dambar auszuführen. Diese Konfiguration hat den weiteren Vorteil, dass der zukünftige Dambar-Schneideprozess oder der so genannte Trimm-Prozess einfacher ist, da die Dambarabschnitte aller Leiter flach und normal sind wie der traditionelle Dambar. Daher soll die unter-

schiedliche Position des Abschnitts mit der Erhebung auf dem äußeren Leiter in den Ansprüchen enthalten sein. Der Anmelder möchte jedoch offensichtlich nicht, dass der Erhebungsteil an einer Stelle angeordnet wird, an der im zukünftigen Lötprozess Lot aufsteigt.

[0041] Fig. 2 umfasst die Fig. 2A, 2B und 2C und zeigt zwei verschiedene Chocolate-Streifen-Leiterrahmen, die aus $m \cdot n$ einzelnen Leiterrahmen (A, B) bestehen, sowie eine Draufsicht auf einen der einzelnen Leiterrahmen (C).

[0042] Bei den in Fig. 2A und 2B gezeigten Beispielen handelt es sich um spezielle große Leiterrahmen-Paneele, die jeweils mehrere einzelne Leiterrahmen enthalten. In diesen sogenannten Chocolate-Streifen-Leadframes sind mehrere einzelne Leiterrahmen matrixartig entlang mehrerer vertikaler Linien angeordnet, wobei benachbarte Leiterrahmen durch einen oder mehrere Leiter über eine Schiene miteinander verbunden sind.

[0043] Fig. 2A zeigt ein Beispiel für ein solches Chocolate-Streifen-Leiterrahmen-Paneel, das beispielhaft aus $2 \cdot 3$ einzelnen Leiterrahmen besteht. Der durch einen Körper umrissene Bereich ist ein individueller Leiterrahmen, der die Basis für ein zukünftiges Halbleiterpackage darstellt. Es ist zu erkennen, dass alle Leiter nicht physisch mit dem Die-Pad verbunden sind, sondern dass alle Leiter in einem einzelnen Leadframe über einen Dambar miteinander verbunden sind und auch mit einer stützenden Schiene am Ende dieser Leiter verbunden sind. Zwischen zwei benachbarten Leiterrahmen, z.B. einem oberen Leiterrahmen und einem unteren Leiterrahmen, kann der unterste Leiter des oberen Leiterrahmens den obersten Leiter des unteren Leiterrahmens über einen Dambar und/oder die Schiene verbinden.

[0044] Fig. 2B zeigt ein weiteres Beispiel eines Chocolate-Streifen-Leiterrahmens, der in der linken Spalte $1 \cdot 4$ einzelne Leiterrahmen umfasst, wobei ein einzelner Leiterrahmen beispielhaft durch eine gestrichelt-gepunktete Linie umrandet ist. Das Leadframe-Panel umfasst auch $1 \cdot 4$ einzelne Leiterrahmen in der rechten Spalte, wobei die oberen beiden Leiterrahmen den Prozess der Befestigung der Matrice und des Drahtbondens abgeschlossen haben, wobei ein einzelner Leiterrahmen als Beispiel durch ein gestricheltes Rechteck umrissen ist. Die 3. Spalte von links stellt die Verpackung nach einem Formgebungsprozess dar, während die 4. und 5. Spalte von links die Verpackung nach einem Schneidprozess darstellen.

[0045] Fig. 2C zeigt einen Leiterrahmen 20, der aus einem Chocolate-Streifen-Leiterrahmen, wie er in Fig. 2A oder 2B gezeigt ist, entstanden ist. Der Lei-

terrahmen 20 umfasst ein Die-Pad 21 und einen ersten Leiter 22 sowie weitere optionale Leiter 23, 24 und 25. In einer Ausführungsform ist keiner der Leiter 22 bis 25 physisch mit dem Die-Pad 21 verbunden. Jeder der Leiter 22 bis 25 umfasst einen inneren Abschnitt, einen Dambarabschnitt und einen äußeren Abschnitt, und mindestens einer der Leiter 22 bis 25 umfasst zwei Erhebungen, von denen eine auf dem inneren Abschnitt und die andere auf dem äußeren Abschnitt, insbesondere dem Dambarabschnitt des äußeren Abschnitts des Leiters, vorgesehen ist. Der innere Abschnitt der Leitung 25 kann beispielsweise einen verschmolzenen seitlichen Leitungsposten, der zum Verbinden mehrerer Drähte verwendet werden kann, oder einen Clip umfassen. Ebenfalls dargestellt ist der Umriss einer Einkapselung 26, die in einem späteren Schritt des Herstellungsprozesses auf den Leiterrahmen 20 aufgebracht wird. Es ist zu erkennen, dass erste Erhebungen der Leiter innerhalb der Einkapselung 26 und die zweiten Erhebungen der Leiter außerhalb der Einkapselung 26 vorgesehen sind. Die Leiter 22 bis 25 sind mit einer stützenden Schiene 27 verbunden, die Teil des ursprünglichen Leiterrahmens für Schokolade war. Der Fachmann wird verstehen, dass es auch möglich ist, dass nur ein Leiter eine Erhebung aufweist, entweder auf dem inneren Abschnitt oder auf dem Anschlussabschnitt.

[0046] Im vorliegenden Beispiel ist der Leiterrahmen 20 in einem Stadium dargestellt, in dem die Erhebungen in den Dambar-Abschnitten zwischen allen Leitern miteinander verbunden sind, so dass im Endprodukt Erhebungen an allen Leitern in ihren jeweiligen Dambar-Abschnitten vorgesehen sind. Es ist jedoch auch möglich, dass die Erhebung nur im Dammbalkenabschnitt des ersten Leiters 22 vorgesehen ist. Bei den meisten Leiterrahmen für Chocolate-Streifen ist der erste Leiter 22 ein so genannter schwebender Leiter, was bedeutet, dass er nur an einem Ende mit einem anderen Bauteil, z. B. der Schiene 27, verbunden ist, während das andere Ende schwingungsanfällig ist, da es keine Unterstützung durch ein anderes Bauteil gibt. Der erste Leiter 22 kann sehr schmal sein, so dass die Erhebung besonders dort benötigt wird. Der erste Leiter 22 kann als Drainleiter, Gateleiter, Source-Sense-Leiter, Sourceleiter oder als I/O-Signalleiter verwendet werden. Obwohl die stützende Schiene 27 am Ende jedes Leiters dargestellt ist und alle Leiter eines Leiterrahmens verbindet, sollte ein Fachmann auch verstehen, dass es möglich ist, dass die stützende Schiene 27 an der Position des Dammbalkens jedes Leiters sein kann, was bedeutet, dass der Dammbalken nicht nur alle Leiter eines Leiterrahmens verbindet, sondern auch die Leiter von zwei benachbarten Leiterrahmen verbindet. So kann zum Beispiel der am weitesten links liegende Leiter 22 eines Leiterrahmens mit dem am weitesten rechts liegenden Leiter 25 eines benachbarten Leiterrahmens über die tragende Schiene 27

an der Stelle des Dammbars verbunden werden. Ein Fachmann sollte verstehen, dass es möglich ist, zwei Stützschiene 27 zu haben, eine am Ende aller Leiter, eine andere an der Dambar-Position aller Leiter.

[0047] Fig. 3 zeigt eine Draufsicht auf ein Beispiel eines Leiterrahmens mit zwei Erhebungen an einem Leiter, der nicht mit dem Die-Pad verbunden ist.

[0048] Genauer gesagt zeigt Fig. 3 einen Leiterrahmen 30 mit einem Die-Pad 31 und einem ersten Leiter 32 sowie weiteren Leitern 33 und 34. Der Leiter 34 ist physisch von dem Die-Pad 31 getrennt, das heißt, es besteht keine physische Verbindung zwischen dem Leiter 34 und dem Die-Pad 31 in Form eines Leiterrahmens. Der Leiter 34 umfasst einen inneren Abschnitt und einen äußeren Abschnitt. Der Leiter 34 umfasst zwei Erhebungen, von denen eine in Längsrichtung am inneren Abschnitt und die andere seitlich am Anschlussabschnitt im Dambarabschnitt vorgesehen ist. Während des späteren Herstellungsprozesses kann der Leiter 34 durch einen Bonddraht mit einem anderen Bauteil wie einem Chip oder einem anderen Leiter 35 verbunden werden. Es ist möglich, dass nur eine Erhebung auf dem inneren Abschnitt oder dem Anschlussabschnitt des Leiters 34 vorhanden ist. Die Erhebung auf dem inneren Abschnitt ist die wichtigere, so dass die Erhebung auf dem äußeren Abschnitt auch weggelassen werden kann. Darüber hinaus kann der Fachmann eine andere Position für die Erhebung am inneren Abschnitt wählen. Bei einem relativ langen und schmalen ersten Leiter 34 kann der Abschnitt der Erhebung bevorzugt in der Nähe des Umrisses der Einkapselung platziert werden, z. B. an der Position des von einer dicken Linie umrandeten Bereichs oder an einer Stelle in der Nähe des Klemmwerkzeugs, das im späteren Herstellungsprozess verwendet wird.

[0049] Fig. 4 umfasst Fig. 4A und Fig. 4B und zeigt eine Draufsicht (A) und eine perspektivische Ansicht von vorne (B) auf ein Beispiel eines Leiterrahmens mit einer rechteckigen Erhebung nur auf einem Abschnitt des Tiebarabschnitts des ersten Leiters.

[0050] Genauer gesagt zeigt Fig. 4 einen Leiterrahmen 40 mit einem Die-Pad 44, einem ersten Leiter 42, der mit dem Die-Pad 44 verbunden ist, und drei weiteren optionalen Leitern 43, 44 und 45, wobei der erste Leiter 42 einen optionalen abgesenkten Abschnitt 42A, einen inneren Abschnitt 42B, einen Verbindungsabschnitt 42C und einen äußeren Abschnitt 42D umfasst. Der erste Leiter 42 umfasst ferner eine Erhebung 42.1 an einem Abschnitt des inneren Abschnitts 42B. Die Erhebung 42.1 erstreckt sich über eine vorbestimmte Länge in einer Längsrichtung des ersten Leiters 42.

[0051] Wie in Fig. 4B zu sehen ist, weist die Erhebung 42.1 eine rechteckige Form auf. Sie kann z.B.

durch einen Prägeschritt hergestellt werden. Der Prägeschritt kann z.B. durch Biegen oder Prägen oder Stanzen des Leiterrahmens von unten nach oben durchgeführt werden. Dies kann z.B. mit einem Stempel geschehen, der von unten gegen den Leiterrahmen gedrückt wird. Der Stempel hat eine Größe, die der gewünschten Abmessung der zu erstellenden Erhebung entspricht. Es ist auch möglich, dass das Prägen/Stempeln/Stanzen von oben nach unten des ersten Leiters 42 erfolgt.

[0052] Wie in Fig. 4 weiter zu sehen ist, umfasst der Leiterrahmen 40 optional noch einen zweiten Leiter 43, einen dritten Leiter 44 und einen vierten Leiter 45. Wie in weiteren Ausführungsformen weiter unten zu sehen sein wird, ist in einem herzustellenden Halbleiterpackage mit einer Halbleitertransistordie zweite Leitung 43 zur Verwendung als Sourceleiter, die dritte Leitung 44 zur Verwendung als Gateleiter und die vierte Leitung 45 zur Verwendung als Source/Sense-Leiter vorgesehen. Alternativ kann in einer Sourcedown-Konfiguration der zweite Leiter auch als Drainleiter verwendet werden, wenn der Halbleitertransistordie mit ihrem Sourcepad an das Die-Pad des Leiterrahmens angeschlossen ist, so dass der erste Leiter als Sourceleiter fungiert.

[0053] Fig. 5 umfasst Fig. 5A bis Fig. 5C und zeigt eine Draufsicht auf ein Halbleiterpackage (A), eine perspektivische Ansicht (B) und eine weitere perspektivische Ansicht (C) auf einen Leiterrahmen, der in dem Halbleiterpackage enthalten ist, wobei dieses Beispiel eines Leiterrahmens eine im seitlichen Querschnitt rechteckige Erhebung aufweist und auf dem abgesenkten Abschnitt und dem gesamten inneren Abschnitt der ersten Leitung vorgesehen ist.

[0054] Fig. 5 zeigt ein Halbleiterpackage 200 mit einem Leiterrahmen 50, einem Halbleitertransistordie 110, der auf dem Die-Pad 51 des Leiterrahmens 50 angeordnet ist, einem Halbleiterdiodendie 115, der ebenfalls auf dem Die-Pad 51 des Leiterrahmens 50 angeordnet ist, und einer Einkapselung 160, die auf dem Leiterrahmen 50 und den Halbleiterdies 110 und 115 angeordnet ist. Die Einkapselung 160 ist hier nur durch eine gestrichelte Linie dargestellt.

[0055] Der Leiterrahmen 50 umfasst das Die-Pad 51, einen ersten Leiter 52, der mit dem Die-Pad 51 verbunden ist, und drei weitere optionale Leiter 53, 54 und 55, wobei der erste Leiter 52 einen optionalen abgesenkten Abschnitt 52A, einen inneren Abschnitt 52B, einen Verbindungsabschnitt 52C und einen äußeren Abschnitt 52D umfasst. Der erste Leiter 52 umfasst ferner eine Erhebung 52.1, die in diesem Fall auf dem abgesenkten Abschnitt 52A und dem gesamten inneren Abschnitt 52B oder zumindest dem größten Teil des ersten Leiters 52 vorgesehen ist und eine rechteckige Form in einem seitlichen

Querschnitt aufweist. In diesem Fall kann ein Fachmann auch verstehen, dass der abgesenkte Abschnitt 52A ein Teil des inneren Abschnitts 52B ist. Ein Fachmann sollte verstehen, dass in dieser Beschreibung der Begriff „innerer Abschnitt“ verwendet wird, um einen Teil des ersten Leiters zu veranschaulichen, der während der späteren Herstellungsprozesse innerhalb der Moldverbindung eingekapselt wird.

[0056] Der Halbleitertransistordie 110 kann zum Beispiel ein IGBT-Die 110, ein MOSFET-Die, ein CoolMOS-Die oder ein SiCMOS-Die sein. Er ist mit dem Halbleiterdiodendie 115 und dem zweiten Pin 53 durch eine Vielzahl von Bonddrähten 130 verbunden. Auf der Oberseite des Halbleitertransistordie 110 können ein Gatepad und ein Source/Sense Pad (beide nicht dargestellt) angeordnet sein, und der dritte Pin 54 kann über einen Bonddraht mit dem Gatepad und der vierte Pin mit dem Source/Sense Pad verbunden werden. Es ist auch möglich, dass beide Dies 110 und 115 vom gleichen Typ sind, so dass sie parallel geschaltet sind, um einen höheren Strom zu liefern.

[0057] Ansonsten kann für den zweiten, dritten und vierten Pin 53, 54 und 55 das Gleiche gelten wie für die Pins 43, 44 und 45 von **Fig. 4**, wie oben beschrieben.

[0058] **Fig. 6** umfasst **Fig. 6A** und **Fig. 6B** und zeigt eine Draufsicht auf ein Halbleiterpackage (A) und eine perspektivische Ansicht von vorne (B) auf einen im Halbleiterpackage enthaltenen Leiterrahmen, wobei dieses Beispiel eines Leiterrahmens nur auf dem gesamten inneren Abschnitt des ersten Leiters eine rechteckige Erhebung aufweist.

[0059] **Fig. 6** zeigt ein Halbleiterpackage 300 mit einem Leiterrahmen 60, einem Halbleitertransistordie 110, der auf dem Die-Pad 61 angeordnet ist, einem Halbleiterdiodendie 115, der ebenfalls auf dem Die-Pad 61 des Leiterrahmens 60 angeordnet ist, und einer Einkapselung (hier nicht gezeigt), die auf dem Leiterrahmen 60 und den Halbleiterdies 110 und 115 angeordnet ist. Die Einkapselung kann auf die gleiche Weise wie in **Fig. 5** gezeigt angeordnet werden.

[0060] Der Leiterrahmen 60 umfasst das Die-Pad 61, einen ersten Leiter 62, der mit dem Die-Pad 61 verbunden ist, und drei weitere optionale Leiter 63, 64 und 65, wobei der erste Leiter 62 einen optionalen abgesenkten Abschnitt 62A, einen inneren Abschnitt 62B, einen Verbindungsabschnitt 62C und einen äußeren Abschnitt 62D umfasst. Der erste Leiter 62 umfasst ferner eine Erhebung 62.1, die in diesem Fall fast auf dem gesamten inneren Abschnitt 62B des ersten Leiters 62 vorgesehen ist und eine rechteckige Form in einem seitlichen Querschnitt aufweist.

Auch in einigen Gehäusen ist der erste Leiter 62 physisch mit dem Die-Pad 61 verbunden und stützt es, aber es ist möglich, dass der erste Leiter nicht den optionalen abgesenkten Abschnitt 62A aufweist und nicht physisch mit dem Die-Pad verbunden ist. Das Die-Pad 61 kann durch andere Mittel gestützt werden, wie z.B. Tiebars (hier nicht dargestellt), die mit dem Die-Pad 61 normalerweise in einer Richtung senkrecht zur Richtung des ersten Leiters verbunden sind, oder der gesamte Leiterrahmen ist in einem vorgespitzten Format angeordnet, so dass das Die-Pad 61 durch die vorgespitzte Einkapselung gestützt wird.

[0061] Andernfalls kann für die zweiten, dritten und vierten Pins 63, 64 und 65 und ihre Verbindungen mit den Kontakt-Pads der Halbleitertransistordie 110 das Gleiche gelten wie für die Pins 43, 44 und 45 von **Fig. 4** und die Pins 53, 54 und 55 von **Fig. 5**, wie oben beschrieben.

[0062] **Fig. 7** umfasst **Fig. 7A** bis **Fig. 7D** und zeigt eine Draufsicht auf ein Halbleiterpackage (A), eine perspektivische Ansicht (B), eine Querschnittsansicht (C) und eine weitere perspektivische Ansicht von vorne (D) auf einen im Halbleiterpackage enthaltenen Leiterrahmen, wobei dieses Beispiel eines Leiterrahmens eine erste rechteckige Erhebung auf einem Abschnitt des abgesenkten Abschnitts und eine zweite Erhebung auf einem Abschnitt des inneren Abschnitts des ersten Leiters aufweist.

[0063] **Fig. 7** zeigt insbesondere ein Halbleiterpackage 400 mit einem Leiterrahmen 70, einem Halbleitertransistordie 110, die auf dem Die-Pad 71 des Leiterrahmens 70 angeordnet ist, und einer Einkapselung (nicht gezeigt), die auf dem Leiterrahmen 20 und dem Halbleitertransistordie 110 angeordnet ist. Die Einkapselung kann auf die gleiche Weise wie in **Fig. 5** gezeigt angeordnet werden.

[0064] Der Leiterrahmen 70 umfasst das Die-Pad 71, eine erste Leitung 72, die mit dem Die-Pad 71 verbunden ist, und drei weitere Leitungen 73, 74 und 75, wobei die erste Leitung 72 einen abgesenkten Abschnitt 72A, einen inneren Abschnitt 72B, einen Verbindungsabschnitt 72C und einen äußeren Abschnitt 72D umfasst. Die erste Leitung 72 umfasst ferner eine erste rechteckige Erhebung 72.1A auf einem Abschnitt des abgesenkten Abschnitts 72A der ersten Leitung 72 und eine zweite Erhebung 72.1B auf einem Abschnitt des inneren Abschnitts 72B der ersten Leitung 72. In diesem Fall befinden sich zwei Erhebungen in einem Abschnitt des ersten Leiters 72, und beide werden im Halbleiterpackage eingekapselt. In diesem Fall kann ein Fachmann die Gesamtheit des abgesenkten Abschnitts 72A und des inneren Abschnitts 72B als einen inneren Abschnitt 72B interpretieren. Der Begriff „abgesenkter Abschnitt“ des Leiters ist seiner allgemeinen

Bedeutung und Verwendung für die Verbindung des ersten Leiters mit dem Die-Pad entlehnt, so dass er das Die-Pad stützt. Er sollte nicht verwendet werden, um die Bedeutung des „inneren Abschnitts“ der Ausführungsformen in dieser Beschreibung und in den Ansprüchen zu begrenzen.

[0065] Ansonsten gilt für die zweiten, dritten und vierten Pins 73, 74 und 75 und ihre Verbindungen mit den Kontakt-Pads der Halbleitertransistordie 110 dasselbe wie für die Pins 43, 44 und 45 von **Fig. 4** und die Pins 53, 54 und 55 von **Fig. 5**, wie oben beschrieben.

[0066] **Fig. 8** umfasst **Fig. 8A** und **Fig. 8B** und zeigt eine Draufsicht auf ein Halbleiterpackage (A) und eine perspektivische Ansicht von vorne (B) auf einen im Halbleiterpackage enthaltenen Leiterrahmen, wobei dieses Beispiel eines Leiterrahmens nur auf einem Abschnitt des zweiten Leiters eine rechteckige Erhebung aufweist.

[0067] **Fig. 8** zeigt insbesondere ein Halbleiterpackage 500 mit einem Leiterrahmen 80, einem Halbleitertransistordie 110 und einem Halbleiterdiodendie 115, die beide auf dem Die-Pad 81 des Leiterrahmens 80 angeordnet sind, und einer Einkapselung (hier nicht gezeigt), die auf dem Leiterrahmen 80 und dem Halbleiterdie 110 angeordnet ist. Die Einkapselung kann auf die gleiche Weise wie in **Fig. 5** gezeigt angeordnet werden.

[0068] Der Leiterrahmen 80 umfasst das Die-Pad 81, eine erste Leitung 82, die mit dem Die-Pad 81 verbunden ist, und drei weitere Leitungen 83, 84 und 85, wobei die erste Leitung 82 einen abgesenkten Abschnitt 82A, einen inneren Abschnitt 82B, einen Verbindungsabschnitt 82C und einen äußeren Abschnitt 82D umfasst. Die zweite Leitung 83 umfasst einen inneren Abschnitt 83A, einen Verbindungsabschnitt 83B und einen äußeren Abschnitt 83C. Der zweite Leiter 83 umfasst ferner eine Erhebung 83.1, die auf einem Abschnitt des inneren Abschnitts 83A des zweiten Leiters 83 vorgesehen ist und eine rechteckige Form in einem seitlichen Querschnitt aufweist.

[0069] Ansonsten gilt für die ersten, zweiten, dritten und vierten Pins 82, 83, 84 und 85 und ihre Verbindungen mit den Kontakt-Pads des Halbleitertransistordie 110 dasselbe wie für die Pins 42, 43, 44 und 45 von **Fig. 4** und die Pins 22, 23, 24 und 25 von **Fig. 5**, wie oben beschrieben.

[0070] **Fig. 9** umfasst **Fig. 9A** und **Fig. 9B** und zeigt eine Draufsicht auf ein Halbleiterpackage (A) und eine perspektivische Ansicht von vorne (B) auf einen im Halbleiterpackage enthaltenen Leiterrahmen, wobei dieses Beispiel eines Leiterrahmens

nur auf einem Abschnitt des Dambarabschnitts des ersten Leiters eine rechteckige Erhebung aufweist.

[0071] **Fig. 9** zeigt insbesondere ein Halbleiterpackage 600 mit einem Leiterrahmen 90, einem Halbleitertransistordie 110 und einem Halbleiterdiodendie 115, die beide auf dem Die-Pad 91 des Leiterrahmens 90 angeordnet sind, und einer Einkapselung (hier nicht gezeigt), die auf dem Leiterrahmen 90 und den Halbleiterdies 110 und 115 angeordnet ist. Die Einkapselung kann in der gleichen Weise wie in **Fig. 5** gezeigt angeordnet werden.

[0072] Der Leiterrahmen 90 umfasst das Die-Pad 91, einen ersten Leiter 92, der mit dem Die-Pad 91 verbunden ist, und drei weitere Leiter 93, 94 und 95, wobei der erste Leiter 92 einen abgesenkten Abschnitt 92A, einen inneren Abschnitt 92B, einen Verbindungsabschnitt 92C und einen äußeren Abschnitt 92D umfasst. Der erste Leiter 92 umfasst ferner eine Erhebung 92.1, die in diesem Fall auf einem Abschnitt des Verbindungsabschnitts 92C des ersten Leiters 92 vorgesehen ist und eine rechteckige Form in einem seitlichen Querschnitt aufweist.

[0073] Im Übrigen kann für die zweiten, dritten und vierten Pins 93, 94 und 95 und ihre Verbindungen mit den Kontakt-Pads des Halbleitertransistordie 110 das Gleiche gelten wie für die Pins 43, 44 und 45 der **Fig. 4** und die Pins 53, 54 und 55 der **Fig. 5**, wie oben beschrieben.

[0074] **Fig. 10** umfasst **Fig. 10A** bis **Fig. 10C** und zeigt eine Draufsicht auf ein Zwischenprodukt der Halbleiterpackungsherstellung (A), eine perspektivische Seitenansicht (B) auf einen im Zwischenprodukt enthaltenen Abschnitt des Leiterrahmens und eine vergrößerte perspektivische Seitenansicht (C) auf den Abschnitt des fertigen Leiterrahmens, wobei dieses Beispiel eines Leiterrahmens eine rechteckige Erhebung aufweist, die sich seitlich auf dem Dambarabschnitt des ersten Leiters erstreckt.

[0075] **Fig. 10** zeigt ein Halbleiterpackage 600 mit einem Leiterrahmen 100, einem Halbleitertransistordie 110 und einem Halbleiterdiodendie 115, die beide auf dem Die-Pad 101 des Leiterrahmens 100 angeordnet sind, und einer Einkapselung (hier nicht dargestellt), die auf dem Leiterrahmen 100 und den Halbleiterdies 110 und 115 angeordnet ist. Die Einkapselung kann in der gleichen Weise wie in **Fig. 4** gezeigt angeordnet werden.

[0076] Der Leiterrahmen 100 umfasst das Die-Pad 101, einen ersten Leiter 102, der mit dem Die-Pad 101 verbunden ist, und drei weitere Leiter 103, 104 und 105, wobei der erste Leiter 102 einen abgesenkten Abschnitt 102A, einen inneren Abschnitt 102B, einen Verbindungsabschnitt 102C und einen äußeren Abschnitt 102D umfasst. Der erste Leiter 102

umfasst ferner eine Erhebung 102.1, die an einem Abschnitt des Verbindungsabschnitts 102C des ersten Leiters 102 vorgesehen ist und in einem seitlichen Querschnitt eine rechteckige Form aufweist. In diesem Fall weisen auch die anderen drei Stifte 103, 104 und 105 entsprechende Erhebungen 103.1, 103.1 und 103.1 auf, die ebenfalls an ihren jeweiligen Abschnitten 103B, 104B, 105B angeordnet sind. **Fig. 10A** und **10B** zeigen ein Zwischenprodukt des Herstellungsverfahrens, bei dem die Erhebungen 102.1, 103.1, 104.1 und 105.1 aller vier Stifte 102, 103, 104 und 105 durch einen Steg 102C.1 miteinander verbunden sind. In einem späteren Schritt werden die Verbindungen entfernt, um die in **Fig. 10C** gezeigte Struktur zu erhalten.

[0077] Andernfalls kann für die zweiten, dritten und vierten Pins 103, 104 und 105 und ihre Verbindungen mit den Kontakt-Pads des Halbleitertransistordie 110 das Gleiche gelten wie für die Pins 43, 44 und 45 von **Fig. 4** und die Pins 53, 54 und 55 von **Fig. 5**, wie oben beschrieben.

[0078] **Fig. 11** umfasst **Fig. 11A** bis **Fig. 11C** und zeigt eine perspektivische Ansicht auf ein Halbleiterpackage (A), eine perspektivische Ansicht von vorne (B) und eine weitere perspektivische Ansicht von leicht unten (C) auf einen Leiterrahmen, der in dem Halbleiterpackage enthalten ist, wobei dieses Beispiel eines Leiterrahmens ein hochgebogenes Element an einem Randabschnitt des inneren Abschnitts aufweist.

[0079] **Fig. 11** zeigt insbesondere ein Halbleiterpackage 700 mit einem Leiterrahmen 140, einem Halbleitertransistordie 110 und einem Halbleiterdiodendie 115, die beide auf dem Die-Pad 141 des Leiterrahmens 140 angeordnet sind, und einer Einkapselung (hier nicht gezeigt), die auf dem Leiterrahmen 140 und der Halbleiterdie 110 angeordnet ist. Die Einkapselung kann auf die gleiche Weise wie in **Fig. 1** gezeigt angeordnet werden.

[0080] Der Leiterrahmen 140 umfasst das Die-Pad 141, eine erste Leitung 142, die mit dem Die-Pad 141 verbunden ist, und drei weitere Leitungen 143, 144 und 145, wobei die erste Leitung 142 einen abgesenkten Abschnitt 142A, einen inneren Abschnitt 142B, einen Verbindungsabschnitt 142C und einen äußeren Abschnitt 142D umfasst. Der erste Leiter 142 umfasst ferner ein nach oben gebogenes Element 142.1 an einem Randabschnitt des inneren Abschnitts 142B. Das aufgebogene Element 142.1 kann zu Beginn des Herstellungsprozesses eine flache Verlängerung des inneren Abschnitts 142B sein, die später aufgebogen werden kann, um die in **Fig. 11** gezeigte Struktur zu erhalten.

[0081] Ansonsten kann für die zweiten, dritten und vierten Pins 143, 144 und 155 und ihre Verbindungen

mit den Kontakt-pads des Halbleitertransistordie 110 das Gleiche gelten wie für die Pins 43, 44 und 45 der **Fig. 1** und die Pins 53, 54 und 55 der **Fig. 5**, wie oben beschrieben.

[0082] **Fig. 12** umfasst **Fig. 12A** bis **Fig. 12C** und zeigt eine Draufsicht auf ein Halbleiterpackage (A), eine perspektivische Ansicht von vorne auf einen im Halbleiterpackage enthaltenen Leiterrahmen (B) und eine weitere perspektivische Ansicht (C) von vorne auf einen Abschnitt des Leiterrahmens, wobei dieses Beispiel eines Leiterrahmens eine V-förmige Erhebung auf einem Abschnitt des inneren Teils des ersten Leiters aufweist.

[0083] **Fig. 12** zeigt ein Halbleiterpackage 800 mit einem Leiterrahmen 150, einem Halbleiterdie 110, der auf dem Die-Pad 151 des Leiterrahmens 150 angeordnet ist, und einer Einkapselung (hier nicht gezeigt), die auf dem Leiterrahmen 150 und dem Halbleiterdie 110 angeordnet ist. Die Einkapselung kann auf die gleiche Weise wie in **Fig. 1** gezeigt angeordnet werden.

[0084] Der Leiterrahmen 150 umfasst das Die-Pad 151, eine erste Leitung 152, die mit dem Die-Pad 151 verbunden ist, und drei weitere Leitungen 153, 154 und 155, wobei die erste Leitung 152 einen abgesenkten Abschnitt 152A, einen inneren Abschnitt 152B, einen Verbindungsabschnitt 152C und einen äußeren Abschnitt 152D umfasst. Der erste Leiter 152 umfasst ferner eine Erhebung 152.1, die in diesem Fall an einem Abschnitt des inneren Abschnitts 152B des ersten Leiters 152 vorgesehen ist und in einem seitlichen Querschnitt eine V-Form aufweist.

[0085] Ansonsten gilt für die zweiten, dritten und vierten Pins 153, 154 und 155 und ihre Verbindungen mit den Kontakt-pads des Halbleitertransistordie 110 das Gleiche wie für die Pins 43, 44 und 55 der **Fig. 1** und die Pins 53, 54 und 55 der **Fig. 5**, wie oben beschrieben.

[0086] In allen Ausführungsformen sollte die Verbindung zwischen den beiden Dies oder zwischen dem Die und dem zweiten/dritten/vierten Lead nicht dazu verwendet werden, den Schutz der vorliegenden Erfindung einzuschränken, da diese Verbindung keinen Einfluss auf die Erhebungsstruktur auf mindestens einem Lead des Leiterrahmens oder des zukünftigen Halbleiterpackages hat. Ferner werden in den Ausführungsformen der **Fig. 1** bis **12** zwar die Begriffe „Anschlussabschnitt“ und „äußerer Abschnitt“ verwendet. Der Hauptzweck besteht jedoch darin, die Position der Erhebungsstrukturen zu beschreiben, wenn sie an der Dambar-Position der einzelnen Leiter angeordnet sind. Der Fachmann kann den Anschlussabschnitt und den äußeren Abschnitt des ersten Leiters als Ganzes so interpretieren.

tieren, dass der äußere Abschnitt des ersten Leiters, der sich außerhalb der Einkapselung des endgültigen Halbleiterpackages befindet, dem inneren Abschnitt des ersten Leiters entspricht, der sich innerhalb der Einkapselung des Packages befindet. Bei Gehäusen, die keinen Damm zwischen ihren Leitern haben, gibt es keinen „Verbindungsabschnitt“ an diesen Leitern, und daher besteht keine Notwendigkeit für die Erhebungsstruktur am Verbindungsabschnitt des ersten Leiters.

[0087] Fig. 13 zeigt eine Draufsicht auf einen Gate-Treiber-Die, in der die bevorzugten Positionen für die Anordnung der Erhebungen dargestellt sind.

[0088] Genauer gesagt zeigt Fig. 13 ein Halbleiterpackage 900 mit einem Leiterrahmen, einem ersten Die-Pad 240 und einem zweiten Die-Pad 250 und einem ersten Halbleiterdie 260 und einem zweiten Halbleiterdie 270, wobei der erste Halbleiterdie 260 auf dem ersten Die-Pad 240 und der zweite Halbleiterdie 270 auf dem zweiten Die-Pad 250 angeordnet ist, und eine Einkapselung (hier nicht gezeigt) auf dem Leiterrahmen und den Halbleiterdies 260 und 270 angeordnet ist. Die Einkapselung kann auf die gleiche Weise wie in Fig. 2 gezeigt angeordnet werden.

[0089] Der Leiterrahmen umfasst ferner einen ersten Leiter 241, der mit dem Die-Pad 240 verbunden ist, und drei weitere Leiter 242, 243 und 244, die durch Bonddrähte mit den Kontakt-Pads des ersten Halbleiterdie 260 verbunden sind. Ein Leiter 251 ist mit dem zweiten Die-Pad 250 verbunden. Ebenfalls in Fig. 13 eingezeichnet sind zwei rechteckige Umrisse 280 und 281, die zwei bevorzugte Stellen im Halbleiterpackage 900 angeben, an denen Erhebungen angebracht werden könnten. Der untere Umriss 180 stellt den Bereich dar, in dem der erste Leiter 241 mit dem Die-Pad verbunden ist, und der Abschnitt mit der Erhebung kann dort angeordnet werden. In diesem Fall fungiert der erste Leiter 241 auch als Verbindung zu einem externen Bauteil, wie der Leiterplatte oder anderen Gehäusen/passiven Bauteilen. Der obere Umriss 181 stellt einen Dummy-Leiter oder Dummy-Tiebar dar, der die Stabilität des Die-Pads 240 während des Herstellungsprozesses verbessern soll und nach dem Gießprozess so geschnitten wird, dass er nicht wesentlich aus der Einkapselung herausragt. Dieser Dummy-Tiebar hat keine elektrische Anschlussfunktion. Die Anordnung einer Erhebungsstruktur auf dem Dummy-Leiter trägt auch zur Verbesserung der Stabilität des Die-Pads bei. Wenn die Erhebung auf dem ersten Leiter 241 gut funktioniert, kann ein Fachmann verstehen, dass der Dummy-Leiter/Tiebar nicht benötigt wird, so dass die Die-Pads 240/250 vereinfacht werden können.

[0090] Fig. 14 zeigt eine Draufsicht auf den Schnitt eines typischen IPM-Moduls, in dem Erhebungen an bestimmten Leitern vorgesehen sind.

[0091] Fig. 14 zeigt einen Abschnitt eines Halbleiterpackages 1000 mit einem ersten Die-Pad 1010, einem zweiten Die-Pad 1020, einem auf dem ersten Die-Pad 1010 angeordneten ersten Halbleiterdie 1030 und einem auf dem zweiten Die-Pad 1020 angeordneten zweiten Halbleiterdie 1040. Das Halbleiterpackage 1000 ist mit einer Vielzahl von Leitern verbunden, wobei ein erster Leiter 1050 mit dem ersten Die-Pad 1010 und ein zweiter Leiter 1060 mit dem zweiten Die-Pad 1020 verbunden ist. Da das erste Die-Pad 1010 nur mit dem ersten 1050 verbunden ist, sind der erste Leiter 1050 und optional das Die-Pad 1010 anfällig für Vibrationen und daher mit Erhebungen 1050.1A und 1050.1B auf dem ersten Leiter 1050 versehen. Eine erste Erhebung 1050.1A ist an einem äußeren Abschnitt des ersten Leiters 1050 und eine zweite Erhebung 1050.1B an einem inneren Abschnitt des ersten Leiters 1050 angeordnet. Ebenso ist der zweite Leiter 1060 über einen Bonddraht mit dem zweiten Halbleiterdie 1040 verbunden und mit einer Erhebung 1060.1 an einem äußeren Abschnitt davon versehen. Es ist auch möglich, eine Erhebungsstruktur auf dem inneren Abschnitt des Leiters 1060 anzuordnen.

[0092] Fig. 15 zeigt eine Draufsicht auf den Schnitt eines typischen IPM-Moduls (intelligentes Leistungsmodul), bei dem Erhebungen auf bestimmten Leitern vorgesehen sind.

[0093] Genauer gesagt zeigt Fig. 15 einen Abschnitt eines Halbleiterpackages 1100 mit einem Die-Pad 1110, einem auf dem Die-Pad 1110 angeordneten Halbleiterdie 1120 und Kontaktbereichen 1130 und 1140. Das Halbleiterpackage 1100 ist mit einer Vielzahl von Leitern verbunden, wobei ein erster Leiter 1150 mit dem Die-Pad 1110 verbunden ist, ein zweiter Leiter 1160 über einen Bonddraht mit einem ersten Kontaktbereich 1130 verbunden ist und ein dritter Leiter 1170 über einen Bonddraht mit einem zweiten Kontaktbereich 1140 verbunden ist. Da die ersten bis dritten Leiter 1150 bis 1170 als schwingungsanfällig gelten, sind sie mit entsprechenden Erhebungen 1150.1, 1160.1 und 1170.1 versehen, die alle an entsprechenden äußeren Abschnitten der Leiter 1050 bis 1070 angeordnet sind. Nach der Lektüre der vorangegangenen Ausführungen wird der Fachmann verstehen, dass diese Erhebungen auch auf dem entsprechenden Abschnitt dieser Leiter im Inneren der Einkapselung oder des Gehäuses von IPM-Produkten angeordnet sein können.

BEISPIELE

[0094] Im Folgenden werden spezifische Beispiele der vorliegenden Offenbarung beschrieben.

[0095] Beispiel 1 ist ein Leiterrahmen, umfassend ein Die-Pad, einen ersten Leiter, der einen inneren Abschnitt und einen äußeren Abschnitt umfasst, wobei der erste Leiter wenigstens einen Erhebungsabschnitt umfasst, der sich über eine vorbestimmte Länge in einer Längs- oder Querrichtung des ersten Leiters erstreckt, wobei der äußere Abschnitt so konfiguriert ist, dass er für eine externe elektrische Verbindung verwendet wird.

[0096] Beispiel 2 ist ein Leiterrahmen gemäß Beispiel 1, ferner mit einem zweiten Leiter, der einen inneren Abschnitt und einen äußeren Abschnitt aufweist, wobei der äußere Abschnitt so konfiguriert ist, dass er für eine externe elektrische Verbindung verwendet werden kann.

[0097] Beispiel 3 ist ein Leiterrahmen gemäß Beispiel 1 oder 2, wobei die Erhebung durch eine Verformung des ersten Leiters erzeugt wird, insbesondere durch eine Prägung, die in einer Richtung senkrecht zur Längsrichtung des ersten Leiters ausgeübt wird.

[0098] Beispiel 4 ist ein Leiterrahmen gemäß Beispiel 3, wobei der Erhebungsabschnitt an dem inneren Abschnitt angeordnet ist, wobei der innere Abschnitt in eine Einkapselung einzubetten ist.

[0099] Beispiel 5 ist ein Leiterrahmen gemäß einem der vorhergehenden Beispiele, wobei die äußeren Abschnitte des ersten und des zweiten Leiters jeweils einen Dambarabschnitt umfassen, wobei die Erhebung des ersten Leiters auf dem Dambarabschnitt des ersten Leiters angeordnet ist.

[0100] Beispiel 6 ist ein Leiterrahmen gemäß einem der vorhergehenden Beispiele, wobei der erste Leiter physisch mit dem Die-Pad verbunden ist.

[0101] Beispiel 7 ist ein Leiterrahmen gemäß Beispiel 6, wobei der innere Abschnitt einen abgesenkten Abschnitt umfasst.

[0102] Beispiel 8 ist ein Leiterrahmen gemäß einem der vorhergehenden Beispiele, wobei der innere Abschnitt des ersten Leiters nicht physisch mit dem Die-Pad verbunden ist.

[0103] Beispiel 9 ist ein Leiterrahmen gemäß Beispiel 8, wobei der innere Abschnitt so konfiguriert ist, dass er mit einem Bonddraht oder einer passiven Komponente verbunden werden kann.

[0104] Beispiel 10 ist ein Leiterrahmen gemäß einem der vorhergehenden Beispiele, wobei die Erhebung sowohl auf dem inneren Abschnitt als auch auf dem Dambarabschnitt vorgesehen ist.

[0105] Beispiel 11 ist ein Leiterrahmen gemäß einem der vorhergehenden Beispiele, wobei die Erhebung eines der folgenden Merkmale aufweist

- eine rechteckige Form in einem seitlichen Querschnitt,
- eine V-Form in einem seitlichen Querschnitt, und
- ein nach oben gebogenes Element an einem Rand des inneren Abschnitts.

[0106] Beispiel 12 ist ein Leiterrahmen gemäß einem der vorhergehenden Beispiele, wobei der zweite Leiter ferner einen zweiten Erhebungsabschnitt aufweist, der dem Erhebungsabschnitt des ersten Leiters gleicht.

[0107] Beispiel 13 ist ein Leiterrahmen gemäß einem der vorhergehenden Beispiele, wobei der Leiterrahmen ein Element eines Leiterrahmen-Panels ist, wobei das Leiterrahmen-Panel eine Anordnung von $m \times n$ Leiterrahmen umfasst, wobei m und n ganze Zahlen sind, wobei der erste Leiter eines Leiterrahmens mit jedem Leiter oder Die-Pad eines benachbarten Leiterrahmens über einen Verbindungssteg senkrecht zur Längsrichtung des ersten Leiters des Leiterrahmens verbunden ist.

[0108] Beispiel 14 ist ein Leiterrahmen gemäß Beispiel 13, wobei der Verbindungssteg den ersten Leiter an einer der folgenden Positionen verbindet: dem Verbindungsabschnitt, dem Dambarabschnitt des ersten Leiters oder einem Stützsteg, der mit dem Ende des äußeren Abschnitts des ersten Leiters verbunden ist.

[0109] Beispiel 15 ist ein Leiterrahmen gemäß einem der vorhergehenden Beispiele, wobei der Abschnitt der Erhebung des ersten Leiters eine Höhe in einem Bereich von mehr als 10 % oder mehr als 20 % oder mehr als 30 % der Dicke des ersten Leiters aufweist.

[0110] Beispiel 16 ist ein Halbleiterpackage mit einem Leiterrahmen mit einem Die-Pad, einem ersten Leiter mit einem inneren Abschnitt und einem äußeren Abschnitt, wobei der erste Leiter mindestens einen Erhebungsabschnitt aufweist, der sich über eine vorbestimmte Länge in einer Längs- oder Querrichtung des ersten Leiters erstreckt, wobei der äußere Abschnitt so konfiguriert ist, dass er für eine externe elektrische Verbindung verwendet wird, und einer Einkapselung, die auf dem Leiterrahmen und dem Halbleiterdie angeordnet ist.

[0111] Beispiel 17 ist ein Halbleiterpackage gemäß Beispiel 16, das ferner den Leiterrahmen umfasst, der einen zweiten Leiter mit einem inneren Abschnitt und einem äußeren Abschnitt umfasst, wobei der

äußere Abschnitt so konfiguriert ist, dass er für eine externe elektrische Verbindung verwendet wird.

[0112] Beispiel 18 ist ein Halbleiterpackage gemäß den Beispielen 16 oder 17, wobei der Abschnitt mit der Erhebung innerhalb oder außerhalb der Einkapselung angeordnet ist.

[0113] Beispiel 19 ist ein Halbleiterpackage gemäß einem der Beispiele 16 bis 18, wobei die äußeren Abschnitte des ersten und des zweiten Leiters jeweils einen Dambarabschnitt umfassen, wobei die Erhebung des ersten Leiters auf dem Dambarabschnitt des ersten Leiters angeordnet ist.

[0114] Beispiel 20 ist ein Halbleiterpackage gemäß einem der Beispiele 16 bis 19, wobei der erste Leiter als Drainleiter zu verwenden ist, der zweite Leiter als Sourceleiter zu verwenden ist, wobei der Leiterrahmen ferner einen dritten Leiter umfasst, der als Gateleiter zu verwenden ist.

[0115] Beispiel 21 ist ein Halbleiterpackage gemäß einem der Beispiele 16 bis 20, wobei der erste Leiter als Gateleiter, Source-Sense-Leiter, Sourceleiter und I/O-Signalleiter zu verwenden ist.

[0116] Beispiel 22 ist ein Halbleiterpackage gemäß einem der Beispiele 16 bis 21, wobei der Halbleitert- ransistordie ein vertikales Halbleitertransistordie ist, das eine erste Hauptfläche und eine zweite Hauptfläche gegenüber der ersten Hauptfläche und ein erstes Kontakt-Pad, das auf der ersten Hauptfläche angeordnet und mit dem Die-Pad verbunden ist, ein zweites Kontakt-Pad, das auf der zweiten Hauptfläche angeordnet ist, und ein drittes Kontakt-Pad, das auf der zweiten Hauptfläche angeordnet ist, umfasst.

[0117] Beispiel 23 ist ein Halbleiterpackage gemäß einem der Beispiele 16 bis 22, wobei die vertikale Halbleitertransistordie ein viertes Kontakt-Pad umfasst, das auf der zweiten Hauptfläche angeordnet ist.

[0118] Obwohl hierin spezifische Ausführungsformen dargestellt und beschrieben wurden, wird es von denjenigen, die sich mit der Technik auskennen, geschätzt, dass eine Vielzahl von alternativen und/oder gleichwertigen Implementierungen anstelle der dargestellten und beschriebenen spezifischen Ausführungsformen verwendet werden können, ohne dass der Umfang der vorliegenden Offenbarung beeinträchtigt wird. Die vorliegende Anmeldung soll alle Anpassungen oder Variationen der hierin beschriebenen spezifischen Ausführungsformen abdecken. Daher ist beabsichtigt, dass diese Offenbarung nur durch die Ansprüche und deren Äquivalente eingeschränkt wird.

Patentansprüche

1. Leiterrahmen (10), umfassend: ein Die-Pad (11); einen ersten Leiter (12), der einen inneren Abschnitt (12A) und einen äußeren Abschnitt (12B, 12C) umfasst, wobei der erste Leiter (12) mindestens einen Erhebungsabschnitt (12.1A, 12.1B) umfasst, der sich über eine vorbestimmte Länge in einer Längs- oder Querrichtung des ersten Leiters (12) erstreckt, wobei der äußere Abschnitt (12B, 12C) so konfiguriert ist, dass er für eine externe elektrische Verbindung verwendet wird.
2. Leiterrahmen (10) nach Anspruch 1, ferner umfassend einen zweiten Leiter (13) mit einem inneren Abschnitt (13A) und einem äußeren Abschnitt (13B, 13C), wobei der äußere Abschnitt (13B, 13C) so konfiguriert ist, dass er für eine externe elektrische Verbindung verwendet wird.
3. Leiterrahmen (10) nach Anspruch 1 oder 2, wobei die Erhebung (12.1A, 12.1B) durch eine Verformung des ersten Leiters (12) erzeugt wird, insbesondere durch eine Prägung, die in einer Richtung senkrecht zur Längsrichtung des ersten Leiters (12) ausgeübt wird.
4. Leiterrahmen (10) nach Anspruch 3, wobei der Erhebungsabschnitt (12.1A) an dem inneren Abschnitt (12A) angeordnet ist, wobei der innere Abschnitt (12A) in eine Einkapselung (14) einzubetten ist.
5. Leiterrahmen (10) nach einem der vorhergehenden Ansprüche, wobei die äußeren Abschnitte (12B, 12C, 13B, 13C) des ersten und des zweiten Leiters (12, 13) jeweils einen Dambarabschnitt (12B, 13B) aufweisen, wobei die Erhebung (12.1B) des ersten Leiters (12) auf dem Dambarabschnitt (12B) des ersten Leiters (12) angeordnet ist.
6. Leiterrahmen (10) nach einem der vorhergehenden Ansprüche, wobei der erste Leiter (12) physisch mit dem Die-Pad (11) verbunden ist.
7. Leiterrahmen (40) nach Anspruch 6, wobei der innere Abschnitt einen abgesenkten Abschnitt (42A) aufweist.
8. Leiterrahmen (20; 30) nach einem der vorhergehenden Ansprüche, wobei der innere Abschnitt des ersten Leiters nicht physisch mit dem Die-Pad verbunden ist.
9. Leiterrahmen (30) nach Anspruch 8, wobei der innere Abschnitt so konfiguriert ist, dass er mit einem Bonddraht oder einer passiven Komponente verbunden werden kann.

10. Leiterrahmen (10) nach einem der vorhergehenden Ansprüche, wobei die Erhebung (12.1A, 12.1B) sowohl auf dem inneren Abschnitt (12A) als auch auf dem Dambarabschnitt (12B) vorgesehen ist.

11. Leiterrahmen (10; 140) nach einem der vorangehenden Ansprüche, wobei die Erhebung (12.1A, 12.1B) eines der folgenden Merkmale aufweist

- eine rechteckige Form in einem seitlichen Querschnitt,
- eine V-Form in einem seitlichen Querschnitt, und
- ein nach oben gebogenes Element (82.1) an einem Rand des inneren Abschnitts (82B).

12. Leiterrahmen (100) nach einem der vorhergehenden Ansprüche, wobei der zweite Leiter (103) ferner einen zweiten Erhebungsabschnitt (103.1) aufweist, der dem Erhebungsabschnitt (102.1) des ersten Leiters (102) entspricht.

13. Leiterrahmen (20) nach einem der vorhergehenden Ansprüche, wobei der Leiterrahmen (20) ein Element eines Leiterrahmen-Panels ist, wobei das Leiterrahmen-Panel eine Anordnung von $m \times n$ Leiterrahmen umfasst, wobei m und n ganze Zahlen sind, wobei der erste Leiter (22) eines Leiterrahmens mit jedem Leiter oder Die-Pad eines benachbarten Leiterrahmens über einen Verbindungssteg (27) senkrecht zur Längsrichtung des ersten Leiters (22) des Leiterrahmens (20) verbunden ist.

14. Leiterrahmen nach Anspruch 13, wobei der Verbindungsstab den ersten Leiter an einer der folgenden Positionen verbindet: dem Verbindungsabschnitt, dem Dambarabschnitt des ersten Leiters oder einem Stützstab, der mit dem Ende des äußeren Abschnitts des ersten Leiters verbunden ist.

15. Leiterrahmen (10) nach einem der vorhergehenden Ansprüche, wobei der Abschnitt der Erhebung des ersten Leiters (12) eine Höhe in einem Bereich von mehr als 10 %, oder mehr als 20 %, oder mehr als 30 % der Dicke des ersten Leiters (12) aufweist.

16. Halbleiterpackage, umfassend einen Leiterrahmen (20) mit einem Die-Pad (11), einem ersten Leiter (12) mit einem inneren Abschnitt (12A) und einem äußeren Abschnitt (12B, 12C), wobei der erste Leiter (12) mindestens einen Erhebungsabschnitt (12.1A, 12.1B) aufweist, der sich über eine vorbestimmte Länge in einer Längs- oder Querrichtung des ersten Leiters (12) erstreckt, wobei der äußere Abschnitt (12B, 12C) so konfiguriert ist, dass er für eine externe elektrische Verbindung verwendet wird; und eine Einkapselung (120), die auf dem Leiterrahmen (20) und der Halbleiterdie (110) angeordnet ist.

17. Halbleiterpackage nach Anspruch 16, ferner umfassend den Leiterrahmen, der einen zweiten Leiter (13) mit einem inneren Abschnitt (13A) und einem äußeren Abschnitt (13B, 13C) umfasst, wobei der äußere Abschnitt (13B, 13C) so konfiguriert ist, dass er für eine externe elektrische Verbindung verwendet wird.

18. Halbleiterpackage nach Anspruch 16 oder 17, wobei der Abschnitt mit der Erhebung innerhalb oder außerhalb der Einkapselung angeordnet ist.

19. Halbleiterpackung nach einem der Ansprüche 16 bis 18, wobei die äußeren Abschnitte (12B, 12C, 13B, 13C) der ersten und der zweiten Leiter (12, 13) jeweils einen Dambarabschnitt (12B, 13B) umfassen, wobei die Erhebung (12.1B) des ersten Leiters (12) auf dem Dambarabschnitt (12B) des ersten Leiters (12) angeordnet ist.

20. Halbleiterpackage nach einem der Ansprüche 16 bis 19, wobei der erste Leiter als Drainleiter zu verwenden ist, der zweite Leiter als Sourceleiter zu verwenden ist, wobei der Leiterrahmen ferner einen dritten Leiter umfasst, der als Gateleiter zu verwenden ist.

21. Halbleiterpackage nach einem der Ansprüche 16 bis 20, wobei der erste Leiter als Gateleiter, Source-Sense-Leiter, Sourceleiter oder I/O-Signalleiter zu verwenden ist.

22. Das Halbleiterpackage nach einem der Ansprüche 16 bis 21, wobei die Halbleiterdie (110) eine vertikale Halbleitertransistordie (110) ist, die eine erste Hauptfläche und eine zweite Hauptfläche, die der ersten Hauptfläche gegenüberliegt, und ein erstes Kontakt-Pad, das auf der ersten Hauptfläche angeordnet und mit dem Die-Pad (21) verbunden ist, ein zweites Kontakt-Pad (115), das auf der zweiten Hauptfläche angeordnet ist, und ein drittes Kontakt-Pad, das auf der zweiten Hauptfläche angeordnet ist, umfasst.

23. Halbleiterpackage nach Anspruch 22, wobei die vertikale Halbleitertransistordie ein viertes Kontakt-Pad aufweist, das auf der zweiten Hauptfläche angeordnet ist.

Es folgen 13 Seiten Zeichnungen

Anhängende Zeichnungen

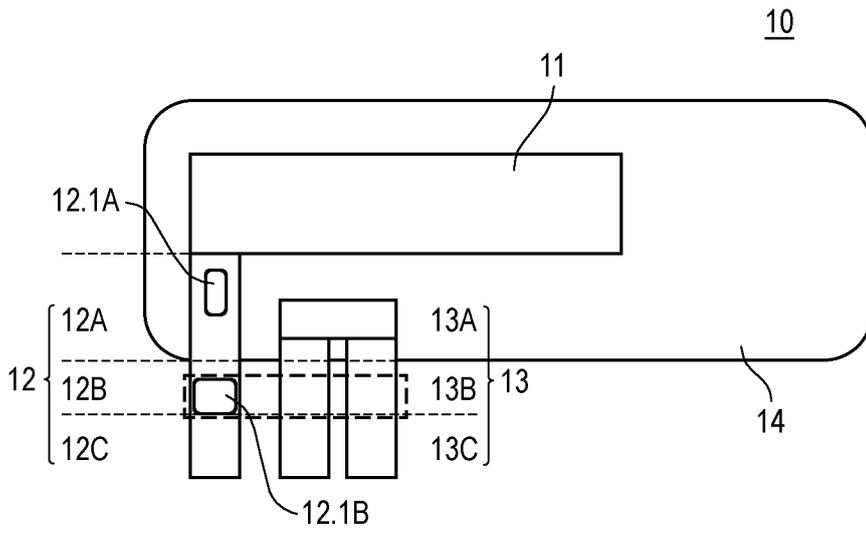


Fig. 1

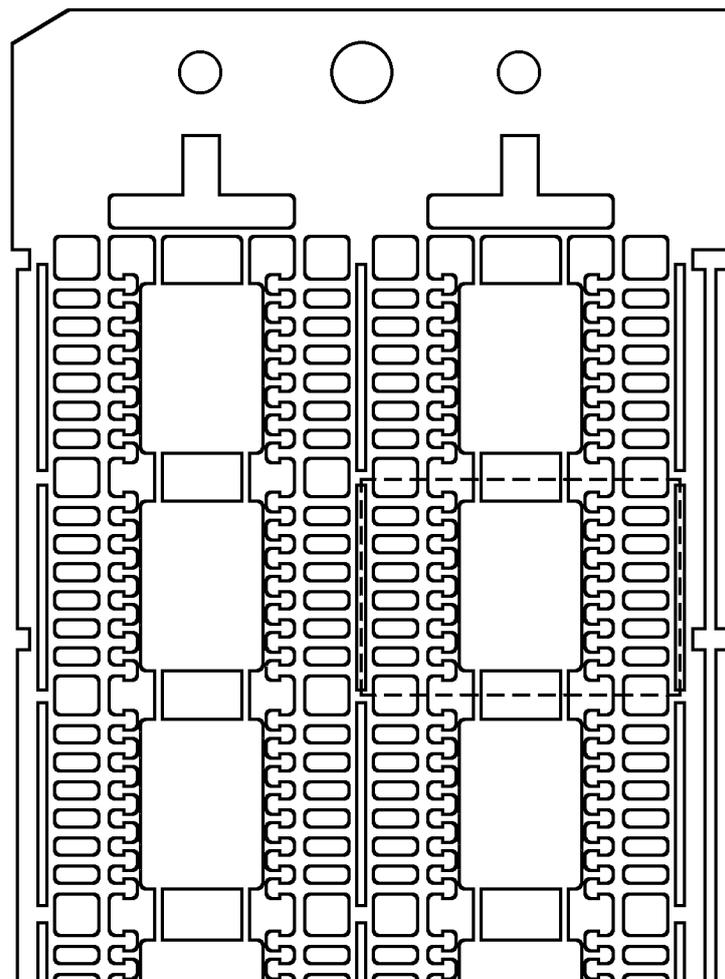


Fig. 2A

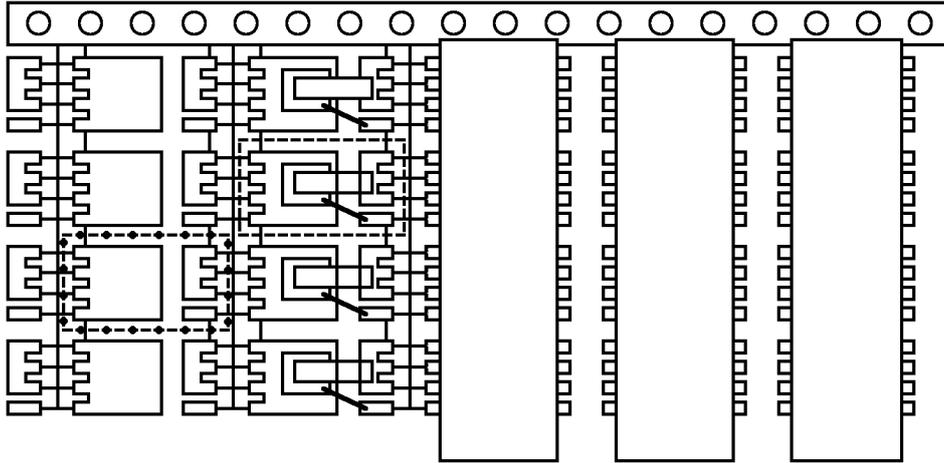


Fig. 2B

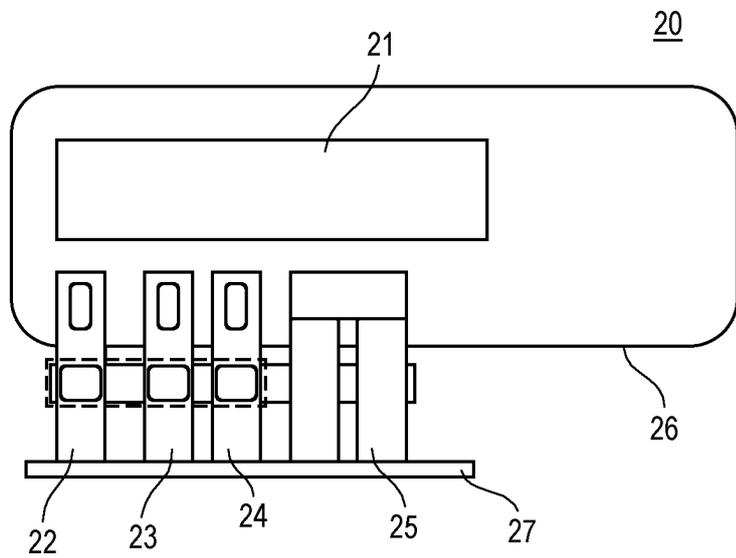


Fig. 2C

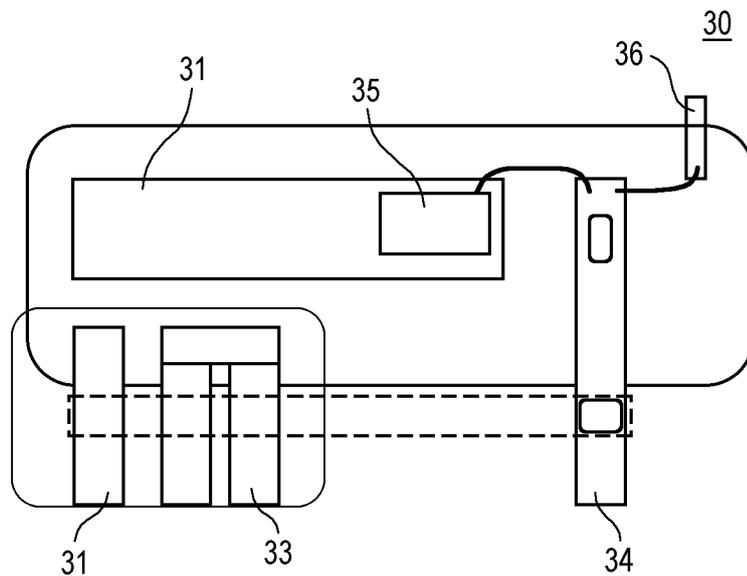


Fig. 3

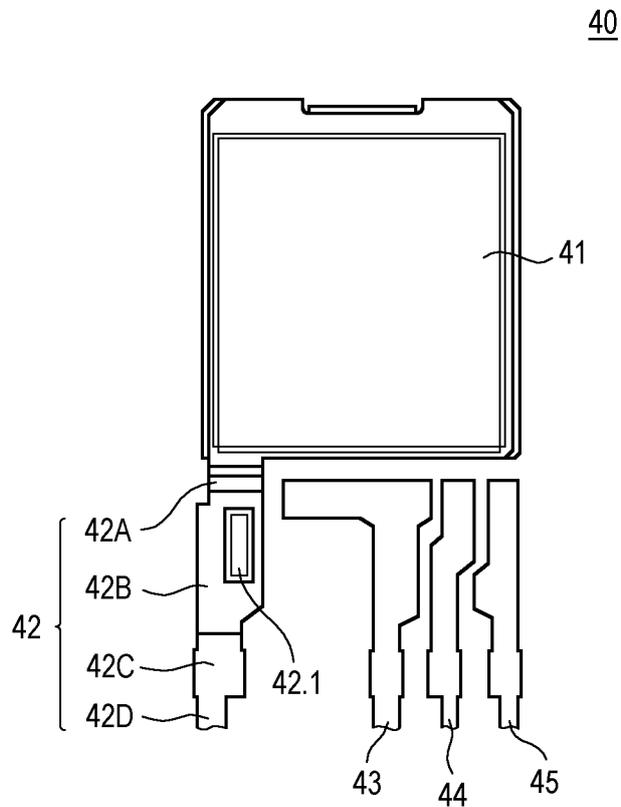


Fig. 4A

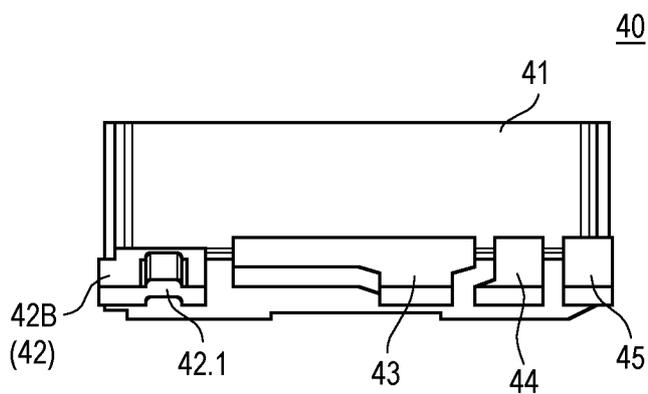
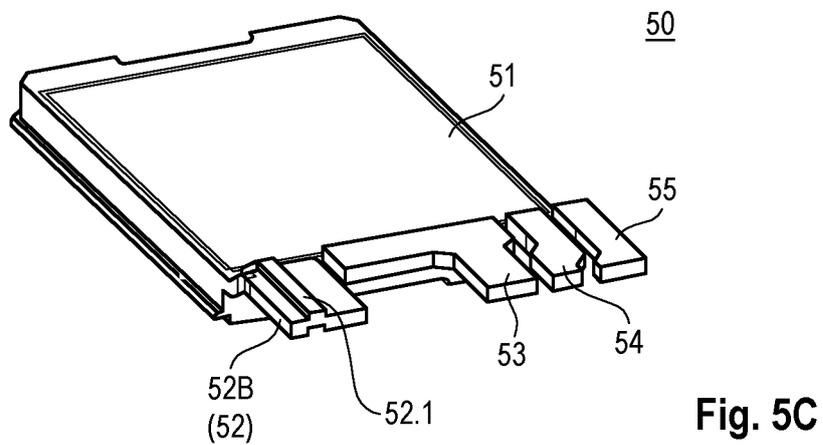
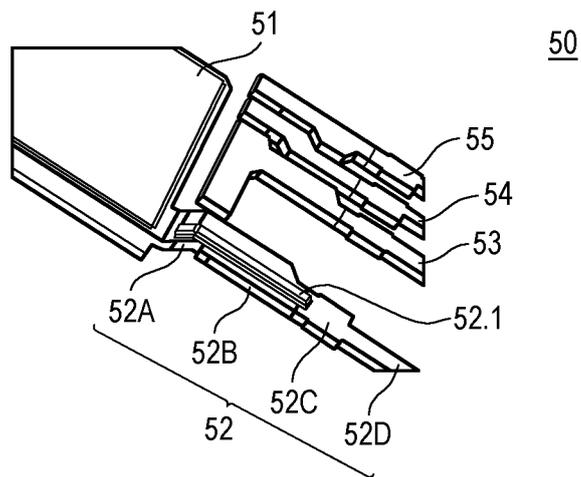
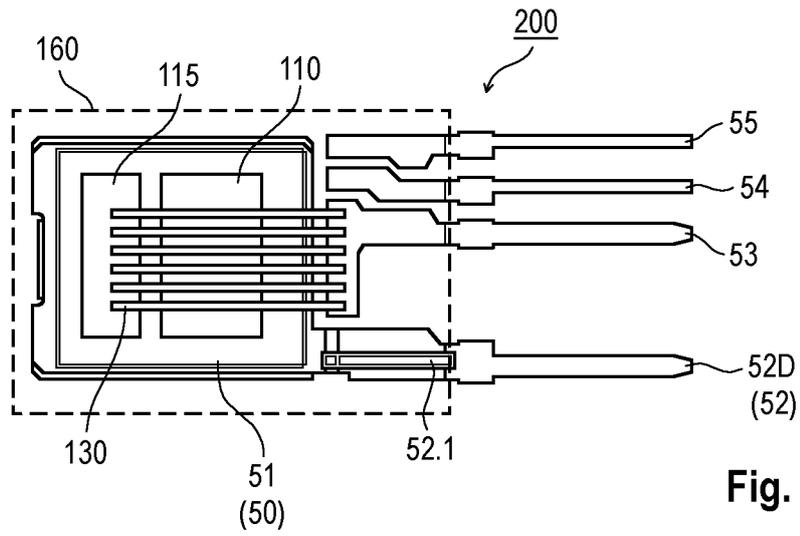


Fig. 4B



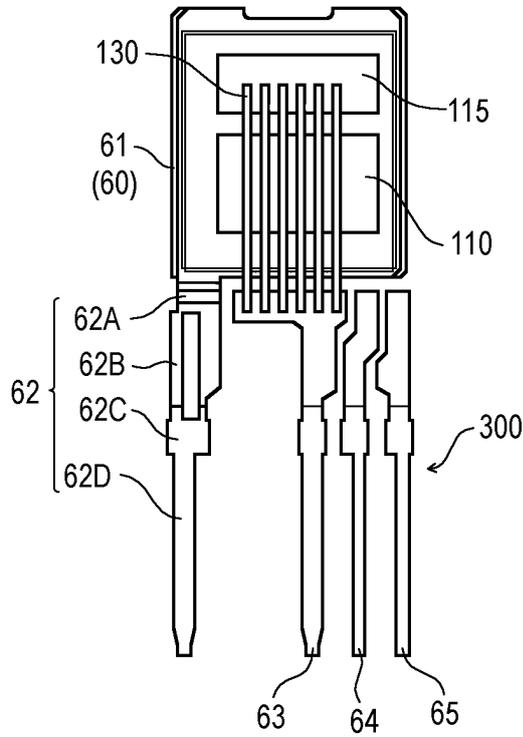


Fig. 6A

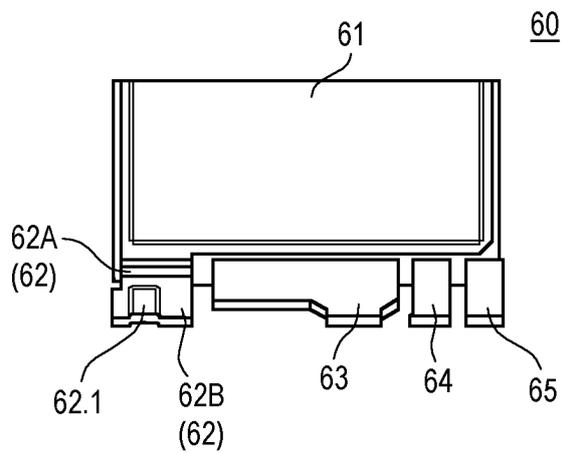


Fig. 6B

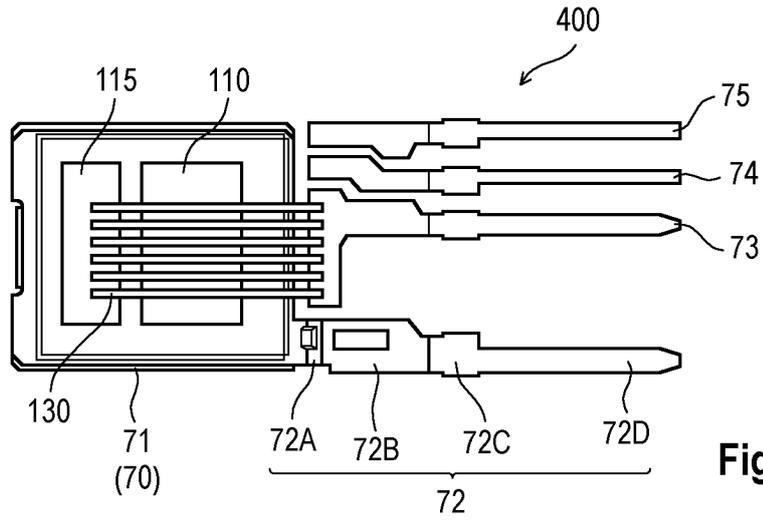


Fig. 7A

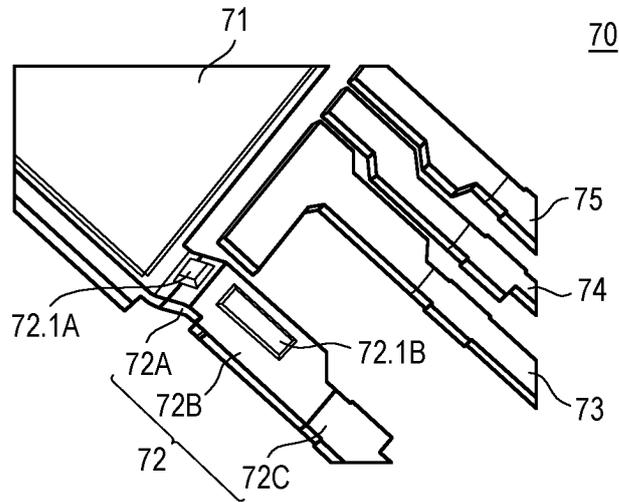


Fig. 7B

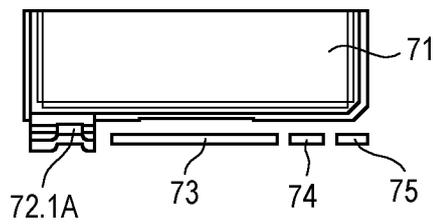


Fig. 7C

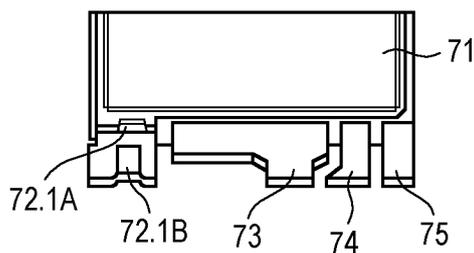


Fig. 7D

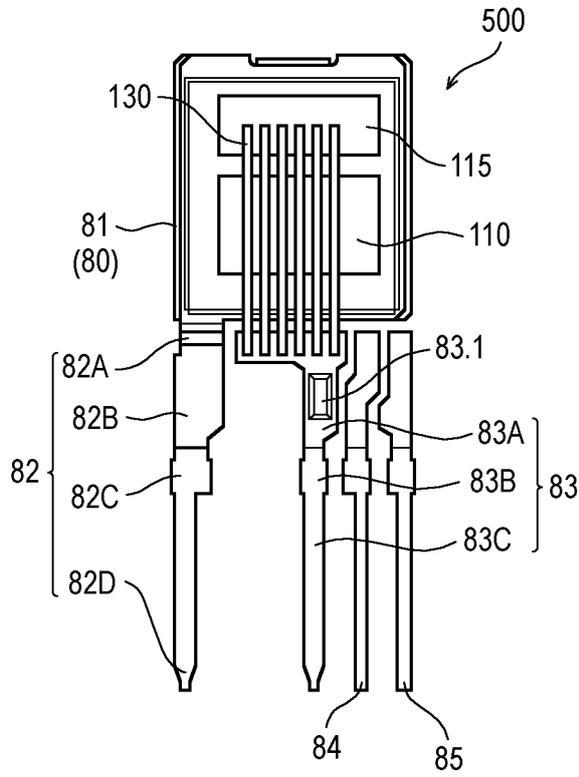


Fig. 8A

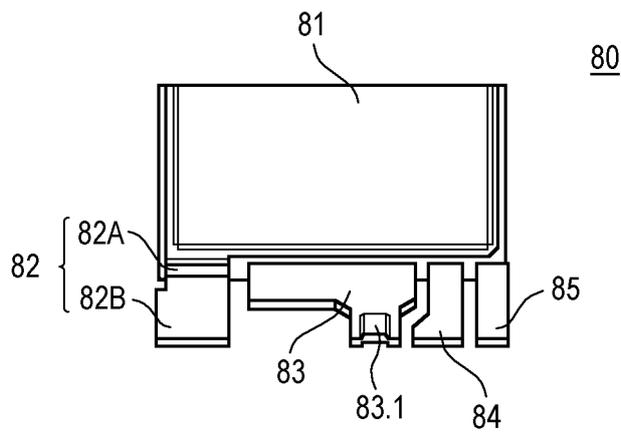


Fig. 8B

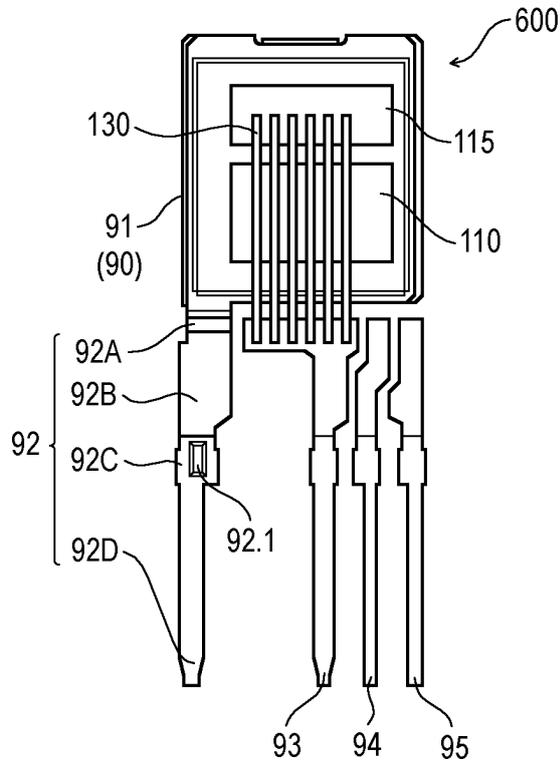


Fig. 9A

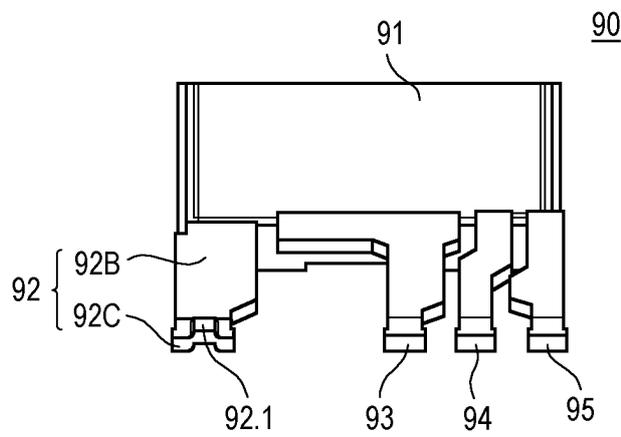


Fig. 9B

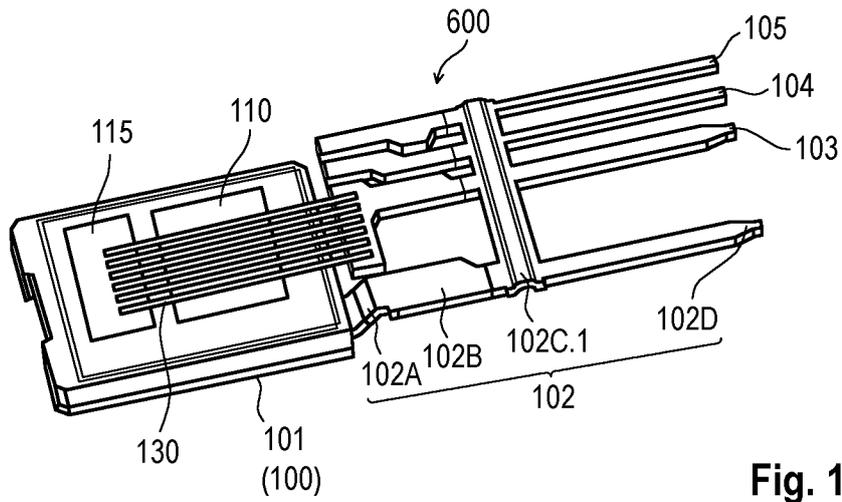


Fig. 10A

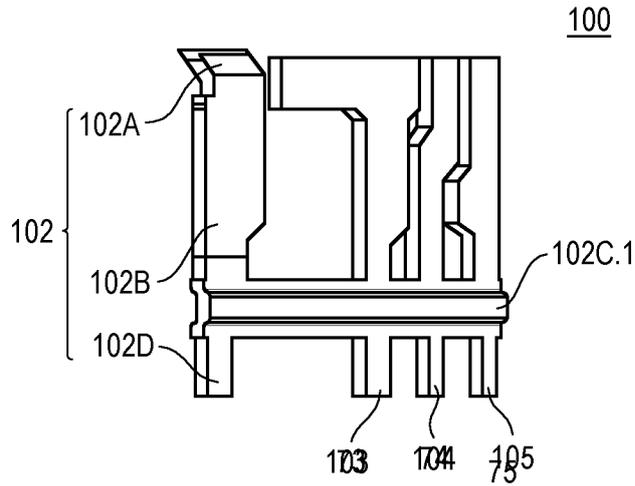


Fig. 10B

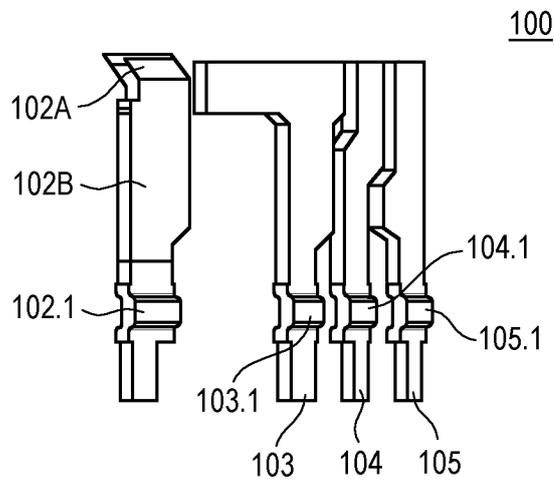


Fig. 10C

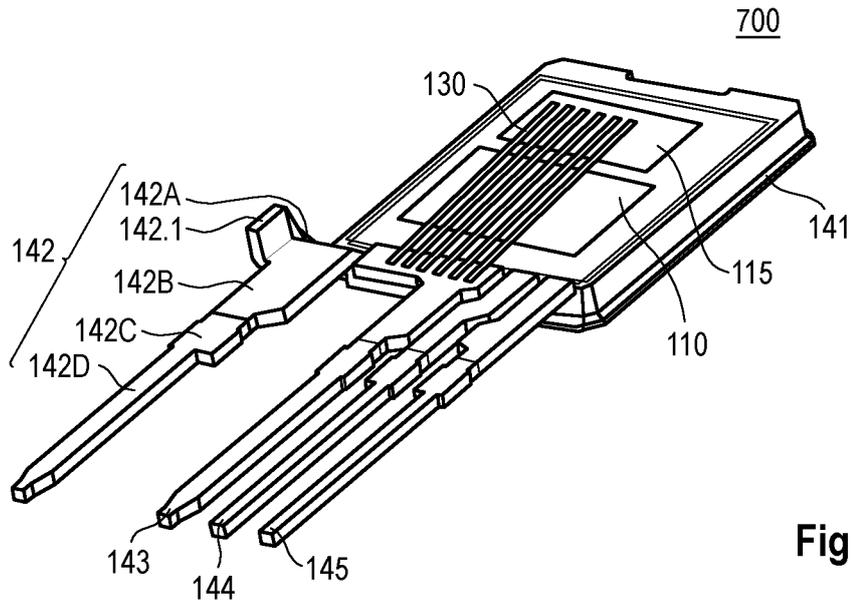


Fig. 11A

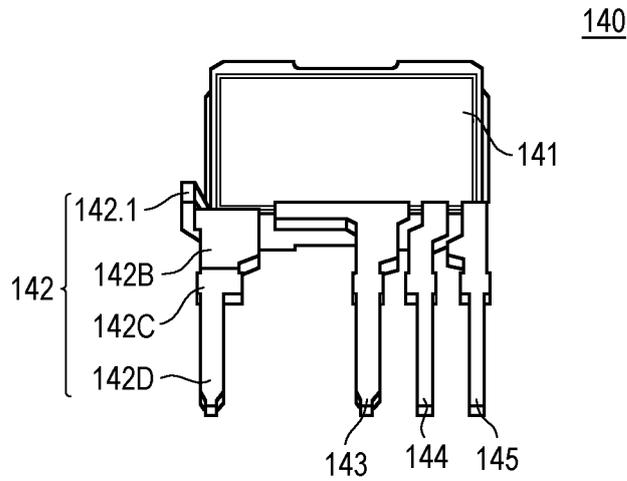


Fig. 11B

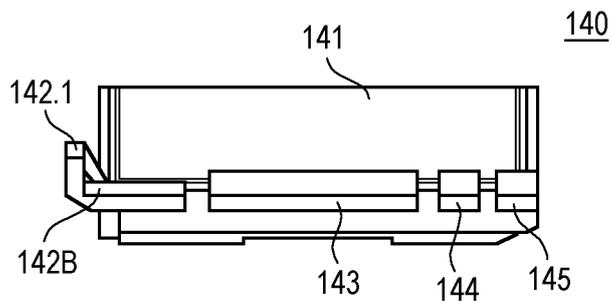


Fig. 11C

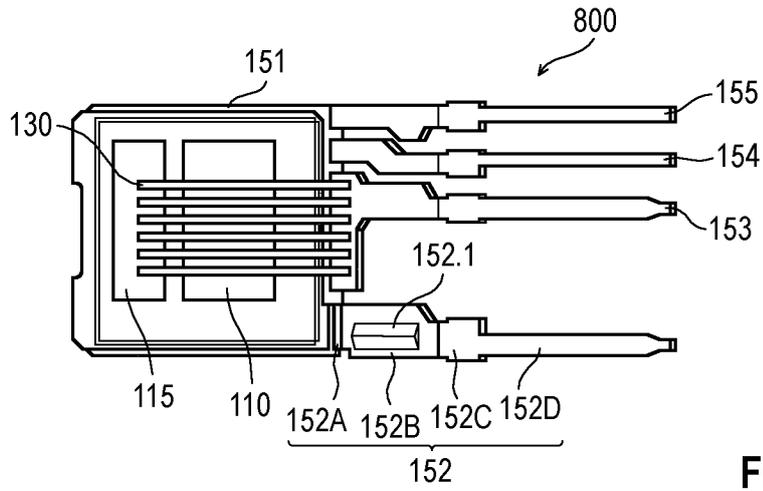


Fig. 12A

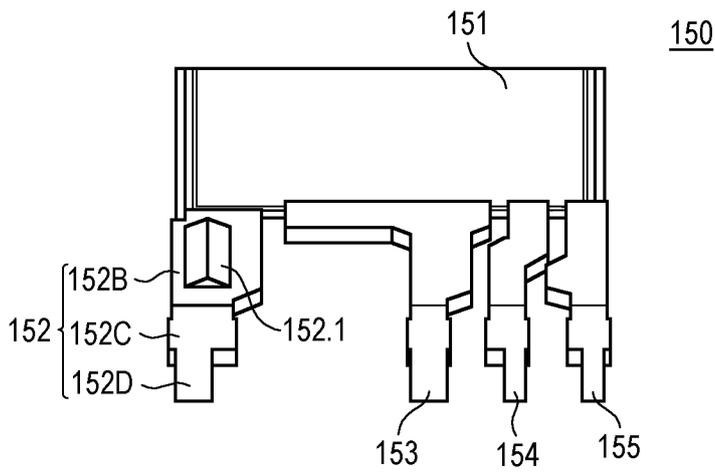


Fig. 12B

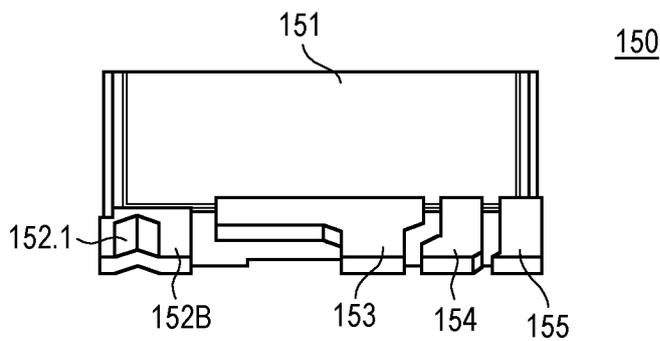


Fig. 12C

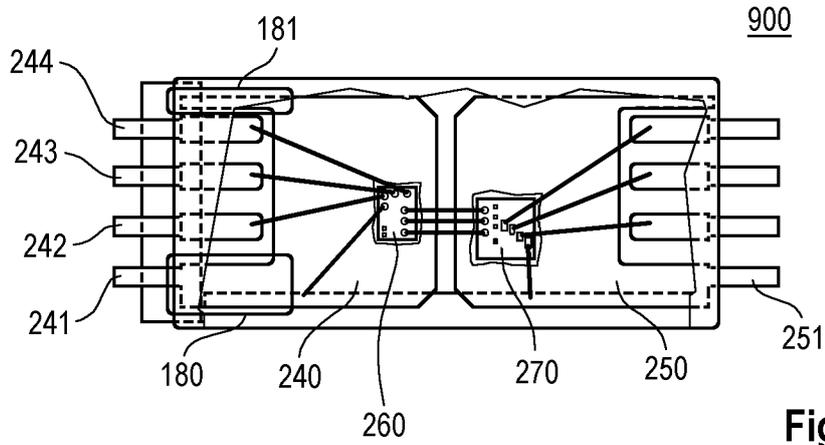


Fig. 13

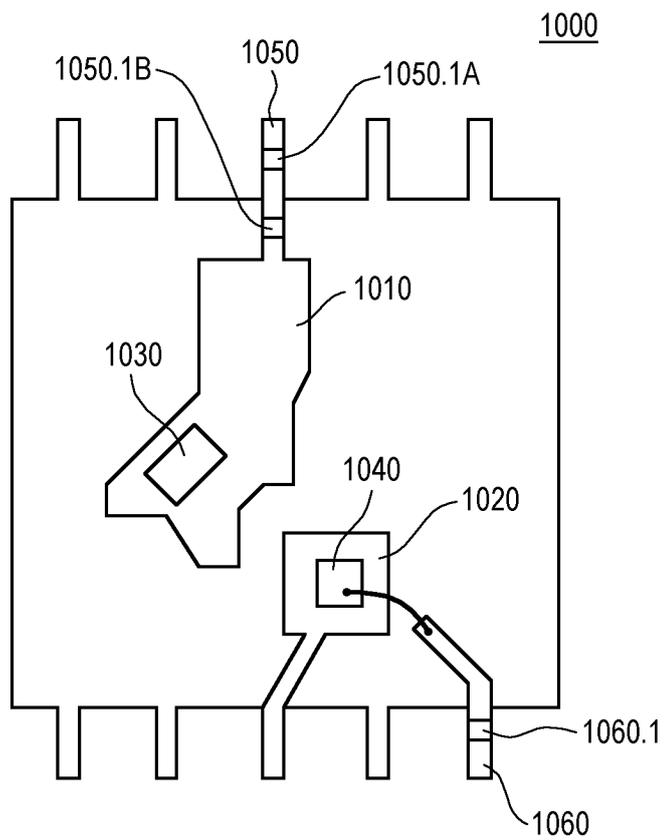


Fig. 14

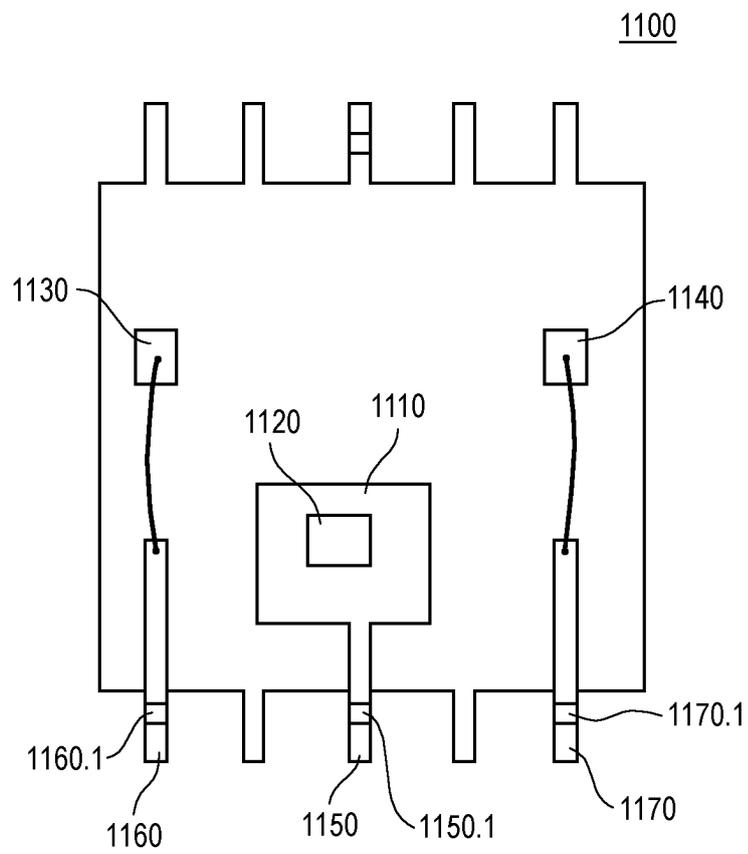


Fig. 15