



(12)发明专利申请

(10)申请公布号 CN 110199482 A

(43)申请公布日 2019.09.03

(21)申请号 201880000185.2

(74)专利代理机构 深圳新创友知识产权代理有限公司 44223

(22)申请日 2018.01.30

代理人 江耀纯

(30)优先权数据

15/878,375 2018.01.23 US

(51)Int.Cl.

H03M 1/38(2006.01)

(85)PCT国际申请进入国家阶段日

2018.03.16

(86)PCT国际申请的申请数据

PCT/CN2018/074509 2018.01.30

(87)PCT国际申请的公布数据

WO2019/144419 EN 2019.08.01

(71)申请人 香港应用科技研究院有限公司

地址 中国香港新界沙田香港科学园科技大道东二号光电子中心5楼

(72)发明人 郭慧民 陈璐 温锦泉

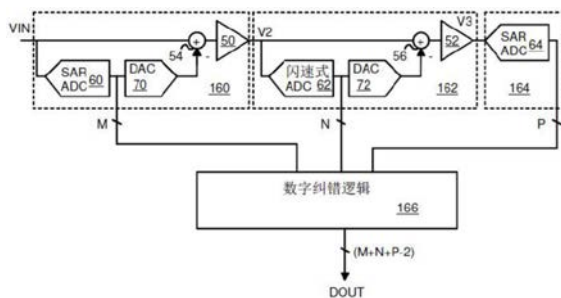
权利要求书5页 说明书8页 附图6页

(54)发明名称

一种多级混合模数转换器

(57)摘要

本发明提供的混合模数转换器(ADC)有多级。第一级和最后级都使用逐次逼近寄存器(SAR)ADC以在连续内部周期上生成最高有效位(MSB)和最低有效位(LSB)。中间级使用一种带有多个并联比较器的闪速式ADC以生成中间二进制位,然后由数模转换器(DAC)重新转换,并从该级的输入模拟电压中减去,以生成一个差值,再由剩余放大器放大,该剩余放大器将放大电压输出到下个级。第一级还具有乘法DAC结构,以将MSB转换为一个放大电压,给到第一中间级。最后,数字纠错逻辑去除在级之间的冗余二进制位。4位初始级、4位中间级和8位最终SAR级提供了一种14位精度的混合ADC。



1. 一种混合闪速式和逐次逼近寄存器SAR模数转换器ADC,包括:

模拟输入,其接收一个模拟输入;

SAR第一级,包括:

M位SARADC,其通过尝试一系列M个二进制位的逐次值,直到找到M个二进制位的模拟表示和所述模拟输入的最接近匹配,从而将所述模拟输入转换成M个二进制位;

M位乘法数模转换器DAC,其将来自所述M位SARADC的所述M个二进制位转换成第一重新转换的模拟信号,所述第一重新转换的模拟信号从所述模拟输入中减去、并被放大以产生第一放大模拟信号;

一个或多个闪速式中间级,其接收所述第一放大模拟信号作为到第一闪速式中间级的该级模拟输入,并从最后闪速式中间级的该级放大输出产生最终放大模拟信号,其中对于相邻的闪速式中间级,前一个闪速式中间级的该级放大输出被连接到下一个闪速式中间级的该级模拟输入;

其中每个闪速式中间级包括:

Q位闪速式ADC,其通过并行使用 2^Q-1 个比较器来执行 2^Q-1 次比较,以将所述该级模拟输入与一系列模拟参考值进行比较来产生多个比较器输出,所述多个比较器输出被解码成Q个二进制位,从而将所述该级模拟输入转换成Q个二进制位;

Q位乘法DAC,其将所述Q位闪速式ADC的所述Q个二进制位转换成第二重新转换的模拟信号,所述第二重新转换的模拟信号从所述该级模拟输入减去,并被放大以产生所述该级放大输出;和

SAR最后级,包括:

P位SARADC,其通过尝试一系列P个二进制位的逐次值,直到找到P个二进制位的模拟表示和最终放大模拟信号的最接近匹配,从而将所述最终放大模拟信号转换成P个二进制位;

其中M、Q和P是至少为2的整数。

2. 根据权利要求1所述的混合闪速式和SARADC,还包括:

数字纠错逻辑,其接收并合并由所述SAR第一级的所述M位SARADC产生的所述M个二进制位、由每个所述一个或多个闪速式中间级产生的所述Q个二进制位、以及由所述SAR最终级产生的所述P个二进制位,以产生一个二进制位的最终数字输出,其是所述模拟输入的数字表示。

3. 根据权利要求2所述的混合闪速式和SARADC,其中所述数字纠错逻辑还包括一个冗余位去除器,其将来自相邻级的冗余位对归化成单个二进制位;

其中对每对相邻级,去除一个冗余二进制位。

4. 根据权利要求3所述的混合闪速式和SARADC,还包括:

其中所述闪速式中间级一起产生 $Q*N$ 个二进制位,其中N是闪速式中间级的个数,其中N是至少1的整数;

其中所述数字纠错逻辑输出 $M+Q*N+P-(N-1)$ 个二进制位作为所述最终数字输出。

5. 根据权利要求1所述的混合闪速式和SARADC,其中所述模拟信号是模拟电压。

6. 根据权利要求1所述的混合闪速式和SARADC,其中所述M位乘法DAC还包括:

第一M位DAC,其将来自所述M位SARADC的所述M个二进制位转换成所述第一重新转换的模拟信号;

第一减法器,其从所述模拟输入中减去所述第一重新转换的模拟信号以产生第一差值信号;

第一剩余放大器,其接收所述第一差值信号,并产生所述第一放大模拟信号;

其中所述Q位乘法DAC还包括:

第二Q位DAC,其将来自所述Q位闪速式ADC的所述Q个二进制位转换成第二重新转换的模拟信号;

第二减法器,其从所述该级模拟输入减去所述第二重新转换的模拟信号以产生第二差值信号;

第二剩余放大器,其接收所述第二差值信号,并产生所述级的放大输出。

7. 根据权利要求6所述的混合闪速式和SARADC,其中所述第一M位DAC也是一个由所述M位SARADC使用的DAC。

8. 根据权利要求6所述的混合闪速式和SARADC,还包括:

流水线时钟,其控制所述混合闪速式和SARADC内的运行时序;

其中所述M个二进制位是在所述流水线时钟的第一相位期间由所述M位SARADC产生,并在所述流水线时钟的第二相位期间由所述第一剩余放大器放大;

其中所述Q个二进制位是在所述流水线时钟的第三相位期间由所述Q位闪速式ADC产生,且由所述第二剩余放大器放大;

其中当 $N=1$,所述P个二进制位是在所述流水线时钟的紧接所述第三相位之后的第四相位期间由所述P位SARADC产生;

其中所述M、Q和P个二进制位是在所述流水线时钟的第四相位上产生,当 $N=1$ 时;

其中当 N 大于1时,其他组的Q个二进制位是在所述流水线时钟的所述第三相位之后的每个额外相位期间由所述Q位闪速式ADC产生,且由所述第二剩余放大器放大;

其中当 N 大于1时,所述P个二进制位是在所述流水线时钟的紧接最后一个额外相位之后的最后相位期间由所述P位SARADC产生;

其中所述M、Q和P个二进制位是在所述流水线时钟的 $N+1$ 相位上产生,当 N 大于1时;

其中 N 是闪速式中间级的个数,其中 N 是至少1的整数。

9. 一种三级流水线混合模数转换器ADC,包括:

模拟输入,其接收输入模拟信号以用于转换成表示所述输入模拟信号的二进制位数字值;

逐次逼近寄存器SAR第一级,其接收在所述模拟输入上的所述输入模拟信号,所述SAR第一级包括:

第一SARADC,其用于从所述输入模拟信号逐次产生所述二进制位数字值的最高有效位MSB;

第一乘法数模转换器DAC,所述第一乘法DAC将所述二进制位数字值的所述MSB重新转换成第一转换模拟信号,再从所述输入模拟信号中减去所述第一转换模拟信号以产生第一差值信号,并放大所述第一差值信号以产生第一放大模拟信号;

闪速式第二级,其接收所述第一放大模拟信号,所述闪速式第二级包括:

闪速式DAC,其使用并联比较器来同时比较所述第一放大模拟信号和一系列参考电压,以产生表示所述输入模拟信号的所述二进制位数字值的中间位;

第二乘法DAC,其用于将所述二进制位数字值的所述中间位重新转换为第二转换模拟信号,再从所述第一放大模拟信号减去所述第二转换模拟信号以产生第二差值信号,并放大所述第二差值信号以产生第二放大模拟信号;

SAR最终级,其接收所述第二放大模拟信号,所述SAR最终级包括:

最终SARADC,其通过逐次转换所述第二放大模拟信号,逐次产生所述输入模拟信号的二进制位数字值的最低有效位LSB;

数字纠错逻辑,其合并由所述SAR第一级产生的所述MSB、所述闪速式第二级产生的所述中间位、以及由所述SAR最终级产生的所述LSB,以产生表示所述输入模拟信号的二进制位数字值;和

数字输出,其来自所述数字纠错逻辑,所述数字输出输出表示所述输入模拟信号的二进制位数字值;

由此,SARADC产生表示所述输入模拟信号的二进制位数字值的MSB和LSB,而所述闪速式ADC产生表示所述输入模拟信号的二进制位数字值的中间位。

10. 根据权利要求9所述的三级流水线混合ADC,其中所述数字纠错逻辑通过将所述MSB的最低有效位和所述中间位的最高有效位合并成单个位在所述数字输出上,去除了在级之间的一个冗余位;

其中所述数字纠错逻辑还通过将所述中间位的最低有效位和所述LSB的最高有效位合并成单个位在所述数字输出上,去除了在级之间的第二冗余位;

由此,所述数字纠错逻辑去除了级之间的冗余位。

11. 根据权利要求9所述的三级流水线混合ADC,其中所述闪速式ADC还包括:

分压器,其是串联连接在电源参考电压和电源电压之间的一系列电阻器,其中在所述一系列电阻器之间的节点上产生一系列参考电压;

多个比较器,每个比较器接收所述第一放大模拟信号以及所述一系列参考电压中的一个不同电压,其中所述多个比较器一起产生一个温度计码输出;

解码器,其接收来自所述多个比较器的所述温度计码输出,并产生一个二进制输出,所述二进制输出是一个等同于所述温度计码输出中的一个温度计码的二进制码。

12. 根据权利要求11所述的三级流水线混合ADC,其中所述多个比较器包括至少8个比较器;

其中所述闪速式ADC产生的所述中间位具有至少3个二进制位。

13. 根据权利要求12所述的三级流水线混合ADC,其中所述第一SARADC产生至少4个二进制位;

其中所述闪速式ADC产生至少3个二进制位;

其中所述最终SARADC产生至少7个二进制位;

其中所述数字输出有至少12二进制位的分辨率来表示所述输入模拟信号。

14. 根据权利要求9所述的三级流水线混合ADC,还包括:

流水线时钟,其确定一系列流水线时钟相位;

其中所述SAR第一级的所述第一SARADC在所述流水线时钟的第一相位期间将所述模拟输入信号转换成所述MSB;

其中所述第一乘法DAC在所述流水线时钟的第二相位期间从所述MSB产生所述第一放

大模拟信号；

其中所述闪速式ADC在所述流水线时钟的第三相位开始时将所述第一放大模拟信号转换成所述中间位,所述第二乘法DAC在所述流水线时钟的所述第三相位期间从所述中间位产生所述第二放大模拟信号；

其中所述最终SARADC在所述流水线时钟的第四相位期间将所述第二放大模拟信号转换成所述LSB,所述数字纠错逻辑合并所述MSB、所述中间位、和所述LSB,以在所述流水线时钟的所述第四相位期间产生表示所述模拟输入信号的二进制位数字值；

其中所有二进制位在所述流水线时钟的四个相位期间被转换。

15. 根据权利要求9所述的三级流水线混合ADC,其中所述第一乘法DAC还包括:

第一DAC,其从所述第一SARADC接收所述MSB,并产生所述第一转换模拟信号;

第一减法器,其接收所述第一转换模拟信号和所述模拟输入信号,用于从所述模拟输入信号中减去所述第一转换模拟信号以产生所述第一差值信号;

第一剩余放大器,其接收所述第一差值信号,用于放大所述第一差值信号以产生所述第一放大模拟信号;

其中所述第一放大模拟信号比所述第一差值信号更大;

其中所述第二乘法DAC还包括:

第二DAC,其从所述闪速式ADC接收所述中间位,并产生所述第二转换模拟信号;

第二减法器,其接收所述第二转换模拟信号和所述第一放大模拟信号,用于从所述第一放大模拟信号中减去所述第二转换模拟信号,以产生所述第二差值信号;和

第二剩余放大器,其接收所述第二差值信号,用于放大所述第二差值信号以产生所述第二放大模拟信号;

其中所述第二放大模拟信号比所述第二差值信号更大。

16. 根据权利要求15所述的三级流水线混合ADC,其中所述第一SARADC包括:

第一采样保持电路,其用于采样所述模拟输入信号以产生第一采样信号;

第一逐次逼近寄存器SAR,其用于存储并调整第一数字测试值;

第一数模转换器DAC,其从所述第一SAR接收第一序列的所述第一数字测试值,并产生由所述第一数字测试值所表示的第一DAC模拟信号;

第一比较器,其比较所述第一DAC模拟信号和所述第一采样信号以产生第一比较结果;

当来自所述第一SAR的所述第一序列的所述第一数字测试值完成时,产生一个转换结束的信号。

17. 根据权利要求16所述的三级流水线混合ADC,其中所述最终SARADC包括:

第二采样保持电路,其用于采样所述第二放大模拟信号以产生第二采样信号;

第二SAR,其用于存储并调整第二数字测试值;

第二DAC,其从所述第二SAR接收第二序列的所述第二数字测试值,并产生由所述第二数字测试值表示的第二DAC模拟信号;

第二比较器,其比较所述第二DAC模拟信号和所述第二采样信号以产生第二比较结果;

当来自所述第二SAR的所述第二序列的所述第二数字测试值完成时,产生一个转换结束的信号。

18. 一种模数转换器ADC,包括;

模拟输入,其用于接收模拟输入信号;

第一逐次逼近寄存器SARADC,其通过尝试一系列M个二进制位的逐次值,直到确定所述M个二进制位的模拟表示与所述模拟输入信号的最接近匹配,从而将所述模拟输入信号转换为M个二进制位;

第一数模转换器ADC,其将来自所述第一SARADC的所述M个二进制位转换为第一转换模拟信号;

第一模拟减法器,其从所述模拟输入信号中减去所述第一转换模拟信号以产生第一模拟差值信号;

第一剩余放大器,其放大所述第一模拟差值信号以产生第一放大模拟信号;

闪速式ADC,其通过并行使用 2^Q-1 个比较器来执行 2^Q-1 个比较,以将所述第一放大模拟信号与一系列模拟参考值进行比较来产生多个比较器输出,从而将所述第一放大模拟信号转换成Q个二进制位;

解码器,其将所述多个比较器输出从温度计码解码成由二进制码表示的所述Q个二进制位;

第二ADC,其将来自所述闪速式ADC的所述Q个二进制位转换成第二转换模拟信号;

第二模拟减法器,其从所述第一放大模拟信号中减去所述第二转换模拟信号以产生第二模拟差值信号;

第二剩余放大器,其放大所述第二模拟差值信号以产生第二放大模拟信号;

最终SAR DAC,其通过尝试一系列P个二进制位的逐次值,直到找到所述P个二进制位的模拟表示与所述第二放大模拟信号的最接近匹配,从而将所述第二放大模拟信号转换成P个二进制位;

其中M、Q和P是至少3的整数。

19. 根据权利要求18所述的ADC,还包括:

数字纠错逻辑装置,其接收并合并由所述第一SARADC产生的所述M个二进制位、由所述闪速式ADC产生的所述Q个二进制位、以及由所述最终SARADC产生的所述P个二进制位,以产生一个二进制位的最终数字输出,其是所述模拟输入信号的数字表示;

冗余位去除装置,其在合并所述M、Q和P个二进制位时去除冗余位;

其中所述数字纠错逻辑装置输出M+Q+P-2个二进制位作为所述最终的数字输出。

20. 根据权利要求19所述的ADC,还包括:

流水线时钟,其控制在所述ADC内的运行时序;

其中所述M个二进制位是在所述流水线时钟的第一相位期间由所述第一SARADC产生,并在所述流水线时钟的第二相位期间由所述第一剩余放大器放大;

其中所述Q个二进制位在所述流水线时钟的第三相位期间由所述闪速式ADC产生,且由所述第二剩余放大器放大;

其中所述P个二进制位是在所述流水线时钟的紧接所述第三相位之后的第四相位期间由所述最终SARADC生成;

其中所述M、Q和P个二进制位是在所述流水线时钟的四个相位上产生。

一种多级混合模数转换器

技术领域

[0001] 本发明涉及一种流水线模数转换器 (ADC), 具体涉及一种具闪速式ADC (flashADC) 级和逐次逼近寄存器 (SAR) 数模转换器 (DAC) 级的混合ADC。

背景技术

[0002] 许多应用, 如便携式电信、成像和视频系统, 都使用模数转换器 (ADC)。这些应用通常需要10位或更高分辨率的ADC。除了高分辨率之外, 还需要低功耗和高速。

[0003] 图1A-1D显示已经在不同应用中使用的各种模数转换器 (ADC)。在图1A中, 闪速式ADC并行使用多个比较器14, 以将一个模拟输入电压VIN与通过将参考电压VREF施加到一个分压器或多个串联电阻16上而产生的各个电压进行比较。解码器122将来自比较器14的温度计码转换成一个N位二进制值。闪速式ADC是快速的, 但由于并行比较器14而需要较大面积, 这也需要大量的功耗。而且, 由于闪速式ADC不存储信号, 其需要一个单独的采样保持电路 (图中未显示)。

[0004] 在图1B, 流水线ADC有多级110、110'、110"。每级产生几个位, 如2个二进制位。图1C显示级110有采样保持12和ADC 20, 其将模拟电压转换为一个2位数字值, 然后通过数模转换器 (DAC) 30被重新转换回模拟信号, 并通过模拟减法器26从采样模拟电压中减去。剩下的电压差或剩余电压由放大器28放大, 并作为模拟电压输入施加到下一级。

[0005] ADC 20可以是一个小型闪速式ADC, 如 $\Sigma-\Delta$ 调制器、小型逐次逼近寄存器 (SAR) 或2位闪速式ADC。由于ADC 20仅具有2个位和2个比较器, 与图1A的较大闪速式ADC的多个并行比较器相比, 功率、成本和面积都减小了。但是, 放大器28必须非常精确且具有高性能, 导致功耗增加。

[0006] 图1D显示一个SAR ADC。SAR状态机和控制逻辑124包括一个N位寄存器, 其在每个时钟周期都被调整, 直到获得准确的结果。SAR里的当前数字值被应用到DAC 34, 并被转换成一个模拟电压, 该模拟电压与比较器14的输入模拟电压进行比较。比较器14的结果用于调整SAR状态机和控制逻辑124里的数字SAR值。在每个连续周期内, 可以尝试下一个较低有效二进制位值。通常, 所需的时钟周期数等于二进制位数。SAR ADC在功率、面积和成本方面非常高效, 但由于其串行处理的特性以及累积的比较器噪声, SAR ADC运行复杂且具有速度和分辨率的限制。

[0007] 每个ADC架构都有缺陷。闪速式ADC速度快但分辨率较低, 且需要较高的功耗和面积。流水线ADC不如闪速式ADC那样快, 但具有高分辨率, 却复杂且相对低效。SAR ADC在面积和功耗方面非常高效, 但速度很慢, 且分辨率适中。

[0008] 期望有一种混合ADC架构, 其快速且具有高分辨率, 同时仍然高效。期望有一种具有多级的混合ADC, 其使用较小的闪速式ADC来提高速度, 同时使用SAR来提高效率。期望有一种流水线混合SAR和闪速式ADC。

附图说明

- [0009] 图1A-1D显示已经用于各种应用的各种模数转换器(ADC)。
- [0010] 图2是具有闪速式和SAR级的多级混合ADC的模块图。
- [0011] 图3显示一个逐次逼近寄存器ADC。
- [0012] 图4显示SAR ADC解析一个输入电压。
- [0013] 图5显示一个闪速式ADC。
- [0014] 图6是具有闪速式和SAR级的多级混合ADC的简化图。
- [0015] 图7是图6的具有闪速式和SAR级的多级混合ADC的运行时序图。
- [0016] 图8是显示数据流的时序图。
- [0017] 图9是具有闪速式和SAR级的较大的多级混合ADC的简化图。
- [0018] 图10是图9的具有闪速式和SAR级的较大多级混合ADC的时序图。

具体实施方式

[0019] 本发明涉及多级混合ADC的改进。以下描述使本领域普通技术人员能够制作和使用如在上下文中的特定应用及其要求的所提供的本发明。对优选实施例的各种修改对于本领域技术人员将是显而易见的,并且在此定义的一般原理可以用于其它实施例。因此,本发明不旨在限于所示和所述的特定实施例,而是符合与在此所披露的原理和新颖特征一致的最宽范围。

[0020] 图2是一种具有闪速式和SAR级的多级混合ADC的框图。使用三级160、162、164来提供高分辨率,如14位。SAR第一级160包括SAR ADC 60,其在几个时钟周期内转换输入模拟电压VIN。闪速式第二级162使用闪速式ADC 62来快速转换从SAR第一级160输出的模拟电压。SAR最后级164包括SAR ADC 64,其在几个连续时钟周期上生成最终一组P个数字位。

[0021] SAR在面积和功耗方面非常高效,但速度很慢,而闪速式是快速但面积和功耗昂贵。闪速式ADC用于中间级,其中发明人认为时间更为关键。通过在中间级使用闪速式,速度得以提高,在最后级使用更有效的SAR。在第一和最后级使用SAR,使得模拟电压存储在电容器上,因此不需要单独的采样保持电路。在第一和最后级使用SAR,提供了采样保持功能,因此不需要单独的采样保持电路。

[0022] SAR第一级160使用SAR ADC 60以将输入模拟电压VIN转换为M个二进制位。这M个位是最高有效位(MSB)。DAC 70将这M个二进制位重新转换回模拟电压,该模拟电压通过减法器54从VIN中减去。然后,电压差或剩余电压由剩余放大器50放大,以将V2驱动到第二级。

[0023] 由于剩余电压被放大到一个较大电压V2,其被输入到下一级,所以DAC 70、减法器54和剩余放大器50形成一个乘法DAC。和直接使用小的、未放大的输入电压相比,放大剩余电压允许后续级能够使用更小的、精确度不太高的组件。

[0024] 闪速式第二级162使用闪速式ADC 62以将来自SAR第一级160的放大电压V2转换成N个二进制位。然后,DAC 72将这N个二进制位重新转换成模拟电压,该模拟电压通过减法器56从V2中减去以生成第二剩余电压,其被剩余放大器52放大以生成电压V3。由于第二剩余电压被放大到一个较大电压V3,其被输入到下一个级,所以DAC 72、减法器56和剩余放大器52形成第二乘法DAC。

[0025] SAR最后级164使用SAR ADC 64以将电压V3转换成最终的P个二进制位。这P个位是

最低有效位 (LSB)。

[0026] 来自SAR第一级160的最后M个位和来自闪速式第二级162的首N个位都可以是指相同的二进制位。而且,来自闪速式第二级162的N个位中的最后一位和来自SAR最后级164的P个位中的第一位也可以重叠并被加在一起以形成一个位。数字误差校正逻辑166可以包括全加器和D型锁存器,用于将输入位加总以生成输出位,各级之间的冗余位被去除。

[0027] 数字纠错逻辑166的最终输出是经转换的数字值,即数字输出DOUT。DOUT有M+N+P-2个二进制位,其中M是MSB,P是LSB。

[0028] M、N和P的值可以以各种方式进行优化。例如,6、3、7的M、N、P在SAR第一级160中使用一个6位SAR,并在SAR最后级164中使用7位SAR,而在闪速式第二级162中仅使用3个位。SAR级各自只使用1个比较器,从而降低功耗和面积但提供高分辨率。在闪速式第二级162中仅有3个位,这需要一个相对较小的闪速式ADC,其具有较少的比较器(8)但能提供快速转换。

[0029] SAR第一级160转换了大量位,放宽了后续放大器诸如剩余放大器50的线性要求。由于在SAR ADC 60中的电容器阵列能够保持电荷,充当一个采样保持,所以不需要一个大的前端采样保持电路。

[0030] 使用当前的制造工艺,SAR最后级164的电容器阵列匹配要求很容易满足9或10位分辨率。

[0031] 对于较小的尺寸和功率,最好使M和P大于N,使得更多的位被SAR转换,更少的位被闪速式ADC转换。

[0032] 图3显示一个逐次逼近寄存器ADC。在SAR第一级160中的SAR ADC 60和在SAR最后级164中的SAR ADC 64(图2)可以是一个如图3所示的SAR ADC。

[0033] 逐次逼近寄存器SAR 102接收一个时钟CLK,并包含一个寄存器值,该寄存器值会变得逐渐逼近于模拟输入电压VIN。例如,与0.312伏特的VIN相比,SAR 102中的值可以先是0.5,然后是0.25,然后是0.375,然后是0.313,然后是0.281,然后是0.296,然后是0.304,然后是0.308,然后是0.31,然后是0.311,最后是0.312。SAR 102将当前寄存器值输出到数模转换器(DAC)100,其接收一个参考电压VREF,并将该寄存器值转换为一个模拟电压VDAC。

[0034] 输入模拟电压VIN被施加到采样保持电路104,其采样并保持VIN的值。例如,一个电容器可以通过对VIN充电,然后该电容器与VIN隔离以保持模拟电压。来自采样保持电路104的采样输入电压被施加到比较器106的反相输入端。经转换的模拟电压VDAC被施加到比较器106的非反相输入端。

[0035] 比较器106比较转换的模拟电压VDAC与采样输入电压,当转换的模拟电压VDAC高于采样VIN时,产生一个高输出VCOMP,说明SAR 102中的寄存器值偏高。然后,SAR 102中的寄存器值可以降低。

[0036] 当转换的模拟电压VDAC低于采样输入电压时,比较器106产生一个低输出VCOMP给SAR 102。说明SAR 102中的寄存器值偏低。然后,SAR 102中的寄存器值可以在下一个周期内增加。

[0037] SAR 102中的寄存器值是M位的二进制值,D(M-1)是MSB,D0是LSB。SAR 102可以首先设置MSB D(M-1),然后比较转换的模拟电压VDAC与输入电压VIN,然后根据比较结果来调整MSB和/或设置下一个MSB D(M-2)。重复设置和比较周期,直到M周期后设置了LSB。在最后

一个周期之后,周期结束EOC信号被激活,以指示结束。状态机或其他控制器可以与SAR 102一起使用、或者包含在SAR 102内以控制顺序。

[0038] 图4显示SAR ADC解析一个输入电压。SAR 102中的寄存器值初始被设置为1/2或10000。比较器106确定输入电压VIN小于来自SAR 102的转换值,因此在下一次迭代中,SAR 102被设置为1/4或01000。比较器106确定输入电压VIN大于来自SAR 102的转换值,因此在第三次迭代中,SAR 102被设置为3/8或01100。在第三次迭代中,比较器106确定输入电压VIN小于来自SAR 102的转换值,因此在第四次迭代中,SAR 102被设置为5/16或01010。现在比较器106确定输入电压VIN大于来自SAR 102的转换值,因此在第五次迭代中,SAR 102被设置为9/32或01011。最后比较是VIN高于转换值,所以最终结果是01011。

[0039] 虽然SAR-DAC是有用的,但是需要相对大量的时间来获得数字输出数据位。每个二进制位大约需要一个时钟周期。因此,4位SAR-DAC ADC需要4个时钟周期,而8位SAR-DAC ADC则需要8个时钟周期。

[0040] 图5显示一个闪速式ADC。与图3-4的需要几个时钟周期的慢SAR DAC ADC相反,一个闪速式ADC在相同的时钟周期内产生所有的二进制位。

[0041] 闪速式ADC并行地执行电压比较,使用比较器14比较输入电压VIN和一系列分压参考电压,该分压参考电压是由分压器的电阻器16产生的,分压器的电阻器16将参考电压VREF分成多段,每段被输入到比较器14中的一个比较器。对于其分段参考电压小于VIN的所有比较器来说,比较器14的输出将为高,而对于其分段参考电压大于VIN的其他比较器来说,比较器14的输出将为低。比较器的输出将是一个诸如0000011或0001111等的温度计码。解码器122将比较器14产生的温度计码转换为N位的二进制输出。可以使用一个时钟来保持该数字输出并同步它以便在后续级进行读取。如果锁存输出比较器被替代,该时钟可以被应用到比较器14。在一些实施例中,可以不使用时钟。

[0042] 图6是一个具有闪速式和SAR级的多级混合ADC的简化图。使用三级160、62、164来提供高分辨率,如14位。SAR第一级160包括M位SAR ADC 60,其在几个时钟周期内将输入模拟电压VIN转换成M个二进制位。乘法DAC 80将M位重新转换成一个模拟电压,再从VIN中减去,然后这个差值被放大以获得V2。

[0043] 闪速式第二级162使用N位闪速式ADC 62来快速转换从SAR第一级160输出的模拟电压V2。闪速式第二级162包括N位闪速式ADC 62,其在小于一个时钟周期内将模拟电压V2转换成N个二进制位。乘法DAC 82将N位重新转换成一个模拟电压,再从V2中减去,然后将这个差值放大以获得V3。

[0044] SAR最后级164包括SAR ADC 64,其在几个连续时钟周期内生成最后一组P个数字位。M、N和P位被发送到数字纠错逻辑166,数字纠错逻辑166对这些二进制位进行排序并去除冗余。最终的数据输出DOUT有M+N+P-2个二进制位。

[0045] 图7是图6的具有闪速式和SAR级的多级混合ADC的运行时序图。用于SAR ADC 60、64中的时间周期的内部CLK,可以被向下分解以生成一个流水线时钟,其描述图7中的相位P1、P2、P3等。

[0046] 在相位P1,SAR第一级160中的SAR ADC 60跟踪并保持(T/H)模拟输入VIN,然后在多个CLK(图中未显示)周期上连续地将VIN转换为M个二进制MSB位,如在时钟相位P1上的SAR1所示。然后,在相位P2,乘法DAC 80放大剩余电压以产生V2,如在阶段1的相位P2上的

AMP1所示。同时在P2,闪速式第二级162正跟踪并保持V2,例如通过采样到DAC 72上的电容器阵列。由于放大剩余电压需要一段时间,特别是对于较小的电压差,所以经放大的剩余电压V2最初在相位P2开始时是不稳定和不准确的,但在相位P2结束时逐渐稳定到准确的值。放大电压V2中的这些变化会流经闪速式ADC 62。

[0047] 在相位P2结束时,V2是准确和稳定的,随着流水线时钟在相位P2和P3之间上升,V2最后的变化流向SAR ADC 64。然后在闪速式第二级162,乘法DAC 82产生剩余电压,并放大它(AMP2)以产生V3。SAR最后级164跟踪电压V3直到相位P3结束,这时最终稳定的V3被采样到SAR最后级164中的SAR ADC 64。然后,在相位P4期间,SAR ADC 64在几个CLK周期上(出现在P4期间)将V3转换成P个二进制位。在相位P4结束时,SAR ADC 64将最后的P个位输出到数字纠错逻辑166,所述数字纠错逻辑166在P5期间或在P5开始时(数字纠错逻辑166在SAR2结束时运行)执行纠错并输出DOUT。

[0048] 从VIN到DOUT的延迟时间是流水线时钟的四个相位P1、P2、P3、P4。模拟电压VIN(其在P1中被采样)是由P1中的SAR1转换的,然后其剩余值在P2被放大(AMP1),并在P3开始时(向上箭头)立即由闪速式ADC 62转换,使得P3的其余部分用于放大闪速式第二级162中的第二剩余电压(AMP2)。SAR最后级164中的SAR ADC 64在P4期间将这个最终放大的剩余(SAR2)进行转换,最终的数据输出是在P5产生。

[0049] 由于SAR第一级160、闪速式第二级162和SAR最后级164是流水线式的,所以每个都可以在任何时间在不同数据样本上运行。例如,在P3期间,SAR第一级160正在采样一个新的VIN,而闪速式第二级162正在放大来自在P1采样的第一模拟电压的剩余。SAR最后级164正在跟踪来自闪速式第二级162的输出V3,等待在下一个相位P4执行转换SAR1。

[0050] 在P6期间,SAR第一级160正在放大来自在P5采样的第三模拟电压的剩余电压。闪速式第二级162正在跟踪(T/H)输出V2,同时该放大AMP1正在发生。SAR最后级164正在转换P3较早采样的最终放大剩余电压(SAR2)。

[0051] 采样率是每个流水线时钟周期一次。在本示例三级中,延迟时间是采样率的两倍。闪速式ADC 62的快速转换是如此之快以至于在阶段2的波形图中用向上箭头表示。SAR转换要长得多,SAR2需要半个时钟周期。SAR1比SAR2短,因为当M小于P时,在SAR1期间较少的MSB被转换,在SAR2期间较多的LSB被转换。而且,随着M、N、P的位数发生改变,SAR1、SAR2、AMP1和AMP2的时间需求也会改变。

[0052] 图8是显示数据流的时序图。输入模拟电压VIN在P1期间被采样为VA,在P3期间被采样为VB,并在P5期间被采样为VC。在同一相位上(采样发生时),这些电压被跟踪并保持(T/H),然后由SAR第一级160中的SAR ADC 60进行转换(SAR1)。在下一相位,转换的数字值被重新转换为模拟、被减去和放大(AMP1)以获得第一级输出V2。这是相位P2的VA,相位P4的VB,以及相位P6的VC。闪速式第二级162在这些相位期间使用DAC 72来跟踪并保持(T/H)V2。

[0053] 闪速式第二级162在相位P3、P5、P7开始时转换剩余电压V2,如向上箭头所示。然后,将转换的数字值重新转换为模拟、被减去和放大(AMP2)以获得第二级的输出V3。这是相位P3的VA、相位P5的VB,以及相位P7的VC。在这些相位期间,在最后SAR ADC 64上使用电容器阵列,SAR最后级164跟踪并保持(T/H)V3。

[0054] 然后,SAR最后级164上的SAR ADC 64在相位P4期间针对VA、在P6期间针对VB、以及在P8期间针对VC转换V3(SAR2)。最终的数据输出DOUT在相位P5、P6上是VA、在相位P7、P8上

是VB (DOUT_B)。

[0055] 图9是具有闪速式和SAR级的较大的多级混合ADC的简化图。使用多级160、162、163、...、164来提供高分辨率,例如12位或更多位。SAR第一级160包括 M_1 位SAR ADC 60,其在几个时钟周期内将输入模拟电压VIN转换为 M_1 个二进制位比特。乘法DAC 80将 M_1 位重新转换为一个模拟电压,再从VIN中减去该模拟电压,然后差值被放大以获得V2。

[0056] 闪速式第二级162使用 M_2 位闪速ADC 62来快速转换从SAR第一级160输出的模拟电压V2。闪速式第二级162包括 M_2 位闪速式ADC 62,其在小于一个时钟周期内将模拟电压V2转换为 M_2 个二进制位。乘法DAC 82将 M_2 位重新转换为一个模拟电压,再从V2中减去该模拟电压,然后差值被放大以获得V3。

[0057] 其他闪速式级163每个都使用一个X位闪速式ADC 63来转换X个二进制位,其中X是 M_3 、 M_4 、...、 M_{N-1} ,N是级数。闪速式ADC 62的转换在每个闪速式级163需要少于一个时钟周期。乘法DAC 83将 M_x 位重新转换为一个模拟电压,再从该级的模拟输入VX中减去该模拟电压,然后差值被放大以获得下一个VX。

[0058] SAR最后级164包括SAR ADC 64,其在几个连续时钟周期内产生最终一组 M_N 个数字位。将 M_1 、 M_2 、 M_3 、...、 M_{N-1} 和 M_N 个位发送到数字纠错逻辑166,数字纠错逻辑166对这些二进制位进行排序并去除冗余。最终数据输出DOUT有 $(M_1+M_2+M_3+\dots+M_{N-1}+M_N-(N-1))$ 个二进制位,其中N是级数。

[0059] 图10是图9的具有闪速式和SAR级的较大的多级混合ADC的时序图。在该示例中,有三个闪速式第二级162、...、163充当中间级。每个闪速式中间级使用一个时钟相位来跟踪前一级的输出,以及使用一个时钟相位来放大剩余并将放大的模拟电压驱动到下一级的输入。闪速式ADC 62的闪速式转换非常快,由在T/H和AMP2、AMP3或AMP4之间的向上箭头示出。

[0060] 最后阶段,SAR最后级164追踪来自最后一个闪速式中间级的模拟放大电压(T/H),然后使用SAR ADC 64以转换最后的位(SAR2)。一旦转换完成,转换后的数据位被输出为DOUT_A。

[0061] 对这个5级的示例,延迟时间是流水线时钟的6个时钟相位。通常,对于N个级,延迟时间是N+1。

[0062] 采样率保持为流水线时钟的一个周期的两个相位,无论级数如何。当级数上升时,仅延迟增加。

其它实施方式

[0063] 发明人补充了一些其他实施例。例如,级数和M、N和P的值可以变化。例如,一个3-级4、4、8混合转换器,在级1有4位SAR ADC 60,在级2有4位闪速式ADC 62,在最后级有8位SAR ADC 64。在去除2个冗余位后,提供一个14位的分辨率。当有多个闪速式第二级162时,每个闪速式第二级162的位数可以是相同的值,或可以不同。M可以是2、3或4位,N可以是2或3位,P可以是4-10位,取决于应用和速度、功率、尺寸要求。

[0064] SAR ADC 60、闪速式ADC 62和闪速式ADC 62可以与时钟(如CLK)同步,或者可以异步或半同步地运行。每个ADC可以使用自己的内部时钟,也可以使用一个全局时钟。可以使用单独的采样保持或跟踪保持电路,或者可以使用SAR-ADC中的电容器阵列来保持输入变化,从而有效地充当一个采样保持。流水线时钟可以被时钟生成器用来产生到SAR ADC和闪速式ADC的内部时钟。SAR ADC可以是同步的或异步的。

[0065] 在SAR级上的DAC可以是相同的DAC,或者使用与乘法DAC里使用的相同电容器阵列,或者可以是一个单独的DAC。

[0066] 时钟和其他信号可以被门控、禁用、断电、缓冲、延迟或以其他方式更改。本系统可用于各种应用,例如RF采样系统、BLE、WIFI、RFID标签、片上系统(SoC)数据捕获接口(如存储器、视频或音频数据、以及多信道时间交错ADC)。参考(如带隙参考)可用于生成参考电压,如在DAC中也可以使用其他参考电压。尽管已经描述了模拟电压感测,但可以感测模拟电流而不是电压,通过使模拟电流通过一个电压以产生一个模拟电压。

[0067] 晶体管尺寸和比率可被调整以改变电压,该电压触发将产生的比较结果,或调整逻辑阈值到触发点。可以添加滞后。

[0068] 名称可以被调整,如将LSB称为位0或位1,或者一些其它值。值可以以各种方式移位、转换或处理。在一些变化中,时钟也可以是使能信号。时钟可以被认为是多相时钟,而不是每个时钟周期只有两个相位。还可以使用非交叠时钟和偏斜时钟,而且时钟可以以各种方式被分割和组合。

[0069] 在SAR或其他地方可以使用各种类型的纹波计数器或同步计数器。不同序列的测试值可由SAR生成,并用于生成VDAC以测试在转换期间的位。虽然D型触发器可以用来存储数字信号,但是也可以用其他存储元件来代替,例如J-K触发器、S-R锁存器、D型锁存器、双稳态等。也可以使用各种时钟方案。模拟信号如模拟电压可以作为电荷存储在电容器上。

[0070] 可以使用单端或全差分ADC。均衡开关可以添加在真和补节点之间以进行复位和均衡。可以添加校准硬件和例程。ADC或其他逻辑可以交错,可以使用或添加子ADC/DAC。使用开关电容器的其他电路可以包含在本发明内,如开关电容增益可编程的剩余放大器。

[0071] 位数可以被调整。例如,可以使用15位混合ADC、或所述的8位、10位混合ADC。为了不同精度,可以替换不同数量的位,而且,位数可以是固定的或可变的。

[0072] 差分 and 单端模拟电压都可以被转换。单端模拟电压可以被施加到一个差分输入上,而参考电压被施加到另一个差分输入上。采样保持模块可以是一个电路、单元、模拟开关网络、电容器、运算放大器及各种组合。可以使用状态机、固件、软件或硬件来控制顺序,例如来自SAR的测试数字值。

[0073] 一些实施例可能不会使用全部组件。例如,在一些实施例中,可以添加或删除开关和缓存。可以使用不同类型的开关,例如2路开关或3路开关。复用器可以用作开关。输入电阻器可以被添加到VIN,或使用更复杂的输入滤波器。可以使用多级开关,例如2路开关,然后将VDD或GND连接到这些2路开关的整体开关。

[0074] 尽管已经描述了二进制加权转换,但是也可以替换为其他加权,诸如小数加权、质数加权或线性加权或八进制加权。数字值可以是其他数字系统,例如八进制数字而不是二进制数字。

[0075] 可以通过交换反相和非反相输入来添加反相,但不改变整体功能,因此可以被认为是等同的。电阻和电容值可以以不同方式改变。可以添加电容器、电阻器和其他滤波器元件。开关可以是n沟道晶体管、p沟道晶体管、或具有并联n沟道和p沟道晶体管的传输门、或者更复杂电路,无源或有源、放大或非放大。

[0076] 可以在各个节点处添加额外的部件,如电阻器、电容器、电感器、晶体管等,也可以出现寄生部件。启用和禁用电路可以利用额外晶体管或其他方式来完成。可以添加传输门

晶体管或传输门用于隔离。

[0077] 可以添加反相或额外缓冲。在电路仿真或现场测试之后,可以选择晶体管和电容器的最终尺寸。金属掩膜选项或其他可编程组件可用于选择最终的电容器、电阻器、或晶体管尺寸。电容器可以并联连接在一起以形成更大的电容器,这些电容器在几个电容器尺寸上有相同的边缘效应或周边效应。

[0078] 本发明背景部分可以包含有关本发明问题或环境的背景信息,而不是由其他人描述的现有技术。因此,背景部分包括的材料并不是申请人对现有技术的承认。

[0079] 在此所述的任何方法或过程是机器实施的或计算机实施的,并且旨在由机器、计算机或其它装置执行,不是没有这种机器辅助的情况下仅由人执行。所生成的有形结果可以包括报告或者在显示器设备(诸如计算机监视器、投影装置、音频生成装置和相关媒体装置)上的其它机器生成的显示,并且可以包括也是机器生成的硬拷贝打印输出。计算机控制其它机器是另一个有形结果。

[0080] 所述任何优点和益处可能不适用于本发明的所有实施例。当在权利要求要素中陈述单词“装置”时,申请人意图使权利要求要素落入35USC第112章第6段的规定。在单词“装置”之前的一个或多个单词,是旨在便于对权利要求要素的引用,并且不旨在传达结构限制。这种装置加功能的权利要求旨在不仅覆盖这里描述的用于执行功能及其结构等同物的结构,而且覆盖等效结构。例如,虽然钉子和螺钉具有不同的构造,但是它们是等同的结构,因为它们都执行紧固的功能。不使用“装置”一词的权利要求不落入35USC第112章第6段的规定。信号通常是电信号,但可以是光信号,如可以通过光纤线路传送的信号。

[0081] 为了说明和描述,以上已经呈现了本发明实施例的描述。其并不旨在穷举或将本发明限制为所公开的精确形式。鉴于上述教导,许多修改和变化是可能的。旨在本发明的范围不受该详细描述的限制,而是由所附的权利要求限制。

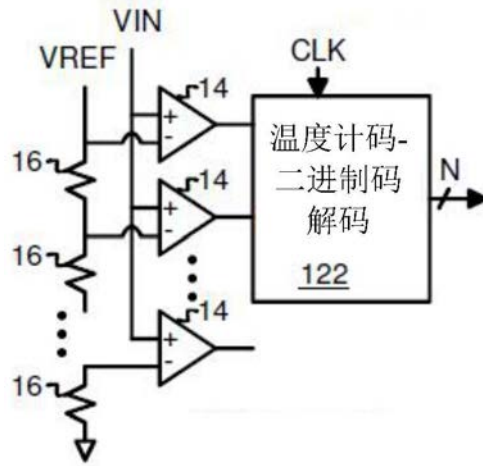


图1A闪速式ADC



图1B流水线ADC

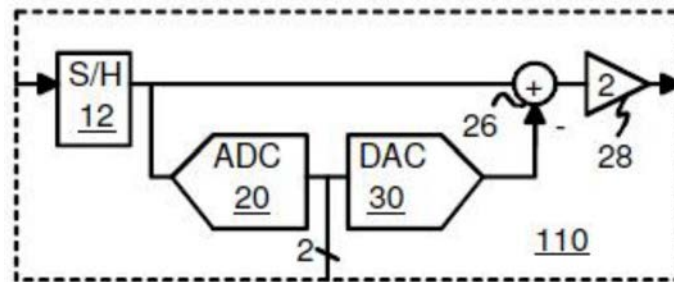


图1C

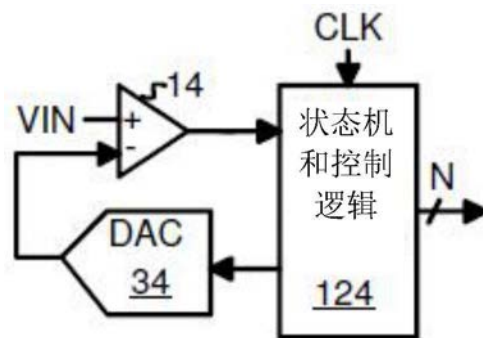


图1D SAR DAC

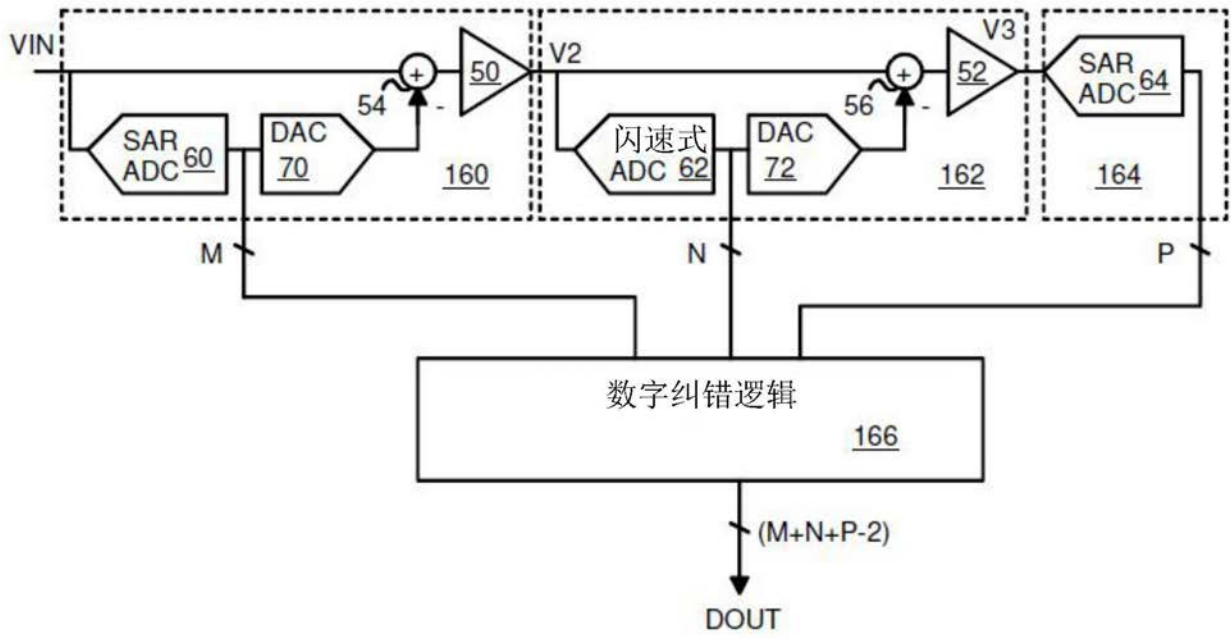


图2

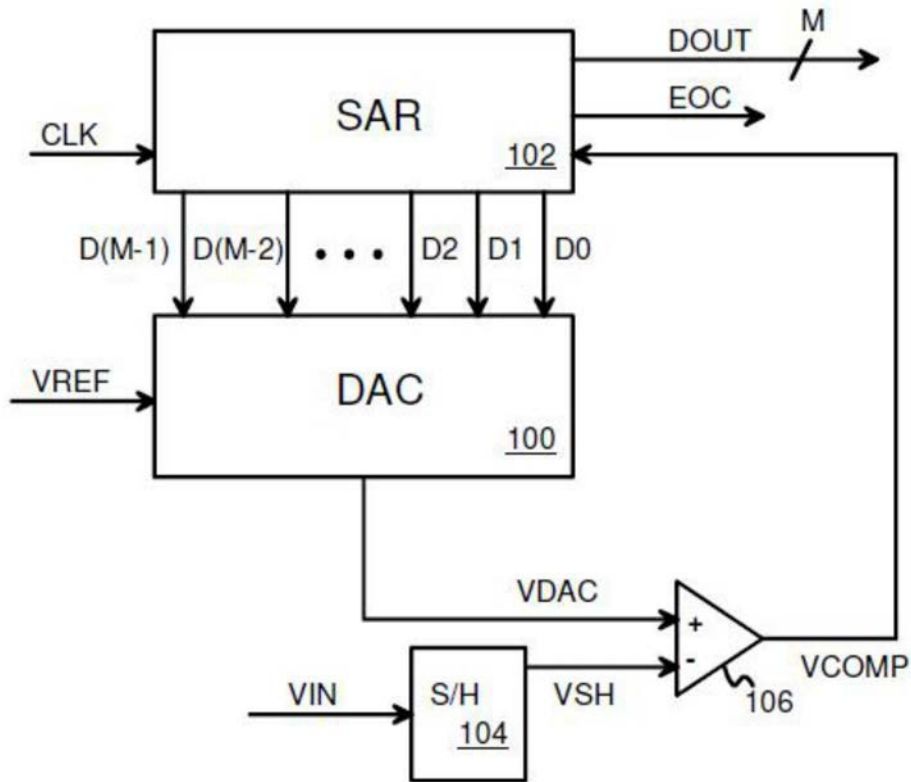


图3

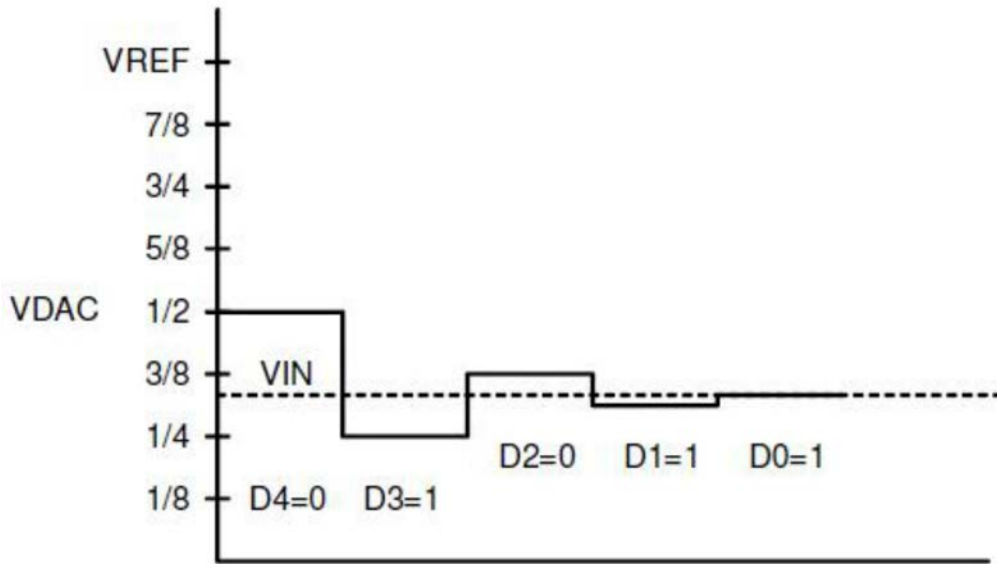


图4

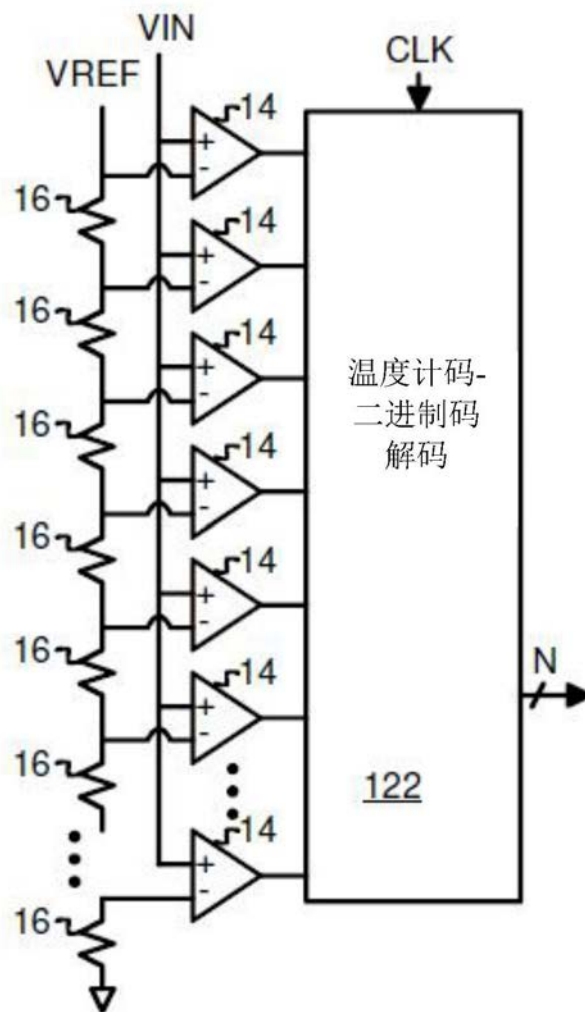


图5闪速式ADC

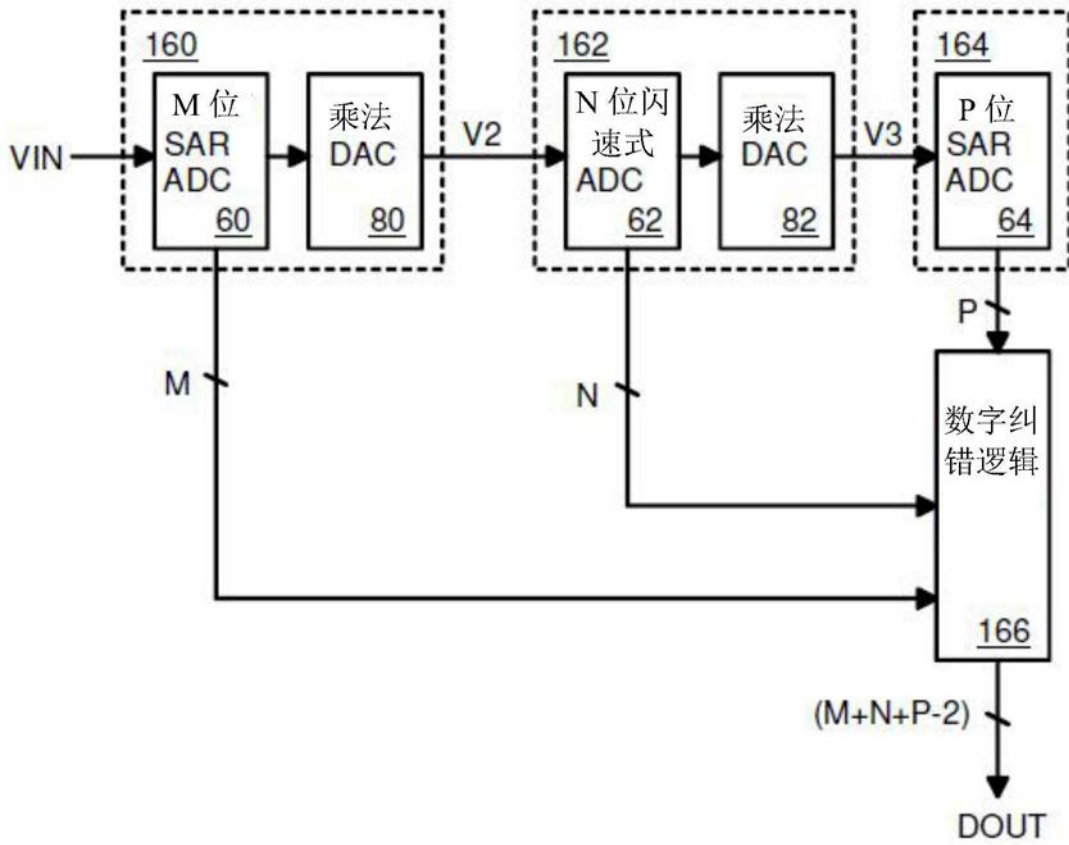


图6

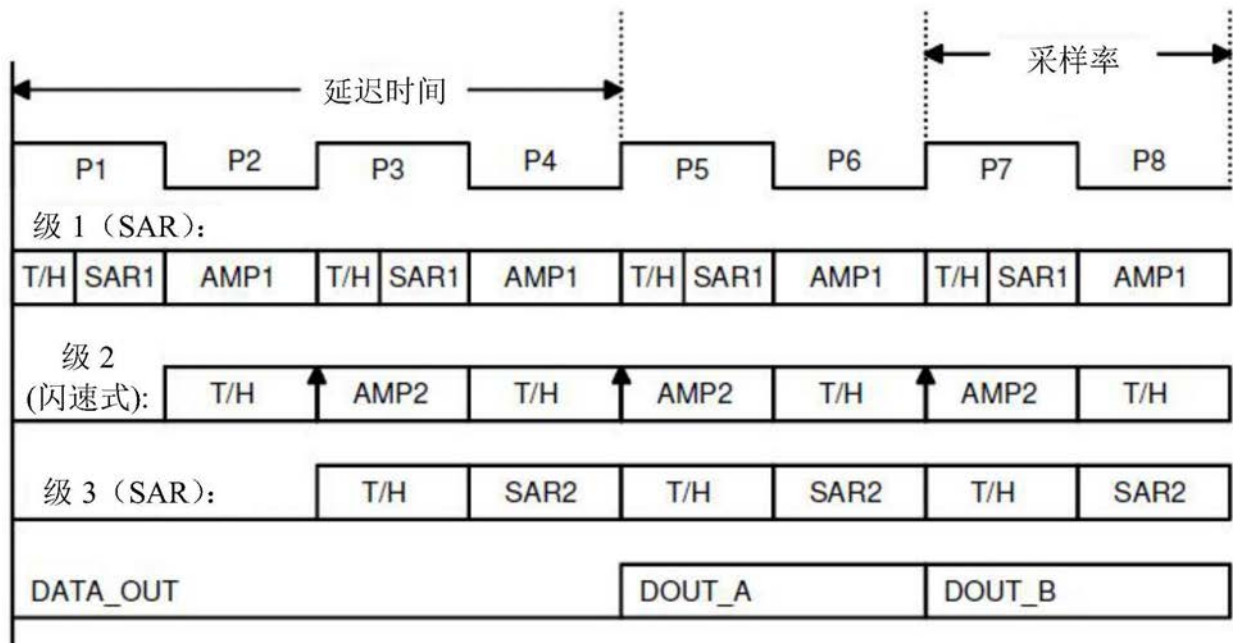


图7

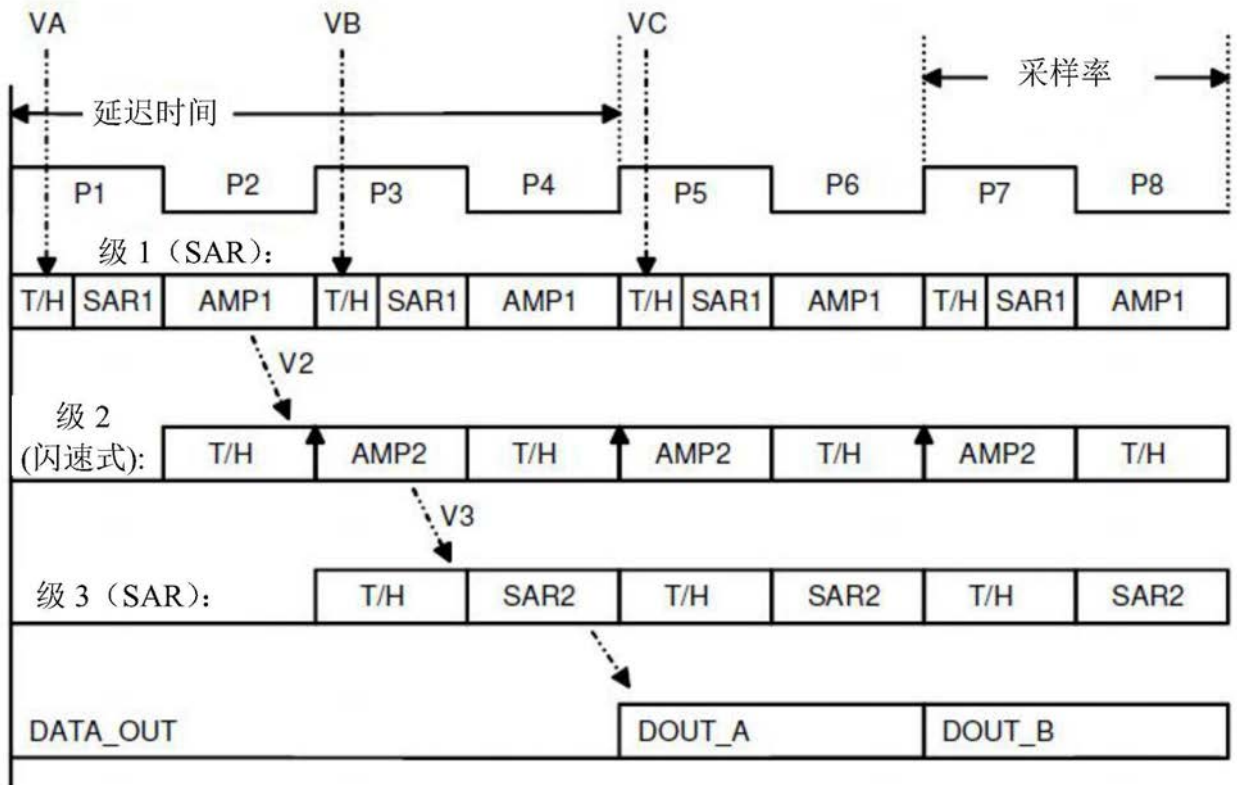


图8

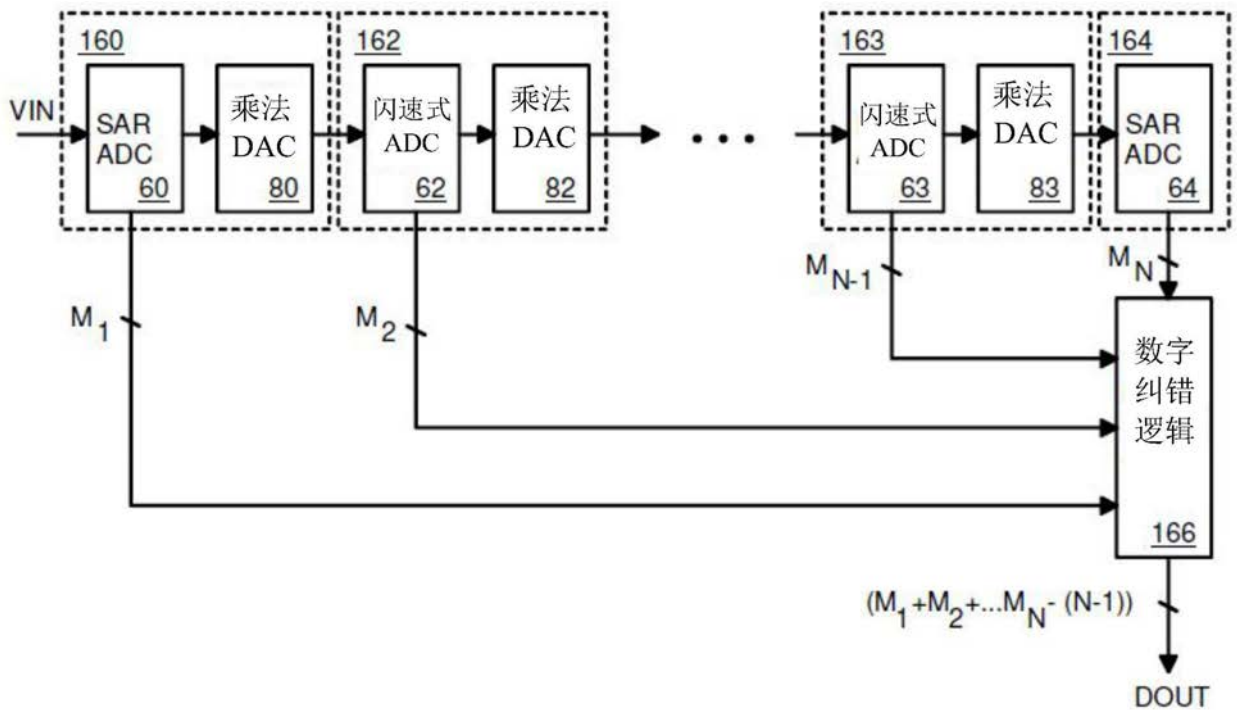


图9

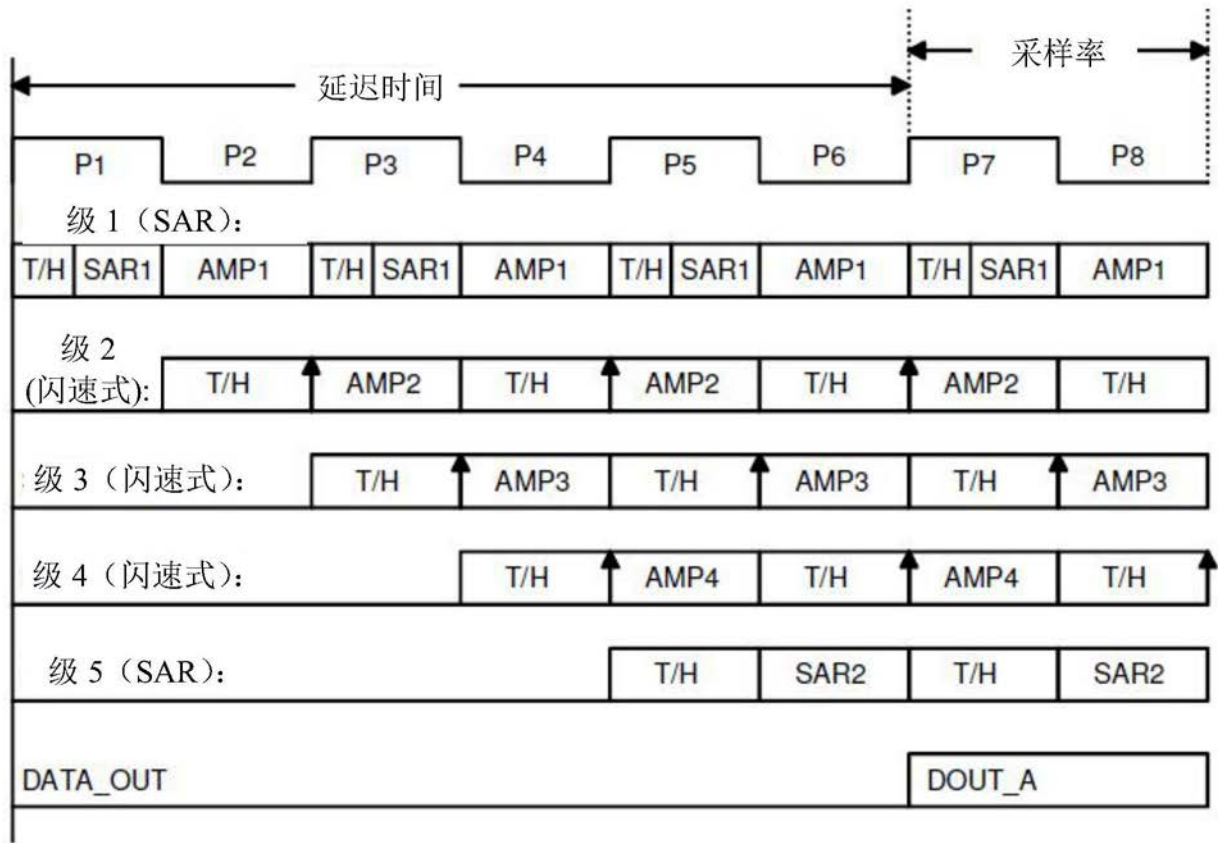


图10