

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/12

(11) 공개번호 특1998-072296
(43) 공개일자 1998년11월05일

(21) 출원번호	특1997-007010
(22) 출원일자	1997년03월04일
(71) 출원인	엘지전자 주식회사 구자홍 서울특별시 영등포구 여의도동 20번지
(72) 발명자	안병철
(74) 대리인	경상북도 구미시 형곡동 145-22 양순석

심사청구 : 있음

(54) 박막트랜지스터 및 그의 제조방법

요약

본 발명은 박막트랜지스터 및 그의 제조방법에 관한 것으로서 기판 상에 제 1 금속층과 제 2 금속층을 연속적으로 증착하는 공정과, 상기 제 2 금속층의 소정 부분 상에 소정 폭(W1)을 갖는 감광막을 형성하는 공정과, 상기 감광막을 마스크로 사용하여 상기 제 2 금속층을 습식식각 방법으로 상기 감광막의 폭(W1) 비해 1 μ m보다 크고 4 μ m 보다 작은 폭(W2)을 갖도록 패터닝하는 공정과, 상기 감광막을 마스크로 사용하여 제 1 금속층을 이방성식각 방법으로 상기 폭(W1)을 갖도록 패터닝하여 상기 제 2 금속층과 적층된 구조의 게이트를 형성하는 공정과, 상기 감광막을 제거하는 공정을 구비한다. 따라서, 게이트를 형성하기 위한 제 1 및 제 2 금속층을 연속적인 1번의 공정으로 증착하고 1번의 포토리소그래피 공정으로 패터닝함으로써 제 1 및 제 2 금속층 사이의 접촉 저항이 감소되며 공정이 간단해지며, 또한, 제 1 금속층 양측의 제 2 금속층과 중첩되지 않는 부분의 폭이 각각 2 μ m보다 작으므로 제 1 금속층에서 힐록이 생성되는 것을 방지할 수 있다.

대표도

도2

명세서

도면의 간단한 설명

도 1(A) 내지 (F)는 종래 기술에 따른 박막트랜지스터의 제조공정도

도 2는 본 발명에 따른 박막트랜지스터의 평면도

도 3은 도 2를 X-X선으로 자른 단면도

도 4(A) 내지 (F)는 본 발명에 따른 박막트랜지스터의 제조공정도

도면의 주요부분에 대한 부호의 설명

41 : 기판43 : 제 1 금속층

45 : 제 2 금속층47 : 감광막

49 : 게이트51 : 제 1 절연막

53 : 반도체층55 : 오믹 접촉층

57,59 : 소오스 및 드레인전극

61 : 제 2 절연막63 : 콘택홀

65 : 화소전극

W1 : 제 1 금속층의 폭W2 : 제 2 금속층의 폭

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액정표시장치(Liquid Crystal Display)의 박막트랜지스터 및 그의 제조방법에 관한 것으로서, 특히, 게이트를 2층 금속 구조로 형성하는 박막트랜지스터 및 그의 제조방법에 관한 것이다.

액정표시장치는 구동소자인 스위칭 소자와 빛을 투과하거나 반사하는 화소(pixel) 전극을 기본단위로 하는 화소가 매트릭스 구조로 배열된 구조를 가진다. 상기에서, 스위칭 소자는 게이트와 소오스 및 드레인영역을 포함하는 박막트랜지스터로 이루어진다.

상기에서, 박막트랜지스터의 게이트는 배선 저항을 감소하기 위해 알루미늄을 사용하고 있다. 그러나, 게이트를 알루미늄으로 형성하면 힐록(hilllock)이 발생하는 문제점이 있다.

그러므로, 알루미늄 상부에 몰리브덴(Mo) 등의 금속으로 덮은 2중 구조의 게이트가 제시되었다.

상기한 2중 구조의 게이트를 형성하는 방법으로 알루미늄과 몰리브덴을 순차적으로 증착한 후 한 번의 포토리소그래피 공정으로 패터닝한다.

이러한 방법은 적층된 2중 금속이 두꺼워 기판과 단차가 크게되어 이후에 형성되는 게이트산화막의 스텝 커버리지(step coverage)가 나쁘게 된다. 그러므로, 게이트산화막 상에 형성되는 소오스 및 드레인영역은 게이트와 증착되는 부분과 증착되지 않는 부분이 단절되거나, 또는, 게이트와 접촉되어 전기적으로 단락되는 문제점이 있었다.

따라서, 적층된 알루미늄 및 몰리브덴의 2중 금속의 각각 단차를 이루어 이 후에 형성되는 게이트산화막의 스텝 커버리지를 향상시키는 게이트의 형성 방법이 제시되었다.

제 1 도(A) 내지 (E)는 종래 기술에 따른 박막트랜지스터의 제조공정도이다.

제 1 도(A)를 참조하면, 기판(11) 상에 알루미늄을 증착하여 제 1 금속층(13)을 형성하고, 제 1 금속층(13) 상에 제 1 감광막(15)을 도포한다. 그리고, 제 1 감광막(15)을 소정 폭(w1)을 가져 제 1 금속층(13)의 소정 부분을 제외한 나머지 부분이 노출되도록 노광 및 현상한다.

제 1 도(B)를 참조하면, 제 1 감광막(15)을 마스크로 사용하여 제 1 금속층(13)을 폭(w1)을 갖도록 습식 식각 방법으로 패터닝한다. 그리고, 제 1 감광막(15)을 제거한 후 기판(11) 상에 제 1 금속층(13)을 덮도록 몰리브덴, 탄탈륨(Ta) 또는 코발트(Co) 등을 증착하여 제 2 금속층(17)을 형성한다. 그리고, 제 2 금속층(17) 상에 제 2 감광막(19)을 도포한다. 그리고, 제 2 감광막(19)을 소정 폭(w2)을 가져 제 1 금속층(13)과 대응하는 제 2 금속층(17)상의 소정 부분을 제외한 나머지 부분이 노출되도록 노광 및 현상한다.

제 1 도(C)를 참조하면, 제 2 감광막(19)을 마스크로 사용하여 제 2 금속층(17)을 제 1 금속층(13)의 폭(w1) 보다 작은 폭(w2)을 갖도록 습식식각 방법으로 패터닝한다. 이때, 패터닝된 제 1 및 제 2 금속층(13)(17)은 기판(11)과 2중 단차를 이루는 2중 금속 구조를 갖는 게이트(21)가 된다. 상기에서, 게이트(21)를 제 1 금속층(13)을 제 2 금속층(17)의 가운데 부분에만 위치되어 폭이 4 μ m 이상, 즉, w1 - w2 \geq 4 μ m이 되도록 형성한다. 그리고, 제 2 감광막(19)을 제거한다.

제 1 도(D)를 참조하면, 게이트(21) 및 기판(11)의 표면에 실리콘산화물(SiO₂) 또는 실리콘질화물(Si₃N₄)을 단층 또는 이중층으로 증착하여 제 1 절연막(23)을 형성한다. 그리고, 제 1 절연막(23) 상에 불순물이 도핑되지 않은 다결정실리콘과 불순물이 고농도로 도핑된 다결정실리콘을 연속적으로 증착하여 반도체층(25)과 오믹접촉층(27)을 형성한다. 그 다음, 오믹접촉층(27) 및 반도체층(25)을 제 1 절연막(23)이 노출되도록 포토리소그래피 방법으로 패터닝한다.

제 1 도(E)를 참조하면, 절연막(23) 및 오믹접촉층(27) 상에 알루미늄 등의 도전성금속을 적층한 후 이 도전성금속을 포토리소그래피 방법으로 패터닝하여 소오스 및 드레인전극(29)(31)을 형성한다. 그리고, 소오스 및 드레인전극(29)(31)을 마스크로 사용하여 이 소오스 및 드레인전극(29)(31) 사이의 오믹접촉층(27)의 노출된 부분을 식각하여 제거한다.

제 1 도(F)를 참조하면, 상술한 구조의 전 표면에 실리콘산화물 또는 실리콘질화물을 증착하여 제 2 절연막(33)을 형성한다. 그 다음, 제 2 절연막(33)을 드레인전극(31)의 소정 부분이 노출되도록 제거하여 콘택홀(35)을 형성한다. 그 다음, 제 2 절연막(33) 상에 콘택홀(35)을 통해 드레인전극(31)과 전기적으로 연결되도록 투명도전 물질을 증착한 후 포토리소그래피 방법으로 패터닝하여 화소전극(37)을 형성한다.

상술한 바와 같이 종래의 박막트랜지스터의 제조방법은 2중 금속구조를 갖는 게이트를 제 1 금속층과 제 2 금속층을 각각 다른 마스크를 사용하는 포토리소그래피 공정으로 형성하여 게이트와 기판을 2중의 단차를 이루도록 하였다.

그러나, 종래 기술에 따른 박막트랜지스터는 제 1 금속층의 폭이 제 2 금속층의 폭 보다 4 μ m 이상 크면 제 2 금속층이 형성되지 않은 제 1 금속층의 양측에서 힐록이 발생하는 문제점이 있었다. 또한, 게이트를 형성하기 위해 2번의 증착과 2번의 포토리소그래피 공정이 필요하므로 공정이 복잡해질 뿐만 아니라 제 1 금속층과 제 2 금속층 사이의 접촉저항이 증가되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 제 2 금속층이 형성되지 않은 제 1 금속층의 양측에서 힐록이 발생하는 것을 방지할 수 있는 박막트랜지스터를 제공함에 있다.

본 발명의 다른 목적은 게이트를 간단하게 형성할 수 있는 박막트랜지스터의 제조방법을 제공함에 있다.

본 발명의 또 다른 목적은 게이트를 이루는 제 1 금속층과 제 2 금속층 사이의 접촉 저항을 감소시킬 수 있는 박막트랜지스터의 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터는 기판과, 상기 기판 상에 제 1 금속층과 제 2 금속층의 이중 층으로 형성되되 상기 제 1 금속층의 폭(W1)이 상기 제 2 금속층의 폭(W2)에 비해 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 보다 작게 형성된 게이트를 포함한다.

상기 다른 목적들을 달성하기 위한 본 발명의 일 실시예에 따른 박막트랜지스터의 제조방법은 기판 상에 제 1 금속층과 제 2 금속층을 연속적으로 증착하는 공정과, 상기 제 2 금속층의 소정 부분 상에 소정 폭(W1)을 갖는 감광막을 형성하는 공정과, 상기 감광막을 마스크로 사용하여 상기 제 2 금속층을 습식식각 방법으로 상기 감광막의 폭(W1) 비해 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 보다 작은 폭(W2)을 갖도록 패터닝하는 공정과, 상기 감광막을 마스크로 사용하여 제 1 금속층을 이방성식각 방법으로 상기 폭(W1)을 갖도록 패터닝하여 상기 제 2 금속층과 적층된 구조의 게이트를 형성하는 공정과, 상기 감광막을 제거하는 공정을 구비한다.

상기 다른 목적들을 달성하기 위한 본 발명의 다른 실시예에 따른 박막트랜지스터의 제조방법은 기판 상에 제 1 금속층과 제 2 금속층을 연속적으로 증착하는 공정과, 상기 제 2 금속층의 소정 부분 상에 소정 폭(W1)을 갖는 감광막을 형성하는 공정과, 상기 감광막을 마스크로 사용하여 상기 제 1 및 제 2 금속층을 폭(W1)을 갖도록 이방성식각하는 공정과, 상기 감광막을 마스크로 사용하여 상기 제 2 금속층을 상기 제 1 금속층의 폭(W1) 비해 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 보다 작은 폭(W2)을 갖도록 습식식각하여 상기 제 1 금속층과 2중층을 이루는 게이트를 형성하는 공정과, 상기 감광막을 제거하는 공정을 구비한다.

이하, 첨부한 도면을 참조하여 본 발명을 설명한다.

제 2 도는 본 발명에 따른 박막트랜지스터의 평면도이고, 제 3 도는 제 2 도를 X-X선으로 자른 단면도이다.

본 발명에 따른 박막트랜지스터는 기판(41) 상에 제 1 및 제 2 금속층(43)(45)의 이중 층으로 이루어진 게이트(49), 제 1 및 제 2 절연막(51)(61), 반도체층(53), 오믹접촉층(55), 소오스 및 드레인전극(57)(59)과 화소 전극(65)으로 이루어진다.

상기에서 게이트(49)는 기판(41) 상에 제 1 금속층(43)과 제 2 금속층(45)의 이중 층으로 이루어져 형성된다. 상기에서, 제 1 금속층(43)은 알루미늄(Al), 구리(Cu) 또는 금(Au)의 도전성 금속이 증착되어 형성되며 소정폭(W1)을 갖는다. 제 2 금속층(45)은 제 1 금속층(43) 상에 몰리브덴(Mo), 탄탈륨(Ta) 또는 코발트(Co) 등의 고용점 금속이 증착되어 형성되며 소정폭(W2)을 갖는다. 상기에서, 제 1 금속층(43)의 폭(W1)은 제 2 금속층(45)의 폭(W1)에 비해 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 보다 작게, 즉, $1\mu\text{m}$ W1 - W2 $4\mu\text{m}$ 되게 형성된다. 그리고, 제 2 금속층(45)은 제 1 금속층(43)의 가운데에 위치되게 형성되어 이 제 1 금속층(43)의 제 2 금속층(45)이 형성되지 않은 양측 부분 폭이 동일하도록 한다. 즉, 제 1 금속층(43)의 제 2 금속층(45)이 형성되지 않은 양측 부분 폭의 각각이 $0.5\mu\text{m}$ 보다 크고 $2\mu\text{m}$ 보다 작게 한다.

게이트(49)를 포함하는 기판(41) 상에 실리콘산화물(SiO_2) 또는 실리콘 질화물(Si_3N_4)을 단층 또는 이중층으로 증착되어 이루어진 제 1 절연막(51)이 형성된다.

그리고, 제 1 절연막(51) 상의 게이트(49)와 대응하는 부분에 불순물이 도핑되지 않은 비정질실리콘과 불순물이 고농도로 도핑된 비정질실리콘을 연속적으로 증착되고 패터닝된 반도체층(53)과 오믹접촉층(55)이 형성된다. 상기에서, 반도체층(53)은 소자의 활성영역으로 사용되어 게이트(49)에 인가되는 전압에 의해 채널이 형성된다. 또한, 오믹 접촉층(55)은 반도체층(53)과 소오스 및 드레인전극(59) 사이를 오믹접촉시키는 것으로 반도체층(53)의 채널이 형성될 부분에 형성되지 않는다.

소오스 및 드레인전극(57)(59)은 오믹접촉층(55)에 접촉되며 제 1 절연막(51)상의 소정 부분으로 연장되게 형성된다.

제 2 절연막(61)은 실리콘산화물(SiO_2) 등의 절연물질이 반도체층(53), 소오스 및 드레인전극(57)(59)와 제 1 절연막(51)을 덮도록 증착되어 형성된다. 그리고, 드레인전극(59) 상의 제 2 절연막(61)이 제거되어 콘택홀(63)이 형성되며, 이 콘택홀(63)을 통해 드레인전극(59)과 접촉되도록 ITO(Indium Tin Oxide) 또는 주석산화물(SnO_2) 등의 투명한 도전물질로 이루어진 화소전극(65)이 형성된다.

상술한 박막트랜지스터는 게이트(49)를 이루는 제 1 및 제 2 금속층(43)(45)에 있어서, 제 1 금속층(43)의 제 2 금속층(45)이 형성되지 않은 양측 부분 폭의 각각이 $0.5\mu\text{m}$ 보다 크고 $2\mu\text{m}$ 보다 작게 형성된다. 그러므로, 제 1 금속층(43)의 제 2 금속층(45)이 형성되지 않은 양측 부분 폭의 각각이 $0.5\mu\text{m}$ 보다 크면 게이트(49)가 2중의 단차를 가지므로 제 1 절연막(51)의 스텝커버리지가 저하되는 것을 방지할 수 있으며, 또한, $2\mu\text{m}$ 보다 작으면 제 1 금속층(43)에서 힐록이 생성되는 것을 방지할 수 있다.

제 4 도(A) 내지 (F)는 본 발명에 따른 박막트랜지스터의 제조공정도이다.

제 4 도(A)를 참조하면, 기판(41) 상에 알루미늄(Al), 구리(Cu) 또는 금(Au)을 증착하여 제 1 금속층(43)을 형성하고, 계속해서, 제 1 금속층(43)상에 몰리브덴(Mo), 탄탈륨(Ta) 또는 코발트(Co) 등을 증착하여 제 2 금속층(45)을 증착한다. 상기에서 제 1 및 제 2 금속층(43)을 스퍼터링 또는 화학기상증착(Cheical Vapor Deposition : 이하, CVD라 칭함) 방법으로 진공상태를 파괴(break)하지 않고 연속으로 증착하여 각각 $500\sim 4000\text{\AA}$ 정도와 $500\sim 2000\text{\AA}$ 정도의 두께로 형성한다. 그러므로, 제 1 및 제 2 금속층(43)(45) 사이의 접촉 저항을 감소시킬 수 있다. 그리고, 제 2 금속층(45) 상에 감광막(47)을 도포한 후, 이 감광막(47)을 제 2 금속층(45)의 소정 부분상에 폭(W1)을 갖도록 노광 및 현상한다.

제 4 도(B)를 참조하면, 감광막(47)을 마스크로 사용하여 인산(H_3PO_4)+초산(CH_3COOH)+질산(HNO_3)을 혼합한 식각용액으로 제 2 금속층(45)을 습식식각하여 패터닝한다. 이 때, 제 2 금속층(45)은 등방성 식각되므로 노출된 부분 뿐만 아니라 감광막(47)에 의해 덮혀진 부분도 식각되어 감광막(47)의 폭(W1) 보다 작은 폭(W2)을 갖도록 패터닝되어 $1\mu\text{m}$ W1 - W2 $4\mu\text{m}$ 의 관계를 유지하여야 한다. 상기에서, 제 2 금속층

(45)은 감광막(47)에 의해 덮혀진 부분의 양측 폭이 동일하게 식각되므로 제 2 금속층(45)은 일측의 폭이 $0.5\mu\text{m}$ 보다 크고, $2\mu\text{m}$ 보다 작게 된다. 또한, 제 2 금속층(45)의 식각된 측면은 직각 또는 경사지게 된다.

제 4 도(C)를 참조하면, 감광막(47)을 마스크로 사용하여 제 1 금속층(43)을 반응성이온식각(Reactive Ion Etching : 이하, RIE라 칭함) 등의 이방성식각특성을 갖는 건식 방법으로 식각하여 패터닝한다. 이때, 제 1 금속층(43)은 감광막(47)이 덮혀진 부분을 제외한 나머지 부분이 식각되어 제거되므로 감광막(47)과 동일한 폭(W1)을 갖는다. 그러므로, 제 1 금속층(43)과 제 2 금속층(45)도 $1\mu\text{m}$ W1 - W2 $4\mu\text{m}$ 의 관계를 유지한다.

상기에서, 잔류하는 제 1 및 제 2 금속층(43)(45)은 2층 금속 구조를 갖는 게이트(49)가 된다. 그러므로, 게이트(49)는 제 2 금속층(45)이 제 1 금속층(43) 상의 가운데 부분에 양측이 $0.5\mu\text{m}$ 보다 크고 $2\mu\text{m}$ 보다 작은 폭으로 노출되게 형성된다. 그리고, 제 2 금속층(45) 상에 잔류하는 감광막(47)을 제거한다.

제 4 도(D)를 참조하면, 게이트(49) 및 기판(41)의 표면에 CVD 방법으로 실리콘산화물(SiO_2) 또는 실리콘 질화물(Si_3N_4)을 단층 또는 이중층으로 증착하여 제 1 절연막(51)을 형성한다. 이때, 제 1 금속층(43)의 제 2 금속층(45)에 의해 노출된 양측의 폭이 각각 $0.5\mu\text{m}$ 보다 크므로 2중 단차의 게이트(49)에 의해 제 1 절연막(51)의 스텝커버리지가 저하되는 것을 방지하며, 또한, $2\mu\text{m}$ 보다 작으므로 제 1 금속층(43)에서 힐록이 생성되는 것을 방지한다.

그리고, 제 1 절연막(51) 상에 불순물이 도핑되지 않은 비정질 실리콘과 불순물이 고농도로 도핑된 비정질실리콘을 CVD 방법으로 연속적으로 증착하여 반도체층(53)과 오믹접촉층(55)을 형성한다. 그 다음, 오믹접촉층(55) 및 반도체층(53)을 제 1 절연막(51)이 노출되도록 포토리소그래피 방법으로 패터닝한다.

제 4 도(E)를 참조하면, 절연막(51) 및 오믹접촉층(55) 상에 알루미늄 또는 크롬 등의 도전성금속을 적층한 후 포토리소그래피 방법으로 패터닝하여 소오스 및 드레인전극(57)(59)을 형성한다. 그리고, 소오스 및 드레인전극(57)(59)을 마스크로 사용하여 이 소오스 및 드레인전극(57)(59) 사이의 오믹접촉층(55)의 노출된 부분을 식각하여 제거한다.

제 4 도(F)를 참조하면, 상술한 구조의 전 표면에 실리콘산화물 또는 실리콘질화물을 CVD 방법으로 증착하여 제 2 절연막(61)을 형성한다. 그 다음, 제 2 절연막(61)을 드레인전극(59)의 소정 부분이 노출되도록 포토리소그래피 방법으로 제거하여 콘택홀(63)을 형성한다. 그 다음, 제 2 절연막(61) 상에 콘택홀(63)을 통해 드레인전극(65)과 전기적으로 연결되도록 스퍼터링 방법에 의해 ITO(Indium Tin Oxide) 또는 주석산화물(SnO_2) 등의 투명한 도전물질을 증착한 후 포토리소그래피 방법으로 패터닝하여 화소전극(65)을 형성한다.

본 발명의 다른 실시예에 있어서, 제 1 및 제 2 금속층(43)(45)을 감광막(47)을 마스크로 사용하여 먼저 RIE 등의 이방성식각특성을 갖는 건식방법으로 식각한 후 감광막(47) 하부의 제 2 금속층(45)을 인산(H_3PO_4)+초산(CH_3COOH)+질산(HNO_3)을 혼합한 식각용액으로 식각하여 게이트(49)를 형성할 수도 있다.

본 발명의 또 다른 실시예에 있어서, 제 1 및 제 2 금속층(43)(45)을 인산(H_3PO_4)+초산(CH_3COOH)+질산(HNO_3)을 혼합한 식각용액에 의해 제 2 금속층(45)이 제 1 금속층(43) 보다 식각 속도가 빠르도록 하여 한번의 식각 공정으로 게이트(49)를 형성할 수도 있다.

상술한 바와 같이 본 발명에 따른 박막트랜지스터는 기판 상에 제 1 및 제 2 금속층을 연속적으로 증착하고, 제 2 금속층 상의 소정 부분을 덮는 감광막을 형성한다. 그리고, 이 감광막을 마스크로 사용하여 제 2 금속층을 습식식각한 후에 제 1 금속층을 건식식각하여 게이트를 형성한다.

발명의 효과

따라서, 본 발명은 게이트를 형성하기 위한 제 1 및 제 2 금속층을 연속적인 1번의 공정으로 증착하고 1번의 포토리소그래피 공정으로 패터닝하므로써 제 1 및 제 2 금속층 사이의 접촉 저항이 감소되며 공정이 간단해지는 이점이 있다. 또한, 제 1 금속층 양측의 제 2 금속층과 중첩되지 않는 부분의 폭이 각각 $2\mu\text{m}$ 보다 작으므로 제 1 금속층에서 힐록이 생성되는 것을 방지할 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1

기판과,

상기 기판 상에 제 1 금속층과 제 2 금속층의 이중 층으로 형성되되 상기 제 1 금속층의 폭(W1)이 상기 제 2 금속층의 폭(W2)에 비해 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 보다 작게 형성된 게이트를 포함하는 박막트랜지스터.

청구항 2

청구항 1에 있어서,

상기 게이트는 상기 제 2 금속층이 상기 제 1 금속층의 가운데에 위치되어 상기 제 1 금속층과 중첩되지 않는 양측 부분 폭이 동일하게 형성된 박막트랜지스터.

청구항 3

청구항 1에 있어서,

상기 제 1 금속층이 알루미늄(Al), 구리(Cu) 또는 금(Au)으로 형성된 박막트랜지스터.

청구항 4

청구항 1에 있어서,

상기 제 2 금속층은 몰리브덴(Mo), 탄탈늄(Ta) 또는 코발트(Co)으로 이루어진 박막트랜지스터.

청구항 5

기판과,

상기 기판 상에 제 1 금속층과 제 2 금속층의 이중 층으로 형성되되 상기 제 1 금속층의 폭(W1)이 상기 제 2 금속층의 폭(W2)에 비해 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 보다 작게 형성된 게이트와,

상기 게이트를 포함하는 상기 기판 상에 형성된 제 1 절연막과,

상기 제 1 절연막 상의 상기 게이트와 대응하는 부분에 형성된 반도체층과,

상기 반도체층의 양측에 형성된 오믹접촉층과,

상기 오믹접촉층 상에 상기 제 1 절연막 상으로 연장되게 형성된 소오스 및 드레인전극과,

상기 반도체층과 상기 소오스 및 드레인전극과 상기 제 1 절연막을 덮도록 형성된 제 2 절연막을 포함하는 박막트랜지스터.

청구항 6

청구항 5에 있어서,

상기 게이트는 상기 제 2 금속층이 상기 제 1 금속층의 가운데에 위치되어 상기 제 1 금속층과 중첩되지 않는 양측 부분 폭이 동일하게 형성된 박막트랜지스터.

청구항 7

청구항 5에 있어서,

상기 제 1 금속층이 알루미늄(Al), 구리(Cu) 또는 금(Au)으로 형성된 박막트랜지스터.

청구항 8

청구항 5에 있어서,

상기 제 2 금속층은 몰리브덴(Mo), 탄탈늄(Ta) 또는 코발트(Co)으로 이루어진 박막트랜지스터.

청구항 9

기판 상에 제 1 금속층과 제 2 금속층을 연속적으로 증착하는 공정과,

상기 제 2 금속층의 소정 부분 상에 소정 폭(W1)을 갖는 감광막을 형성하는 공정과,

상기 감광막을 마스크로 사용하여 상기 제 2 금속층을 등방성식각 방법으로 상기 감광막의 폭(W1) 비해 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 보다 작은 폭(W2)을 갖도록 패터닝하는 공정과,

상기 감광막을 마스크로 사용하여 제 1 금속층을 이방성식각 방법으로 상기 폭(W1)을 갖도록 패터닝하여 상기 제 2 금속층과 적층된 구조의 게이트를 형성하는 공정과,

상기 감광막을 제거하는 공정을 구비하는 박막트랜지스터의 제조방법.

청구항 10

청구항 9에 있어서,

상기 게이트를 포함하는 상기 기판 상에 제 1 절연막을 형성하는 공정과,

상기 제 1 절연막 상의 상기 게이트와 대응하는 부분에 형성된 반도체층 오믹접촉층을 형성하는 공정과,

상기 오믹접촉층 상의 양측에 상기 제 1 절연막 상으로 연장되도록 소오스 및 드레인전극을 형성하고 상기 소오스 및 드레인전극 사이의 노출된 상기 오믹접촉층을 제거하는 공정과,

상기 반도체층과 상기 소오스 및 드레인전극과 상기 제 1 절연막을 덮는 제 2 절연막을 형성하는 공정을 더 구비하는 박막트랜지스터의 제조방법.

청구항 11

청구항 9에 있어서,

상기 제 1 및 제 2 금속층을 스퍼터링 또는 화학기상증착 방법으로 진공을 깨지 않고 연속적으로 증착하여 형성하는 박막트랜지스터의 제조방법.

청구항 12

청구항 11에 있어서,

상기 제 1 금속층을 알루미늄, 구리 또는 금으로 형성하는 박막트랜지스터의 제조방법.

청구항 13

청구항 12에 있어서,

상기 제 1 금속층을 500~4000 Å의 두께로 형성하는 박막트랜지스터의 제조방법.

청구항 14

청구항 11에 있어서,

상기 제 2 금속층을 몰리브덴, 탄탈륨 또는 코발트로 형성하는 박막트랜지스터의 제조방법.

청구항 15

청구항 14에 있어서,

상기 제 2 금속층을 500~2000 Å의 두께로 형성하는 박막트랜지스터의 제조방법.

청구항 16

청구항 9에 있어서,

상기 제 2 금속층을 인산(H_3PO_4)+초산(CH_3COOH)+질산(HNO_3)을 혼합한 식각용액으로 식각하는 박막트랜지스터의 제조방법.

청구항 17

청구항 9에 있어서,

상기 제 1 금속층을 반응성이온식각(Reactive Ion Etching)의 건식방법으로 식각하는 박막트랜지스터의 제조방법.

청구항 18

청구항 9에 있어서,

상기 제 2 금속층을 상기 제 1 금속층의 가운데 부분에 잔류하여 노출되는 부분의 양측이 동일한 폭을 갖도록 형성하는 박막트랜지스터의 제조방법.

청구항 19

기판 상에 제 1 금속층과 제 2 금속층을 연속적으로 증착하는 공정과,

상기 제 2 금속층의 소정 부분 상에 소정 폭(W1)을 갖는 감광막을 형성하는 공정과,

상기 감광막을 마스크로 사용하여 상기 제 1 및 제 2 금속층을 폭(W1)을 갖도록 이방성식각하는 공정과,

상기 감광막을 마스크로 사용하여 상기 제 2 금속층을 상기 제 1 금속층의 폭(W1) 비해 $1\mu m$ 보다 크고 $4\mu m$ 보다 작은 폭(W2)을 갖도록 등방성식각하여 상기 제 1 금속층과 2중층을 이루는 게이트를 형성하는 공정과,

상기 감광막을 제거하는 공정을 구비하는 박막트랜지스터의 제조방법.

청구항 20

청구항 19에 있어서,

상기 게이트를 포함하는 상기 기판 상에 제 1 절연막을 형성하는 공정과,

상기 제 1 절연막 상의 상기 게이트와 대응하는 부분에 형성된 반도체층 오믹접촉층을 형성하는 공정과,

상기 오믹접촉층 상의 양측에 상기 제 1 절연막 상으로 연장되도록 소오스 및 드레인전극을 형성하고 상기 소오스 및 드레인전극 사이의 노출된 상기 오믹접촉층을 제거하는 공정과,

상기 반도체층과 상기 소오스 및 드레인전극과 상기 제 1 절연막을 덮는 제 2 절연막을 형성하는 공정을 더 구비하는 박막트랜지스터의 제조방법.

청구항 21

청구항 19에 있어서,

상기 제 1 금속층을 알루미늄, 구리 또는 금으로 형성하는 박막트랜지스터의 제조방법.

청구항 22

청구항 19에 있어서,

상기 제 2 금속층을 몰리브덴, 탄탈륨 또는 코발트로 형성하는 박막트랜지스터의 제조방법.

청구항 23

청구항 19에 있어서,

상기 제 1 및 제 2 금속층을 반응성이온식각의 건식방법으로 식각하는 박막트랜지스터의 제조방법.

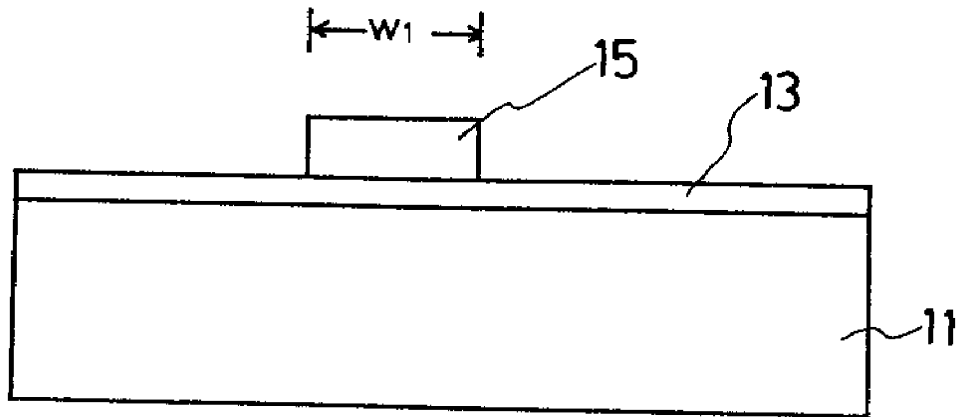
청구항 24

청구항 23에 있어서,

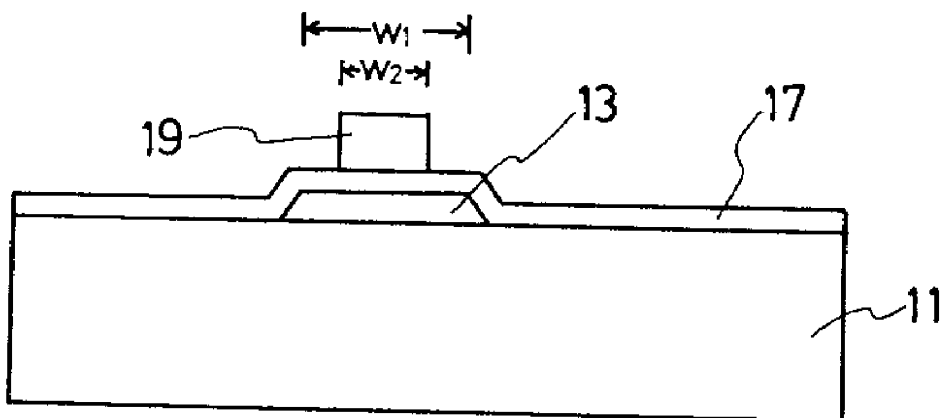
상기 제 2 금속층을 인산(H_3PO_4)+초산(CH_3COOH)+질산(HNO_3)을 혼합한 식각용액으로 습식 식각하는 박막트랜지스터의 제조방법.

도면

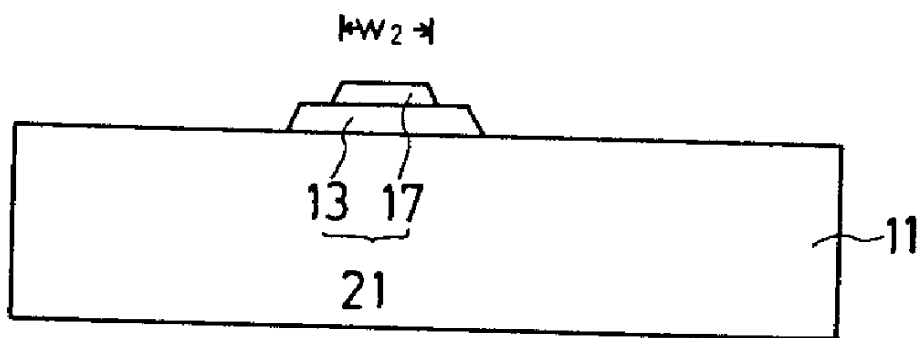
도면 1a



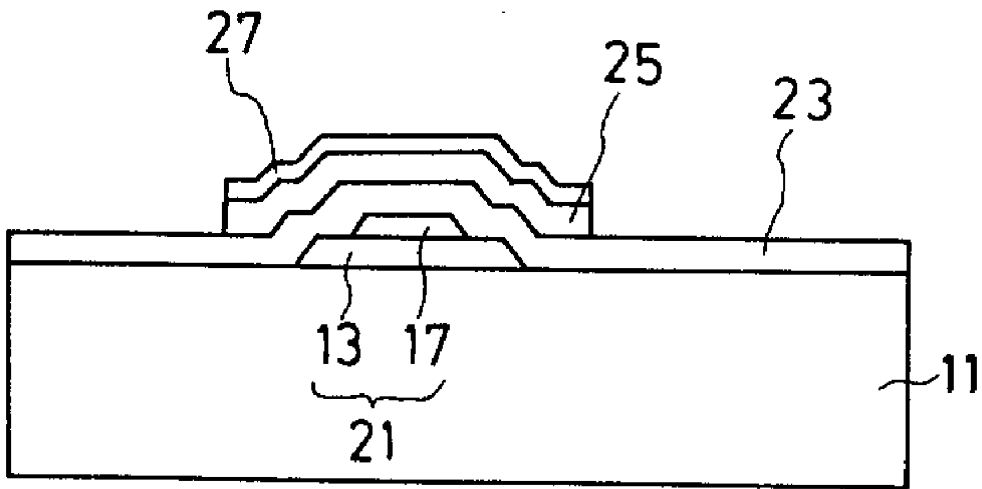
도면 1b



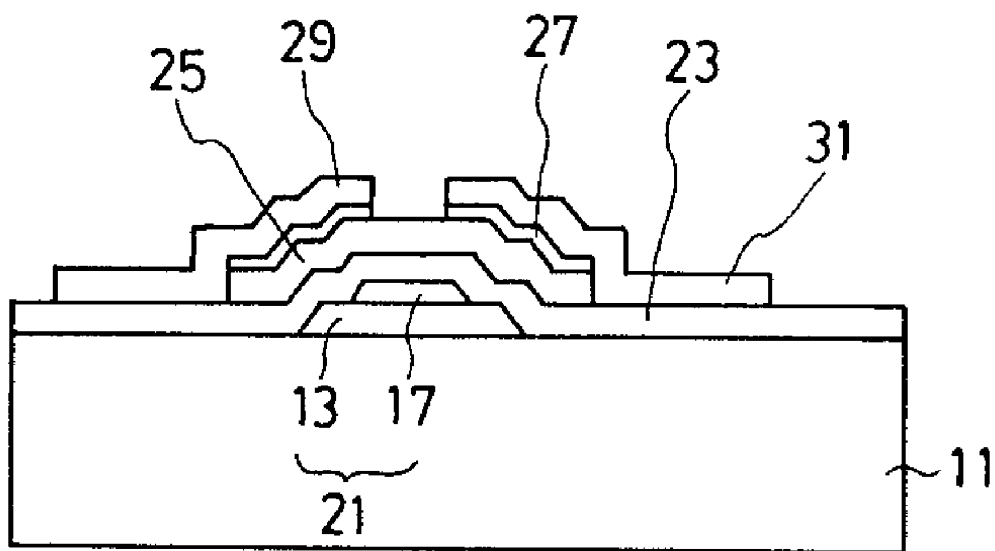
도면 1c



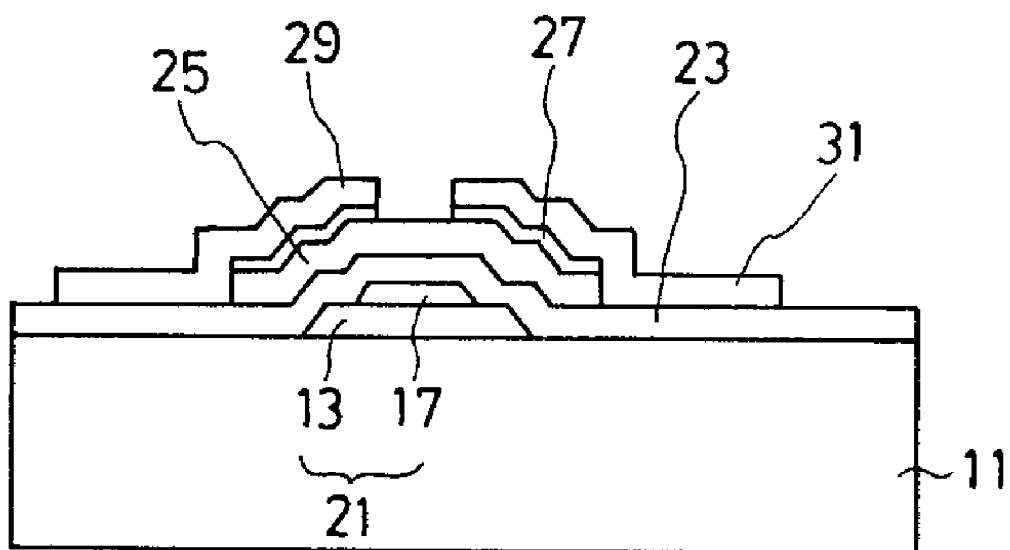
도면1d



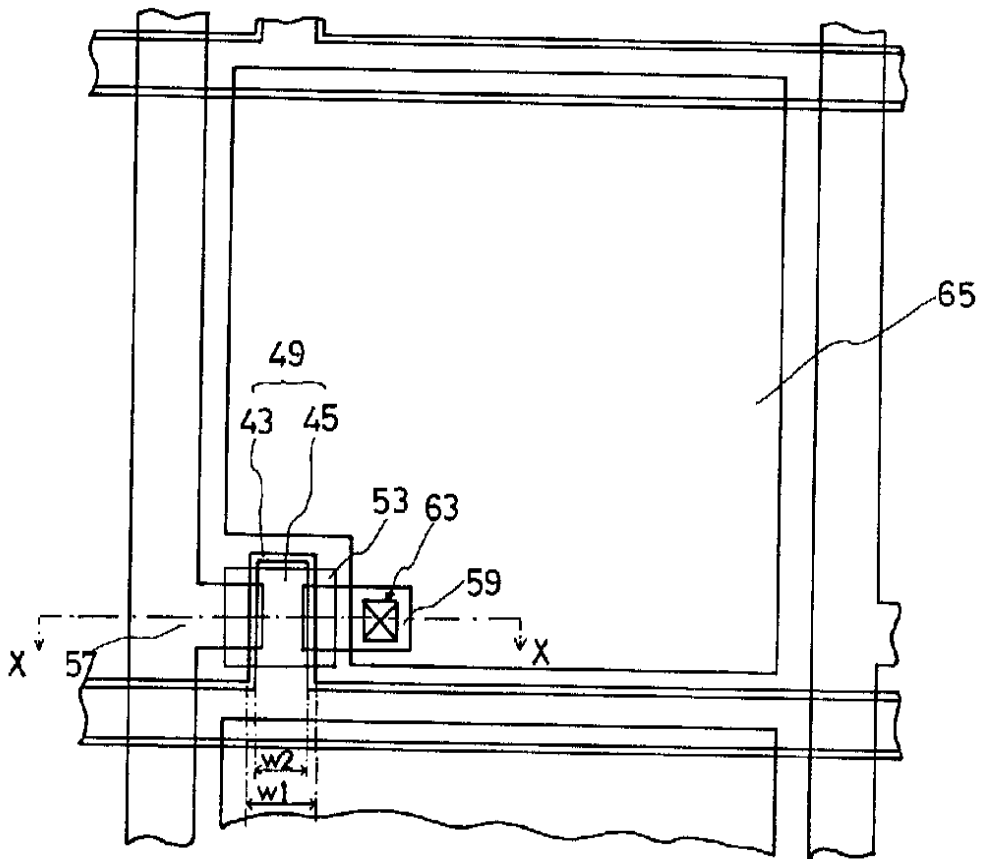
도면1e



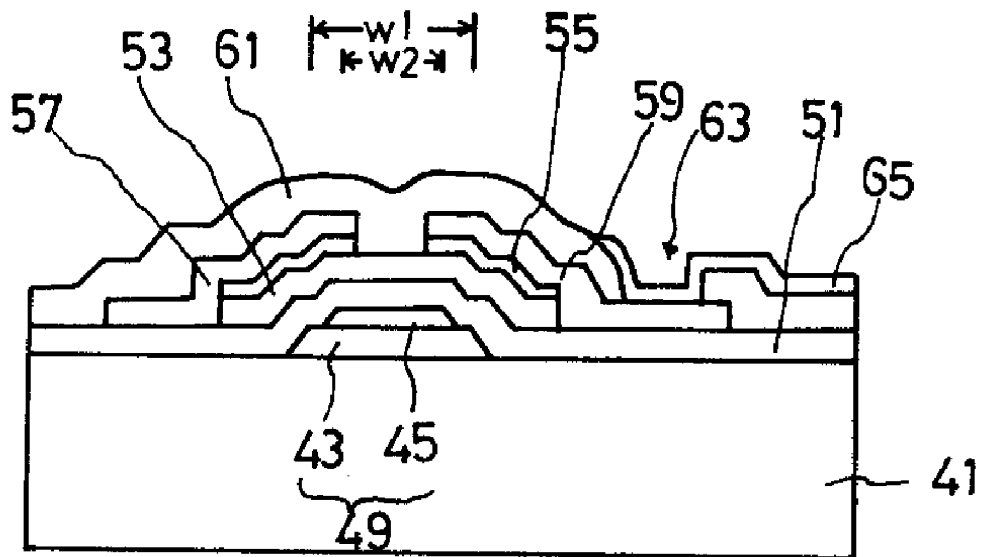
도면1f



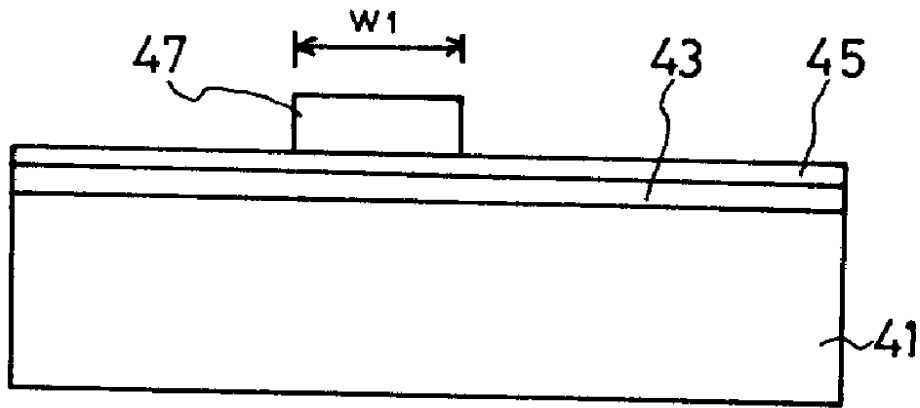
도면2



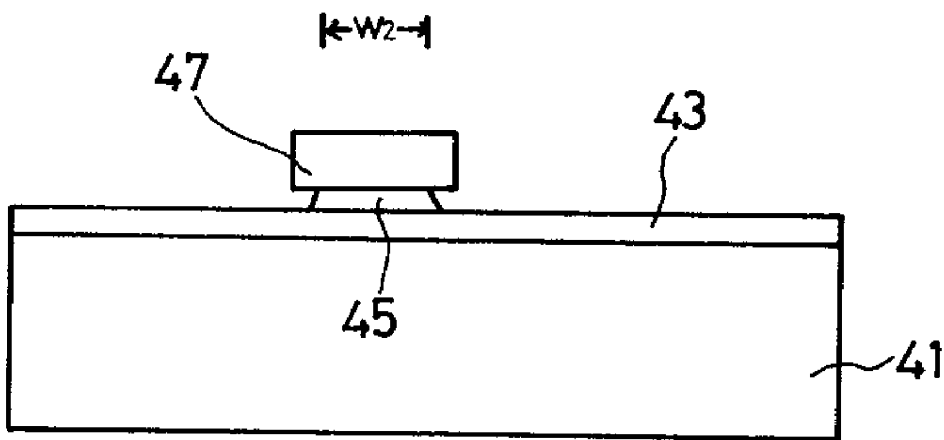
도면3



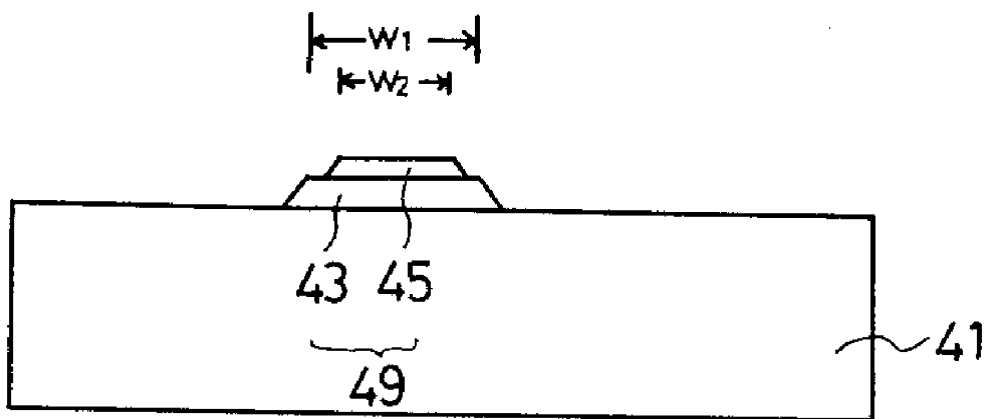
도면4a



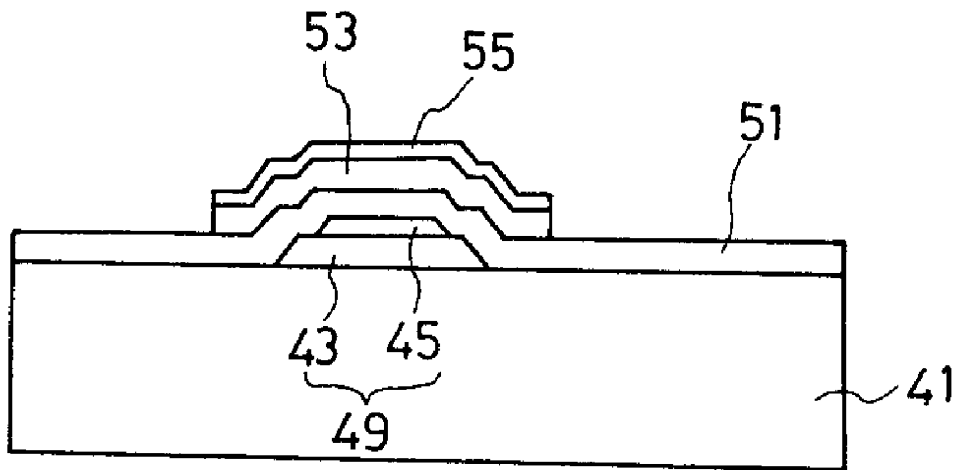
도면4b



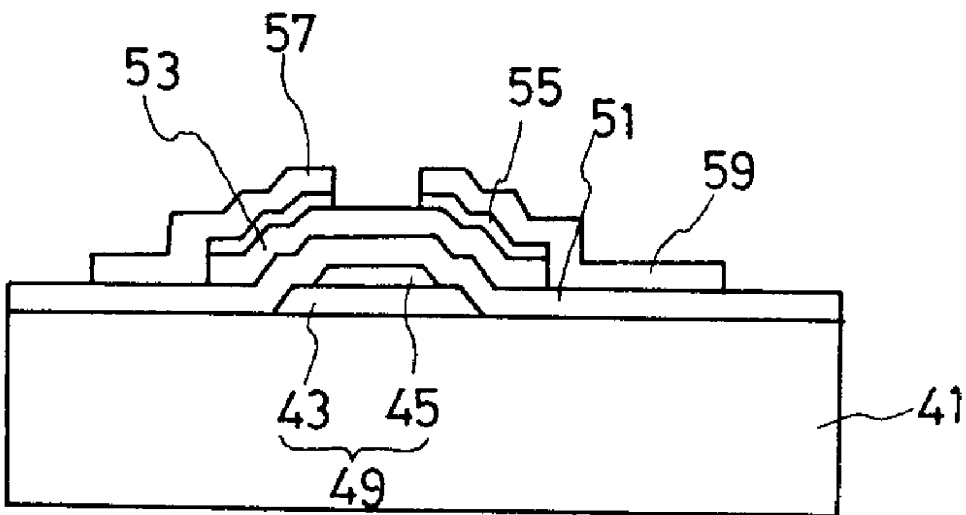
도면4c



도면4d



도면4e



도면4f

