



(12)发明专利申请

(10)申请公布号 CN 111183518 A

(43)申请公布日 2020.05.19

(21)申请号 201880065420.4

(74)专利代理机构 北京市中咨律师事务所
11247

(22)申请日 2018.10.16

代理人 于静 杨晓光

(30)优先权数据

15/787,818 2017.10.19 US

(51)Int.Cl.

H01L 27/092(2006.01)

(85)PCT国际申请进入国家阶段日

2020.04.08

H01L 21/336(2006.01)

(86)PCT国际申请的申请数据

PCT/IB2018/058004 2018.10.16

(87)PCT国际申请的公布数据

WO2019/077485 EN 2019.04.25

(71)申请人 国际商业机器公司

地址 美国纽约

(72)发明人 程慷果 李俊涛 李忠贤 许鹏

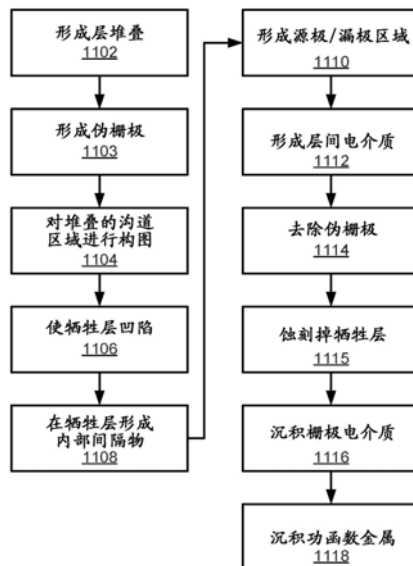
权利要求书2页 说明书9页 附图6页

(54)发明名称

具有不同栅极电介质和工函数金属的纳米片晶体管

(57)摘要

半导体器件及其制造方法包括:对包括沟道层,沟道层之间的第一牺牲层以及沟道层与第一牺牲层之间的第二牺牲层的层堆叠进行构图,以形成一个或多个器件区域。第一牺牲层由具有与第一牺牲层的材料相同的晶格常数的材料形成,并且第二牺牲层由具有与第一牺牲层的材料不匹配的晶格的材料形成。从一个或多个器件区域中的沟道层的侧壁形成源极区域和漏极区域。蚀刻掉第一和第二牺牲层,以使沟道层从源极和漏极区域悬挂下来。在沟道层上沉积栅极叠层。



1. 一种形成半导体器件的方法,包括:

对包括沟道层、所述沟道层之间的第一牺牲层以及所述沟道层和所述第一牺牲层之间的第二牺牲层的层堆叠构图,以形成一个或多个器件区域,其中所述第一牺牲层由具有与所述沟道层的材料相似的晶格常数的材料形成,并且其中所述第二牺牲层由具有与所述沟道层的材料不匹配的晶格的材料形成;

从所述一个或多个器件区域中的所述沟道层的侧壁形成源极和漏极区域;

蚀刻掉所述第一牺牲层和所述第二牺牲层,以使所述沟道层从所述源极和所述漏极区域悬挂下来;以及

在所述沟道层上沉积栅极叠层。

2. 如权利要求1所述的方法,其中,所述沟道层由晶体硅形成,所述第一牺牲层由掺杂的硅形成,并且所述第二牺牲层包括硅锗。

3. 如权利要求2所述的方法,其中,所述第二牺牲层由碳掺杂的硅锗形成。

4. 如权利要求1所述的方法,其中,所述第一和第二牺牲层分别在相应的蚀刻中被蚀刻掉,这两个蚀刻选择性地去除相应的牺牲材料而不损坏所述沟道层。

5. 如权利要求1所述的方法,还包括通过以重复的ABAC图案外延生长所述沟道层、所述第一牺牲层和所述第二牺牲层来形成所述层堆叠,其中,A层代表所述第二牺牲层,B层代表所述第一牺牲层,C层代表所述沟道层。

6. 如权利要求1所述的方法,其中,所述第二牺牲层的厚度小于将在所述第二牺牲层和所述沟道层之间引起位错的厚度。

7. 如权利要求1所述的方法,其中所述第二牺牲层包括硅锗,并且其中所述第二牺牲层的厚度小于约8nm。

8. 如权利要求1所述的方法,其中,所述器件区域包括n型器件区域和p型器件区域,并且其中,在所述n型区域和所述p型区域中的至少一个中形成所述栅极堆叠包括形成双层功函数金属。

9. 如权利要求1所述的方法,其中沉积所述栅极堆叠包括在至少一个器件区域的所述悬挂的沟道层上形成氧化物介电层。

10. 如权利要求9所述的方法,其中,所述氧化物介电层的厚度在大约2nm与大约5nm之间。

11. 一种半导体器件,包括:

多个垂直堆叠的沟道层;

在所述多个垂直堆叠的沟道层上形成的第一介电层;

在所述第一介电层上形成的第二介电层;

在所述第二介电层上形成的第一导体层;以及

在所述第一导体层上形成的第二导体层,其中所述第一介电层、所述第二介电层、所述第一导体层和所述第二导体层均存在于垂直相邻的沟道层之间。

12. 如权利要求11所述的半导体器件,其中,所述第一介电层是氧化物层,并且所述第二介电层是高k介电层。

13. 如权利要求12所述的半导体器件,其中,所述氧化物层的厚度在大约2nm与大约5nm之间。

14. 如权利要求11所述的半导体器件,其中,所述第一导体层由第一功函数金属形成,并且所述第二导体层由第二功函数金属形成。

具有不同栅极电介质和工函数金属的纳米片晶体管

技术领域

[0001] 本发明总体上涉及半导体器件的制造,并且更具体地,涉及沟道层之间的间隔大于牺牲材料的临界厚度的场纳米线和纳米片场效应晶体管。

背景技术

[0002] 可以使用硅锗作为在硅层之间形成的牺牲层来创建纳米线和纳米片晶体管器件。然而,由于硅锗晶体和硅晶体之间的晶格失配,在牺牲硅锗层中形成了应变。当硅锗层形成大于临界厚度的厚度时,在堆叠中形成诸如位错的缺陷。

[0003] 例如,在锗浓度约为35%的硅锗中,临界厚度约为8nm。由于相邻的硅沟道层之间的间隔由硅锗厚度决定,因此较小的临界厚度会限制硅沟道间隔。这可能使得难以对栅极功函数金属构图并形成厚的栅极氧化物晶体管。厚的氧化物栅极电介质会夹住硅通道之间的小间隙,从而没有空间容纳栅极功函数金属。即使栅极电介质更薄,对于不同类型的晶体管使用不同的功函数金属通常也是有利的。从沟道之间的狭窄间隙中去除功函数金属可能需要进行侵蚀性蚀刻,这会在相邻晶体管之间产生不良的底切。

发明内容

[0004] 一种用于制造其的方法,包括:对包括沟道层、沟道层之间的第一牺牲层以及沟道层与第一牺牲层之间的第二牺牲层的层堆叠进行构图,以形成一个或多个器件区域。第一牺牲层由具有与第一牺牲层的材料相同的晶格常数的材料形成,并且第二牺牲层由具有与第一牺牲层的材料不匹配的晶格的材料形成。由一个或多个器件区域中的沟道层的侧壁形成源极区域和漏极区域。蚀刻掉第一和第二牺牲层,以使沟道层从源极和漏极区域域悬挂下来。在沟道层上沉积栅极叠层。

[0005] 用于形成半导体器件的方法包括:对包括硅沟道层、在沟道层之间的牺牲掺杂的硅层、以及对在硅沟道层和牺牲掺杂的硅层之间的牺牲硅锗层的层堆叠进行构图以形成一个或多个器件区域。沟道层具有大于约8nm的垂直间隔。由一个或多个器件区域中的沟道层的侧壁形成源极区域和漏极区域。蚀刻掉第一和第二牺牲层,以使沟道层从源极和漏极区域域悬挂下来。在沟道层上形成氧化物栅电介质,该氧化物栅电介质的厚度在约2nm至约5nm之间。沉积在氧化物栅极电介质上沉积栅极导体。

[0006] 这些和其他特征和优点将从本文的说明性实施例的以下详细描述中变得显而易见,该详细描述将结合附图来阅读。

附图说明

[0007] 以下描述将参考以下附图提供优选实施例的细节,其中:

[0008] 图1是根据本发明实施例的在垂直堆叠的沟道层之间具有大间隔的场效应晶体管(FET)的形成步骤的截面图;

[0009] 图2是根据本发明实施例的在垂直堆叠的沟道层之间具有大间隔并且示出了器件

区域的图案的FET的形成步骤的截面图；

[0010] 图3是根据本发明实施例的在垂直堆叠的沟道层之间具有大间隔并且示出了内部间隔物的形成的FET的形成步骤的截面图；

[0011] 图4是根据本发明实施例的在垂直堆叠的沟道层之间具有大间隔并且示出了源极和漏极区域的形成的FET的形成步骤的截面图；

[0012] 图5是根据本发明实施例的在垂直堆叠的沟道层之间具有大间隔并且示出了层间电介质的形成的FET的形成步骤的截面图；

[0013] 图6是根据本发明实施例的在垂直堆叠的沟道层之间具有大间隔并且示出了伪栅极结构的去除的FET的形成步骤的截面图；

[0014] 图7是根据本发明实施例的在垂直堆叠的沟道层之间具有大间隔并且示出了牺牲层的去除的FET的形成步骤的截面图；

[0015] 图8是根据本发明实施例的在垂直堆叠的沟道层之间具有大间隔并且示出了栅极堆叠的形成的FET的形成步骤的截面图；

[0016] 图9是根据本发明实施例的在垂直堆叠的沟道层之间具有大间隔并且示出了栅极堆叠的形成的FET的形成步骤的截面图栅极堆叠的形成；以及

[0017] 图10是根据本发明实施例的在垂直堆叠的沟道层之间形成具有大间隔的FET的方法的框图/流程图。

具体实施方式

[0018] 本发明的实施例使用多个牺牲层，每个牺牲层对沟道材料具有蚀刻选择性，以形成任何适当厚度的牺牲层。这使本实施例具有形成厚的氧化物栅极电介质并根据需要对功函数金属构图的能力。

[0019] 在一个示例性实施例中，牺牲层由例如硅锗的第一层、掺杂硅的中间层和硅锗的第二层的多层形成。硅锗层可防止来自掺杂硅层的掺杂剂渗出到相邻的沟道层中。牺牲多层的每个构成层可以相对于沟道材料被选择性地蚀刻。

[0020] 现在参考图1，示出了纳米片场效应晶体管(FET)的形成的步骤的截面图。在半导体衬底102上形成半导体层堆叠。半导体衬底102可以是体半导体衬底。在一个示例中，体半导体衬底可以是含硅材料。适用于体半导体衬底的含硅材料的说明性示例包括但不限于硅、硅锗、碳化硅锗、碳化硅、外延硅及其多层。尽管硅是晶片制造中主要使用的半导体材料，但是可以采用替代的半导体材料，例如但不限于锗、砷化镓、砷化铟镓、磷化铟、氮化镓、碲化镉和硒化锌。尽管在当前附图中未示出，但是半导体衬底102也可以是绝缘体上半导体(SOI)衬底。

[0021] 由三种不同的成分形成层堆叠。特别预期的是，第一组层104可以由半导体沟道材料形成。特别地考虑了第一组层104可以由硅形成，但是应当理解，可以替代地使用具有适当的蚀刻选择性的其他适当的半导体材料。

[0022] 第二组层106可以由第一组层104之间的第一牺牲材料形成。具体地考虑到，第二组层106可以由硅锗或碳掺杂的硅锗形成，其中锗浓度约为35%，碳浓度约为1%，但应理解，也可以替代地使用其他浓度和其他合适的牺牲材料。应该注意的是，硅与锗浓度为35%的硅锗之间的晶格常数差大于1%。

[0023] 第三组层108可以由第二组层106之间的第二牺牲材料形成。特别地考虑到第三组层108可以由磷掺杂或砷掺杂的硅形成。但是应当理解,可以替代地使用其他适当的牺牲材料,并且特别地,可以使用n型掺杂剂。堆叠的各层从下到上依次以图案ABACABAC...沉积,其中A代表第二组层106,B代表第三组层108,C代表第一组层104。

[0024] 选择第二组层106和第三组层108的成分以提供相对于第一组层104的蚀刻选择性。如本文所用,在对材料去除工艺的术语“选择性”是指对第一材料材料去除率大于材料去除工艺应用的结构中的至少另一材料的去除率。因此,可以从第一组层104的沟道材料的层之间去除第二组层106和第三组层108的牺牲材料,而基本上不损坏第一组层104。专门选择第二组层106的成分以防止第三组层108中的掺杂剂扩散到第一组层104中。尽管硅锗通常足以达到此目的,但是碳掺杂的硅锗在减少掺杂剂扩散,防止来自牺牲层108的掺杂剂扩散到沟道层104的方面具有优势。

[0025] 通过使用第三组层108来增加第一组层104的相邻沟道层之间的牺牲材料的厚度,可以将沟道层之间的间隔增加到任何尺寸而不会超过第二组层中的临界厚度。可以将第三组层108的厚度制成任何适当的厚度,而不会由于108和104之间的晶格常数的基本匹配而引入大的应变,而第二组层106的厚度保持在组成第二组层106的牺牲材料的临界厚度值以下。在第二组层106中使用碳掺杂的硅锗的实施例中,第二组层106的厚度可以约为3纳米,而第一组层104和第三组层108的厚度可以是任何适当的厚度。

[0026] 每个层可以通过外延生长或任何其他适当的沉积工艺形成在前一层的顶部。该阶段的外延生长可以以相对较高的质量执行,因为每个先前的层为下一层的生长提供了良好的种子层。术语“外延生长”和“外延沉积”是指半导体材料在半导体材料的沉积表面上的生长,其中所生长的半导体材料具有与沉积表面的半导体材料基本相同的晶体特性。术语“外延材料”表示使用外延生长形成的材料。在一些实施例中,当控制化学反应物并且正确设置系统参数时,沉积原子以足够的能量到达沉积表面以在表面上四处移动并使其自身定向于沉积表面的原子的晶体排列。因此,在一些示例中,沉积在{100}晶体表面上的外延膜将呈现{100}取向。

[0027] 第三组层108可以通过使用n型掺杂剂的原位掺杂的这种外延工艺形成。特别地考虑了n型掺杂剂原子几乎不会改变硅的晶格常数,但是可以使用任何适当的掺杂剂来实现在第三组层108中维持半导体材料的晶格常数的效果。在实施例中,第三组层108和沟道层104之间的晶格常数差小于约0.3%。如本文所用,“n型”是指添加杂质,该杂质将自由电子贡献给本征半导体。在含硅层中,n型掺杂剂的实例包括但不限于锑、砷和磷。

[0028] 现在参考图2,示出了形成纳米片FET的步骤的截面图。在层堆叠上形成伪栅极堆叠。伪栅极堆叠包括伪栅极204和在伪栅极侧壁上的间隔物206。伪栅极204可以包括在纳米片堆叠周围的伪栅极电介质(例如,氧化硅),在伪栅极电介质周围的伪栅极占位符(例如,非晶硅)以及在伪栅极占位符顶部的伪栅极硬掩模(例如,氮化硅)。间隔物206可以包括任何合适的电介质材料,包括但不限于氮化硅、氧氮化硅、氧化硅、碳氮化硼硅、碳氧氮化硅、氧碳化硅、碳氮化硅或这些材料的任何适当的组合。可以通过任何合适的构图技术来构图伪栅极204,包括但不限于光刻,然后进行定向蚀刻(例如,反应离子蚀刻(RIE)),侧壁成像转印,自对准的双或四重构图。可以通过沉积然后进行RIE处理来形成间隔物206。

[0029] 伪栅极堆叠用作掩模以各向异性地蚀刻层堆叠,从而形成片堆叠202。片堆叠202

形成在至少两个区域中,包括第一区域208和第二区域210。在一些实施例中,第一区域208用于形成具有一种类型的功函数金属的第一FET(例如,n型FET),而第二区域210用于形成具有第二类型的功函数金属的第二FET(例如,p型FET)。在一些实施例中,第一区域208和第二区域210可以具有具有不同功函数金属的相同类型的FET(例如,都是n型FET或p型FET)。在其他实施例中,第一区域208和第二区域210可以具有不同类型的栅极电介质,并且在其他实施例中,第一区域208和第二区域210可以在功函数金属和栅极电介质方面不同。片堆叠202可以具有任何适当的几何形状,其中片堆叠202的宽度确定FET沟道区域的最终宽度。

[0030] 在一个实施例中,可以通过使用伪栅极堆叠体作为掩模的选择性RIE来形成片堆叠202。RIE是等离子体蚀刻的一种形式,其中在蚀刻过程中,将要蚀刻的表面放置在射频供电的电极上。此外,在RIE期间,待蚀刻的表面具有使从等离子体提取的蚀刻物质朝向表面加速的电势,其中化学蚀刻反应在垂直于表面的方向上发生。在本发明的这一点上可以使用的各向异性蚀刻的其他例子包括离子束蚀刻、等离子体蚀刻或激光烧蚀。

[0031] 应该注意的是,尽管相对于纳米片具体描述了本发明的实施方式,但是相同的原理适用于纳米线器件的制造。如本文所用,术语“纳米片”是指具有横截面宽度与横截面高度之比大于约2:1的结构,而术语“纳米线”是指具有横截面宽度到其横截面高度的比小于约2:1的结构。片堆叠202的形状确定形成“纳米片”结构还是“纳米线”结构。

[0032] 现在参考图3,示出了制造纳米片FET中的步骤的截面图。使用一个或多个选择性的各向同性蚀刻,第二组层106和第三组108相对于第一组层104凹进。在特定的实施例中,选择性的各向同性刻蚀优先去除硅锗材料和掺杂的硅材料,而使未掺杂的硅层相对未接触。

[0033] 特别预期的是,第二和第三组层106和108的蚀刻可以是湿化学蚀刻或干化学蚀刻。第三组层108的蚀刻可包括例如在约25°C至约90°C的温度范围内在分压为约0.17Torr的氯气中进行的蚀刻。如果在第三组层108中使用n型掺杂的硅材料并且在第一组层104中使用本征硅这些条件下,则第三组层108的蚀刻速率将比第一组层104的蚀刻速率大90倍。第二组层106的蚀刻可以使用适当的湿法蚀刻来执行,例如,过氧化氢与氢氟酸、硝酸与氢氟酸或氢氧化铵与氢过氧化物。应当理解,如果牺牲材料被选择为不同于上述材料,则可能需要其他蚀刻化学来选择性地去除牺牲材料。

[0034] 然后,在片堆叠202中的组层106和第三组层108的凹入端处形成额外的间隔物材料302。可以使用例如保形沉积工艺来沉积该额外的间隔物材料302,随后进行同位素沉积或各向异性地回蚀,以去除纳米片堆叠结构的垂直侧壁上和半导体衬底102的表面上多余的间隔物材料,附加的间隔物材料302由其上方的伪栅极堆叠保护。

[0035] 附加的间隔物材料302可以由与伪栅极堆叠的间隔物层206(例如,氮化硅)相同或不同的材料形成。例如,嵌入的间隔物材料302可以由氮化硅、碳氮化硅硅硼化物、碳氮化硅、氧氮化硅碳或任何其他类型的适合于电介质的介电材料(例如,介电常数k小于5的介电材料)形成,适合于形成FET器件的绝缘栅侧壁间隔物的作用。

[0036] 在一个实施例中,使用诸如原子层沉积(ALD)的高度保形沉积工艺来保形地沉积电介质材料,以确保凹口区域被电介质材料充分填充。可以使用诸如化学气相沉积(CVD)之类的其他沉积方法来沉积介电材料的高度保形的层以填充凹陷区域。CVD是一种沉积工艺,其中由于气态反应物在高于室温(例如,从约25°C至约900°C)下的化学反应而形成沉积物

质。反应的固体产物沉积在将要形成固体产物的膜、涂层或层的表面上。CVD工艺的变化包括但不限于大气压CVD (APCVD)、低压CVD (LPCVD)、等离子增强CVD (PECVD) 和金属有机CVD (MOCVD)、也可以采用它们的组合。在使用ALD的替代实施例中,化学前体一次与材料的表面反应以在表面上沉积薄膜。

[0037] 现在参考图4,示出了制造纳米片FET中的步骤的截面图。源极区域和漏极区域402形成为与第一材料的层104的端部接触。在一个实施例中,源极区域和漏极区域402可以从这些表面外延生长,并用适合于被生产的器件的类型的导电类型原位掺杂。

[0038] 如本文所用,术语“导电类型”表示p型或n型的掺杂剂区域。如本文所用,“p型”是指将杂质添加到产生价电子缺乏的本征半导体中。在含硅衬底中,p型掺杂剂即杂质的例子包括但不限于:硼、铝、镓和铟。如本文所用,“n型”是指添加杂质,该杂质将自由电子贡献给本征半导体。在含硅衬底中,n型掺杂剂即杂质的例子包括但不限于:锑、砷和磷。

[0039] 现在参考图5,示出了制造纳米片FET的步骤的截面图。在区域208和210上方和周围形成电介质材料或电介质材料的组合,然后使用例如化学机械平坦化 (CMP) 工艺将其平面化至伪栅极204的水平,以形成层间电介质502。在一些实施例中,层间电介质502包括氮化硅和氧化硅。

[0040] 现在参考图6,示出了制造纳米片FET的步骤的截面图。通过任何适当的蚀刻工艺去除伪栅极210和伪栅极硬掩模212,从而暴露出下面的片堆叠202并形成开口602。

[0041] 现在参考图7,示出了制造纳米片FET的步骤的截面图。第三组层108和第二组层106的材料在第一区域208和第二区域210中被选择性地蚀刻掉。这在第一组层104之间留下了开口702。使用的蚀刻选择性地凹陷,第二和第三组层106和108的可以用来完全去除牺牲材料。

[0042] 从这一点出发,可以形成几种不同类型的器件。特别地,可以在第一区域208和第二区域210中形成具有不同的栅极电介质、不同的功函数金属或两者的器件。下面描述这些实施例的一些示例。

[0043] 现在参考图8,示出了具有不同栅极电介质的FET的制造步骤的截面图。通过掩蔽一个区域,然后掩蔽另一个区域,在第一区域208中保形地沉积厚氧化物电介质材料层802(具有在大约2nm到大约5nm之间的厚度),并且在第二区域210中,在沟道层之上和周围保形地沉积高k电介质材料804的较薄区域。因为沟道层104具有宽的间隔,所以可能具有比否则就有情况明显厚的电介质层,例如厚的氧化物电介质层802。

[0044] 厚氧化物介电材料在沉积之后被构图以将其从第二区域210去除。应当注意,可以对高k介电材料804(其可以比厚氧化物介电层802更薄地沉积)进行构图以将其限制为仅到第二区域210,但是在一些实施例中,可以在不从具有厚氧化物材料802的区域去除高k介电材料的情况下在区域208和210两者上进行沉积。金属栅极806被沉积在两个区域。在一些实施例中,金属栅极包括功函数金属。在一些实施例中,金属栅极包括覆盖高k栅极电介质的功函数金属和填充其余栅极开口的栅极导体。

[0045] 特别地考虑到,厚氧化物介电材料层802可以由例如二氧化硅形成,而高k介电材料层804可以由介电常数高于包括以下物质的二氧化硅的任何合适的介电材料形成,以下物质例如氧化铪、氧化铪硅、氧化氮化铪硅、氧化镧、氧化镧铝、氧化锆、氧化锆硅、氧化锆钛、氧化钽、氧化钽、锆锆钛、钽钽钛氧化物、锆钛氧化物、氧化钇、氧化铝、氧化钽钽铅和铌

酸锌铅。高k电介质材料可以进一步包括掺杂剂,例如镧和铝。作为用功函数金属806完全填充剩余的间隙702的替代,一些实施例可以仅沉积功函数金属的层,并且用钨或某种其他合适的栅极导体填充间隙702的其余部分。

[0046] 特别考虑的是,将根据要制造的装置的类型来选择适当的功函数材料。例如,p型功函数金属可用于在p型FET中产生p型阈值电压漂移,而n型功函数金属可用于在n型FET中产生n型阈值电压漂移。p型功函数金属的实例包括氮化钛、氮化铝钛、钪、铂、钼、钴及其组合。n型功函数金属的实例包括钛铝合金、氮化钽、氮化钛(取决于沉积参数)、氮化铪和铪硅。

[0047] 现在参考图9,示出了制造具有不同功函数金属的FET的步骤的截面图。在该实施例中,第一区域208用于创建n型FET,而第二区域210用于创建p型FET,每个具有不同的功函数金属。栅极电介质902共形地沉积在两个区域中。

[0048] 第一功函数金属904(例如,在本示例中为n型功函数金属,尽管在其他实施例中可以首先沉积p型功函数金属)沉积在第一区域208中,第二区域210被淹模。然后,跨第一区域208和第二区域210两者沉积第二功函数金属906(在该示例中为p型功函数金属)。在n型功函数金属的顶部沉积p型功函数金属,这种方式不会影响成品晶体管的阈值电压。如上所述,第二功函数金属906可以夹住间隙702,或者可以如图所示使用适当的栅极导体填充。相邻沟道层104之间的相对较大的间隔使得第一功函数材料的构图更容易,从而允许从例如第二区域210去除该材料。

[0049] 如上所述,在厚氧化物栅极电介质上使用不同功函数金属,这两个实施例可以组合。与传统器件相比,垂直相邻通道之间的较大空间为器件设计的变化留出了更大的自由度。

[0050] 应该理解,将根据给定的说明性架构来描述本发明的各方面;然而,在本发明的各方面的范围内,其他体系、结构、衬底材料以及工艺特征和步骤可以改变。

[0051] 还将理解的是,当诸如层、区域或衬底的元件被称为在另一元件“上”或“之上”时,其可以直接在另一元件之上或也可以存在中间元件。相反,当一个元件被称为“直接在另一元件上”或“直接在另一元件之上”时,则不存在中间元件。还应该理解,当一个元件被称为“连接”或“耦合”到另一个元件时,它可以直接连接或耦合到另一个元件,或者可以存在中间元件。相反,当一个元件被称为“直接连接”或“直接耦合”至另一元件时,则不存在中间元件。

[0052] 本实施例可以包括用于集成电路芯片的设计,该集成电路芯片可以以图形计算机编程语言来创建,并且被存储在计算机存储介质(诸如磁盘、磁带、物理硬盘驱动器或虚拟硬盘驱动器例如在存储访问网络中)。如果设计人员不制造芯片或用于制造芯片的光刻掩模,则设计人员可以通过物理方式(例如,通过提供存储该设计的存储介质的副本)或以电子方式(例如,通过互联网)将结果设计直接或间接地传输给此类实体。然后将存储的设计转换为用于制造光刻掩模的适当格式(例如,GDSII),该光刻掩模通常包括要在晶片上形成的所述芯片设计的多个副本。光刻掩模用于限定要蚀刻或以其他方式处理的晶片(和/或晶片上的层)的区域。

[0053] 如本文所述的方法可用于集成电路芯片的制造中。制造商可以以原始晶片形式(即,具有多个未封装芯片的单个晶片)、裸露裸片或封装形式来分发所得的集成电路芯片。

在后一种情况下,芯片安装在单芯片封装中(例如引线固定在母板或其他更高级别的载体上的塑料载体)或多芯片封装中(例如具有表面互连或掩埋互连的陶瓷载体)。在任何情况下,该芯片然后都与其他芯片、分立电路元件和/或其他信号处理器件集成在一起,作为(a)中间产品(例如母板)或(b)最终产品的一部分。最终产品可以是任何包含集成电路芯片的产品,范围从玩具和其他低端应用到具有显示器、键盘或其他输入设备以及中央处理器的高级计算机产品。

[0054] 还应该理解,将根据所列元素例如SiGe描述材料化合物。这些化合物包括化合物中不同比例的元素,例如,SiGe包括其中x小于或等于1的 $\text{Si}_x\text{Ge}_{1-x}$ 等。此外,根据本发明,化合物中还可以包含其他元素,并且仍然起作用。具有附加元素的化合物在本文中将被称为合金。

[0055] 在说明书中对“一实施例”或“一个实施例”及其其他变型的引用意味着结合该实施例描述的特定特征、结构、特性等被包括在至少一个实施例中。因此,在整个说明书的各个地方出现的短语“在一个实施例中”或“在一实施例中”以及任何其他变型的出现不一定都指的是同一实施例。

[0056] 应当理解,以下任何使用“/”、“和/或”以及“…中至少一个”,例如在“A/B”、“A和/或B”和“A和B中的至少一个”的情况下,旨在包括仅选择第一个列出的选项(A)或仅选择第二个列出的选项(B)或两个选项的选择(A和B)。作为进一步的例子,在“A、B和/或C”和“A、B和C中的至少一个”的情况下,这种措词旨在仅包括选择第一列出的选项(A),或仅选择第二个列出的选项(B),或仅选择第三个列出的选项(C),或仅选择第一个和第二个列出的选项(A和B),或选择仅列出第一个和第三个选项(A和C),或者仅选择列出的第二个和第三个选项(B和C),或者选择所有三个选项(A和B和C)。如本领域和相关领域的普通技术人员显而易见的那样,可以扩展列出的许多项目。

[0057] 在此使用的术语仅出于描述特定实施例的目的,并且不旨在限制示例实施例。如本文所使用的,单数形式“一”、“一个”和“该”也意图包括复数形式,除非上下文另外明确指出。将进一步理解的是,当在本文中使用时,术语“包括(单数第三人称)”,“包括(进行时)”,“包含(单数第三人称)”和/或“包含(进行时)”指定存在所述特征、整数、步骤、操作、元件和/或组件,但是不排除存在或增加一个或多个其他特征、整数、步骤、操作、元件、组件和/或其组。

[0058] 在本文中可以使用空间相对术语,例如“在…下方”,“在下方”、“在…下方”、“在…上方”,“在上方”等,以便于描述如图中所示的一个元件或特征与另一元件或特征的关系。将理解的是,除了在附图中所描绘的方位之外,空间相对术语还意图涵盖装置在使用或操作中的不同方位。例如,如果图中的器件将其翻转,则被描述为在其他元件或特征“的下面”或“之下”的元件将被定向为在其他元件或特征“之上”。因此,术语“在…下方”可以包括在…上方和在…下方两个方位。可以以其他方式定向器件(旋转90度或其他方向),并且可以相应地解释本文中使用的空间相对描述语。另外,还将理解的是,当层被称为在两层“之间”时,它可以是两层之间的唯一层,或者也可以存在一个或多个中间层。

[0059] 将理解,尽管术语第一、第二等在本文中可用于描述各种元件,但是这些元件不应受这些术语限制。这些术语仅用于区分一个元素和另一个元素。因此,以下讨论的第一元件可以被称为第二元件,而不背离本发明的范围。

[0060] 现在参考图10,示出了形成FET的方法。框1102形成包括第一组层104、第二组层106和第三组层108的层堆叠,其中第一组层104由诸如晶体硅的沟道材料形成,并且第二和第三组层106和108分别由例如碳掺杂的硅锗和n型掺杂的牺牲材料硅形成。特别考虑到框1102可以通过外延生长来沉积这些层,但是应当理解,可以替代地使用任何适当的沉积工艺。

[0061] 框1103在层堆叠上形成伪栅极202。伪栅极204由诸如多晶硅的材料形成,在伪栅极202的侧壁上形成有间隔物206。然后,框1104使用伪栅极204和间隔物206作为掩模来堆叠层进行构图,产生柱状物202。应当理解的是,伪栅极204和间隔物206的尺寸因此确定所产生的沟道的尺寸,而不同的尺寸产生纳米线或纳米片。

[0062] 框1106使用适当的湿法或干法化学蚀刻使牺牲层凹陷。特别预期的是,这些蚀刻对于第一组层104的沟道材料应该是选择性的,以使得沟道结构不会因使牺牲层凹陷而受损。这可以在一次蚀刻或两次单独蚀刻中进行。然后,框1108例如通过保形地沉积间隔物材料(例如,氮化硅)层,然后使用各向异性蚀刻从水平表面去除沉积的间隔物材料,在牺牲层的侧壁上形成内部间隔物302。

[0063] 框1110通过例如利用原位掺杂的外延生长工艺在沟道结构的侧壁上形成源极区域和漏极区域402。在源极和漏极区域402中使用的掺杂剂将帮助确定该器件是n型器件还是p型器件。如上所述,可以在不同的区域中形成不同类型的器件,例如,在第一区域208中形成第一类型的器件,在第二区域210中形成第二类型的器件。为了实现这一点,框1110可以在其他区域中的器件的源极和漏极形成的同时,掩蔽某些区域。

[0064] 框1112在结构周围形成层间电介质。这可以通过例如将可流动的氧化物沉积到伪栅极204上方的高度并随后使用停止在伪栅极204的材料上的CMP工艺向下抛光氧化物材料以暴露出伪栅极204来实现。然后,在框1114中,可以通过任何适当的蚀刻来去除伪栅极204,从而暴露出柱状物202中的层堆叠。

[0065] 框1115在一个或多个湿或干化学蚀刻步骤中蚀刻掉柱状物202中的牺牲层,从而从沟道层之间去除牺牲层。框1116使用保形沉积工艺沉积栅极电介质,该保形沉积工艺在所有暴露的表面上沉积厚度大致相等的栅极电介质材料层。应当理解,框1116可以包括多个这样的沉积,以在例如在其他区域中沉积栅极电介质之前通过例如掩蔽区域在不同区域中沉积不同的栅极电介质材料。因此,第一区域208和第二区域210可以具有不同的栅极电介质材料。特别地考虑到,至少一个区域可以具有厚的氧化物电介质材料作为其栅极电介质,这可以通过垂直相邻的沟道结构之间的大间距来实现。

[0066] 然后,框1118将功函数金属沉积在栅极电介质层上。与栅极电介质一样,功函数金属在区域之间可能会有所不同,特别是在该区域中的器件是n型FET还是p型FET方面。为了在不同区域中形成不同类型的器件,可以在将功函数金属沉积在其他地方时使用掩模覆盖区域。替代地,框1118可以在所有表面上沉积功函数金属,并且随后在需要不同功函数金属的区域中将其蚀刻掉。在这样的实施例中,第二功函数金属可以在第一功函数金属保留的区域中沉积在第一功函数金属上。

[0067] 然后,框1120完成该器件。如果功函数金属没有夹住通道上方的间隙,则可以使用诸如钨的栅极接触金属来减小接触电阻。通过各向异性地蚀刻穿过层间电介质502的接触孔并沉积接触导体以在源极/漏极区域402和层间电介质的表面之间提供电连接性,来对源

极和漏极区域形成附加的接触。

[0068] 尽管特别考虑了钨可以用于栅极接触金属和源极/漏极接触金属,但是应当理解,可以替代地使用任何适当的导体。其他实例包括例如镍、钛、钼、钽、铜、铂、银、金、钨、铌、铯、铪及其合金。栅极导体可替代地包括掺杂的半导体材料,例如掺杂的多晶硅。

[0069] 已经描述了具有不同的栅极电介质和功函数金属的纳米片晶体管的优选实施方式(其意图是示例性的而非限制性的),应注意的是,本领域技术人员可以根据以上教义做出修改和变化。因此,应当理解,可以在所公开的特定实施例中进行改变,这些改变在由所附权利要求概述的本发明的范围内。至此已经描述了本发明的各方面,并具有专利法所要求的细节和特殊性,在所附权利要求中阐明了由专利证书所要求保护的内容。

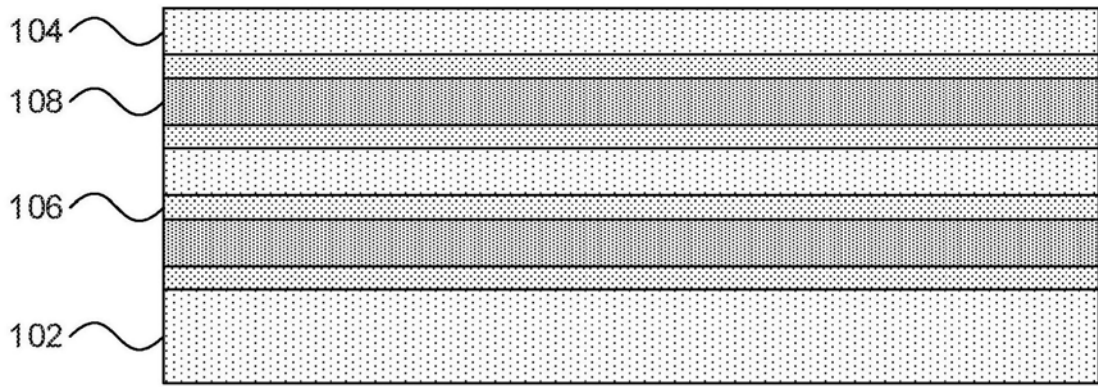


图1

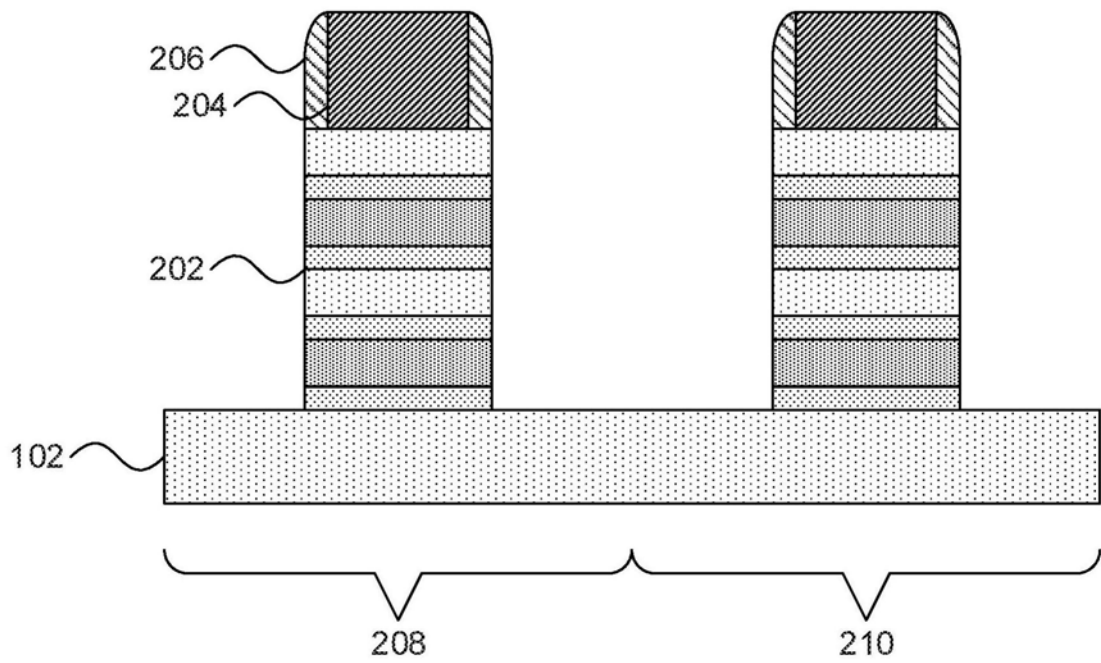


图2

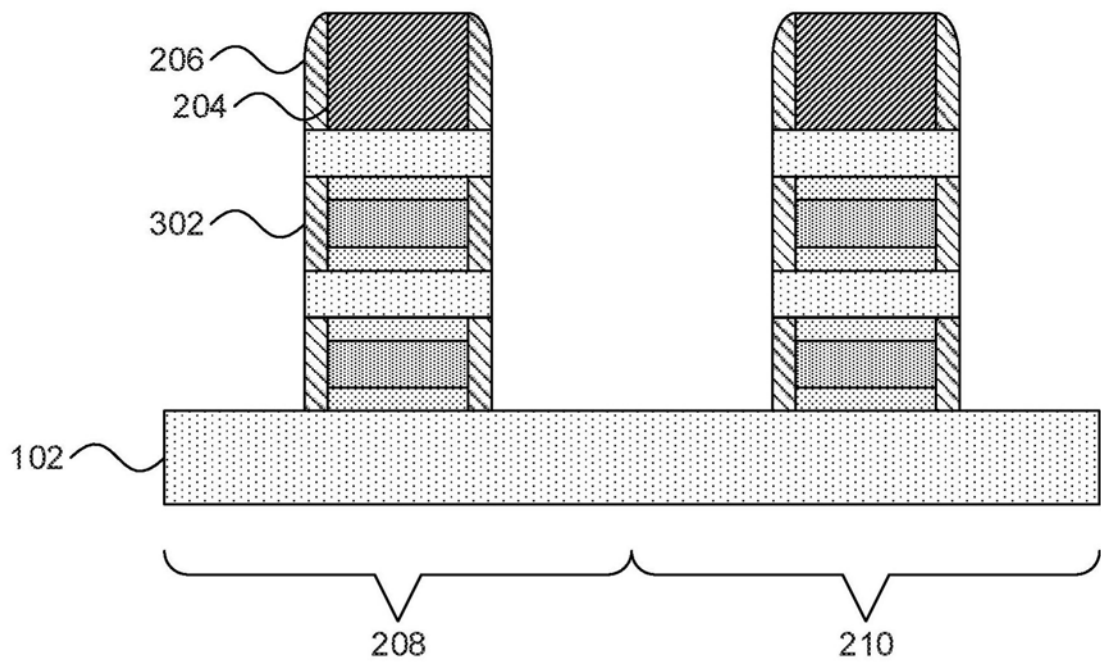


图3

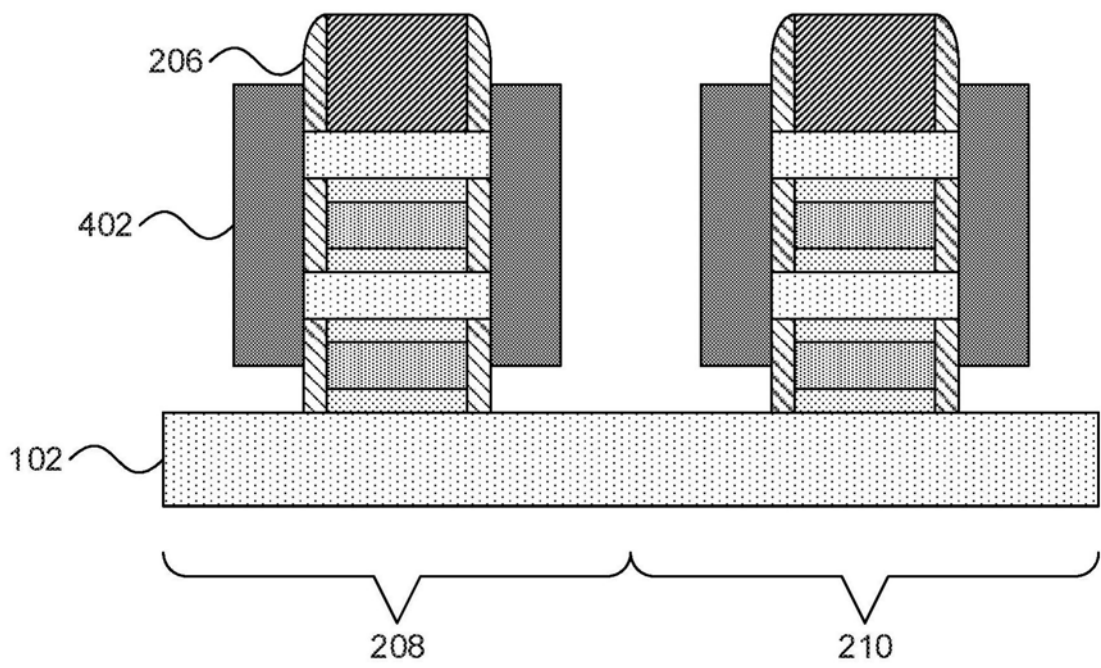


图4

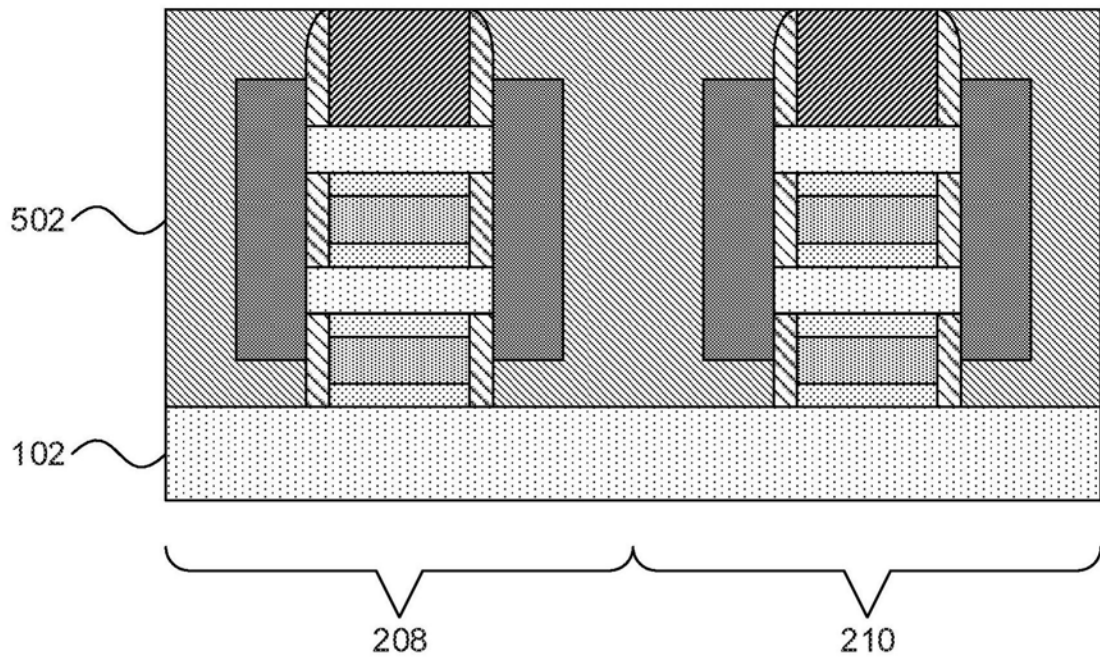


图5

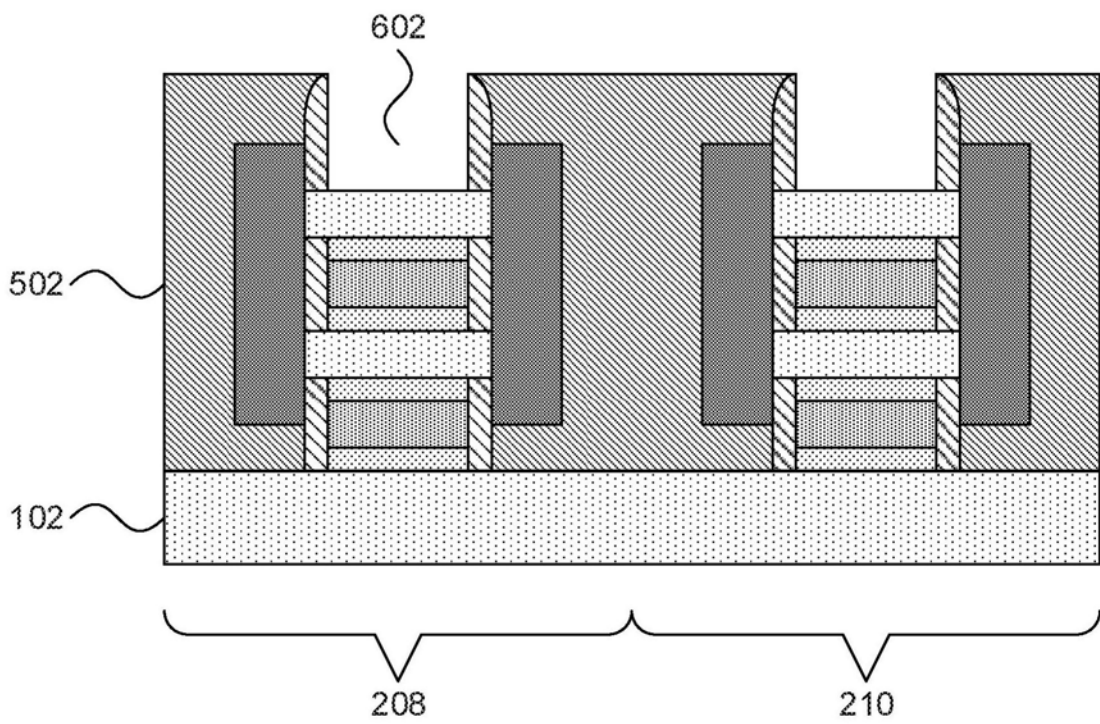


图6

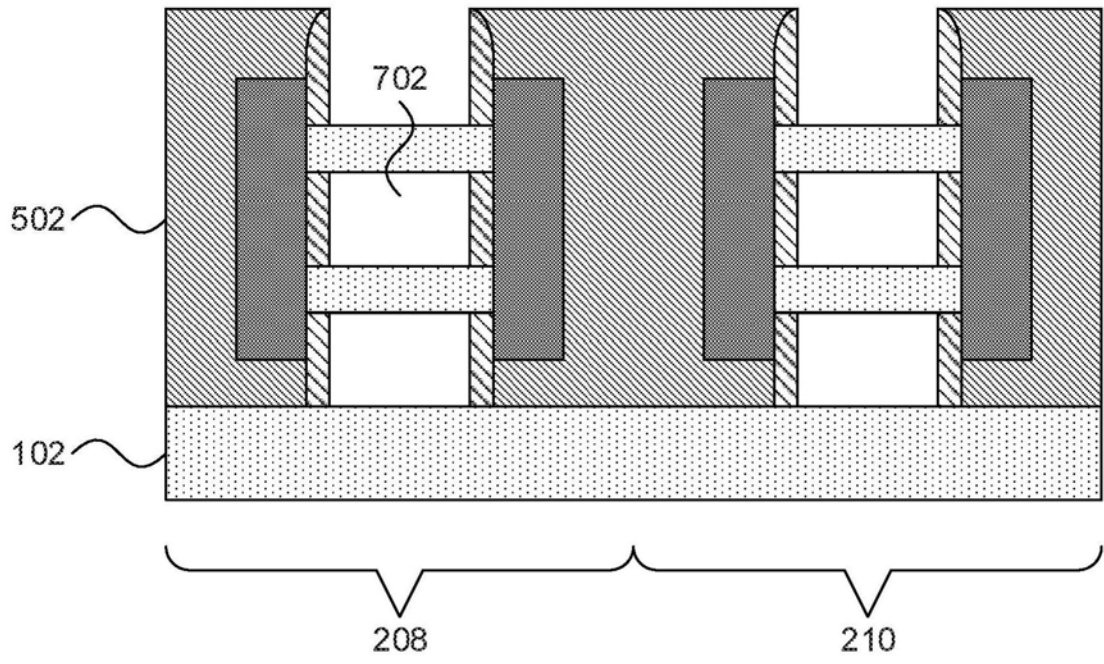


图7

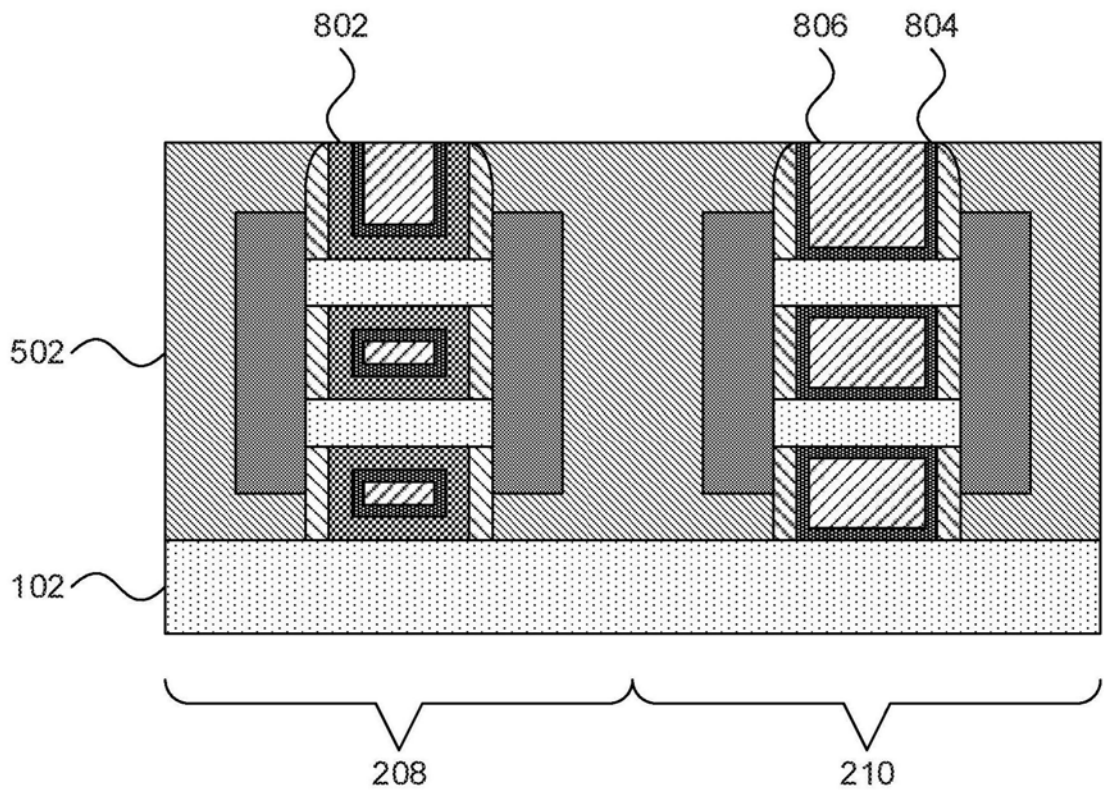


图8

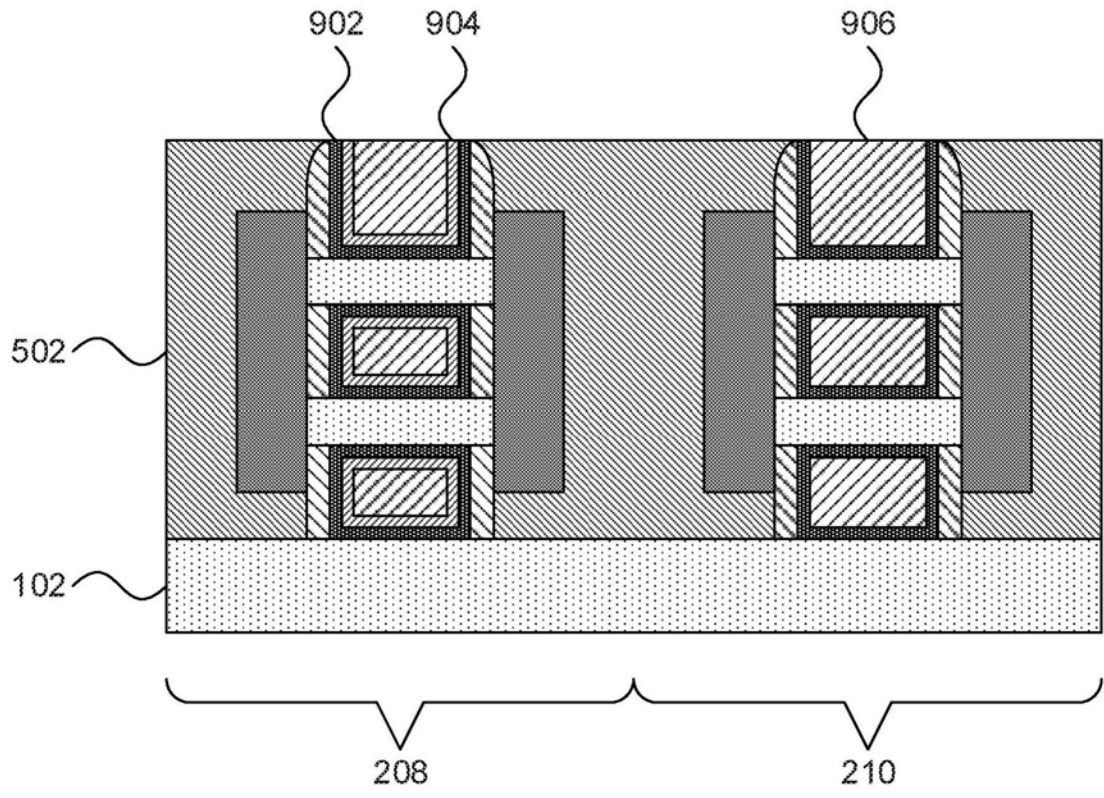


图9

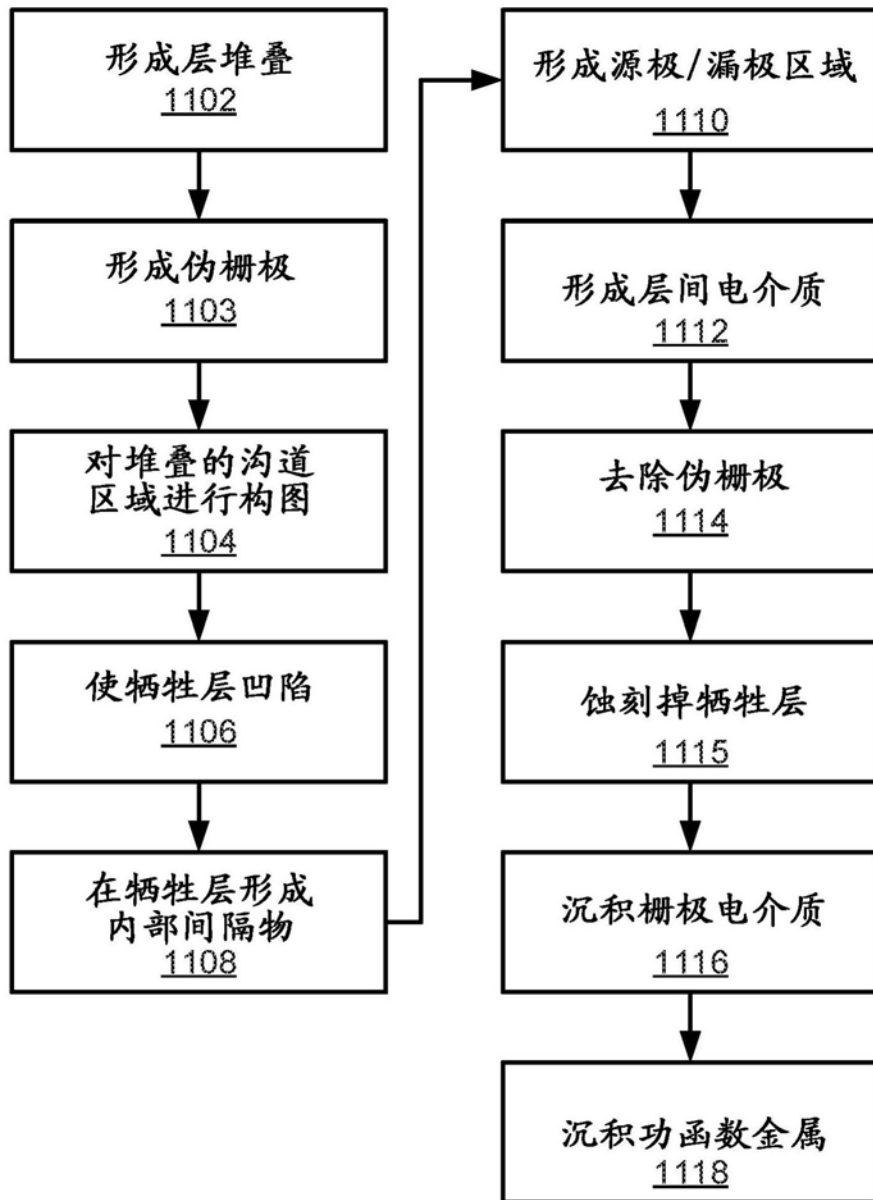


图10