

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4564646号  
(P4564646)

(45) 発行日 平成22年10月20日(2010.10.20)

(24) 登録日 平成22年8月6日(2010.8.6)

(51) Int.Cl.		F I		
HO 1 L 21/8247	(2006.01)	HO 1 L 27/10	4 3 4	
HO 1 L 27/115	(2006.01)	HO 1 L 29/78	3 7 1	
HO 1 L 29/788	(2006.01)			
HO 1 L 29/792	(2006.01)			

請求項の数 4 (全 8 頁)

(21) 出願番号	特願2000-360689 (P2000-360689)	(73) 特許権者	591024111
(22) 出願日	平成12年11月28日(2000.11.28)		株式会社ハイニックスセミコンダクター
(65) 公開番号	特開2001-196479 (P2001-196479A)		HYNIX SEMICONDUCTOR
(43) 公開日	平成13年7月19日(2001.7.19)		INC.
審査請求日	平成18年2月13日(2006.2.13)		大韓民国京畿道利川市夫鉢邑牙美里山136-1
(31) 優先権主張番号	99-62944		San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea
(32) 優先日	平成11年12月27日(1999.12.27)	(74) 代理人	100095315
(33) 優先権主張国	韓国 (KR)		弁理士 中川 裕幸
		(72) 発明者	金 起 準
			大韓民国 ソウル市 中浪区 新内洞 ドスンアパートメント12-402

最終頁に続く

(54) 【発明の名称】 フラッシュメモリ素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の上に、トンネル酸化膜、フローティングゲート、誘電体膜及びコントロールゲートを形成する段階と、

ソース領域が形成されるべき部分の前記半導体基板が露出されるようにゲート電極を含む前記半導体基板の上に第1マスクを形成した後、イオン注入工程を行ってソースを形成する段階と、

前記第1マスクを除去した後、前記フローティングゲート及び前記コントロールゲートの側壁に酸化膜が形成されるようにした後、全体構造の表面に沿って絶縁膜を形成する段階と、

前記絶縁膜を全面エッチングして前記ゲート電極の両側壁に絶縁膜スペーサが形成されるようにする段階と、

前記ゲート電極の間の前記半導体基板が露出されるように第2マスクを形成し、イオン注入工程を行って前記ゲート電極の間にDDD構造を持つドレインを形成する段階と、

前記第2マスクを除去した後、露出した前記半導体基板にセレクトゲート酸化膜を形成し、前記セレクトゲート酸化膜上にセレクトゲートを形成する段階とからなることを特徴とするフラッシュメモリ素子の製造方法。

【請求項2】

前記第1及び第2マスクは感光膜からなることを特徴とする請求項1記載のメモリ素子の製造方法。

## 【請求項 3】

前記絶縁膜は窒化膜であることを特徴とする請求項 1 記載のフラッシュメモリ素子の製造方法。

## 【請求項 4】

前記セレクトゲートはポリシリコン及びタングステンシリサイドが積層された構造であることを特徴とする請求項 1 記載のフラッシュメモリ素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明はフラッシュメモリ素子の製造方法に係り、特にスプリット型メモリセルの動作速度及び消去特性を向上させることができるようにしたフラッシュメモリ素子の製造方法に関する。

10

## 【0002】

## 【従来の技術】

一般に、フラッシュメモリセルはゲート電極の形態によってスタック型とスプリット型に区分される。

## 【0003】

以下、スプリット型のゲート電極を有するフラッシュメモリセルからなる従来のフラッシュメモリ素子の製造方法について説明する。

## 【0004】

図 1 a 乃至図 1 g は従来のフラッシュメモリ素子の製造方法を説明するための素子の断面図である。

20

## 【0005】

図 1 a は半導体基板 1 上に、トンネル酸化膜 2、フローティングゲート 3、誘電体膜 4 及びコントロールゲート 5 が積層された構造のゲート電極を形成した後、前記ゲート電極上に保護膜 6 及び反射防止膜 7 を順次形成した状態の断面図であり、前記保護膜 6 は T E O S のような酸化膜で形成し、前記反射防止膜 7 は酸化窒化膜で形成する。

## 【0006】

図 1 b は全体の上部面に第 1 感光膜 8 を形成した後 D D D (Double Doped Drain) 構造のドレイン領域を形成するために、ドレイン領域が形成されるべき部分の前記半導体基板 1 が露出されるように前記第 1 感光膜 8 をパターニングし、露出した部分の半導体基板 1 にリン P h のような不純物イオンを注入する状態の断面図である。

30

## 【0007】

図 1 c は前記第 1 感光膜 8 を除去した後、全体の上部面に第 2 感光膜 9 を形成し、前記ドレイン領域及びソース領域が形成されるべき部分の半導体基板 1 が露出するように前記第 2 感光膜 9 をパターニングした後、露出した半導体基板 1 にヒ素 A s のような不純物イオンを注入してソース領域 1 0 A 及びドレイン領域 1 0 B をそれぞれ形成した状態の断面図であり、前記図 1 b の不純物イオン注入によってドレイン領域 1 0 B は D D D 構造をもつ。

## 【0008】

図 1 d は前記第 2 感光膜 9 を除去した後、酸化工程を行って前記フローティングゲート 3 及びコントロールゲート 5 の側壁及び露出した半導体基板 1 の表面に酸化膜 1 1 を成長させた後、全体の上部面に絶縁膜 1 2 を形成した状態の断面図であり、前記酸化工程の際、前記ソース及びドレイン領域 1 0 A 及び 1 0 B の表面には注入されたイオンによって他の部分より厚い酸化膜 1 1 が成長される。

40

## 【0009】

図 1 e は全体の上部面に第 3 感光膜 1 3 を形成した後、前記ドレイン領域 1 0 B を含む一部分にのみ感光膜が残留するように前記第 3 感光膜 1 3 をパターニングし、露出部分の前記絶縁膜 1 2 を全面エッチングして、前記ゲート電極の側壁に絶縁膜スペーサ 1 2 A が形成されるようにした状態の断面図である。

50

## 【0010】

図1fは前記半導体基板1の表面に残留した酸化膜11及び前記第3感光膜13を順次除去した後、露出した部分の前記半導体基板1上にセレクトゲート酸化膜14を形成した状態の断面図である。

## 【0011】

図1gは全体の上表面にポリシリコン及びタングステンシリサイドを順次蒸着してポリシリコン層15及びタングステンシリサイド層16からなるセレクトゲートを形成した状態の断面図であり、図2のA1-A2部分を切り取った状態が示される。

## 【0012】

参考に、図2で説明されていない図面符号40は素子分離膜を形成するためのマスクであり、41はフローティングゲートを形成するためのポリシリコン層をパターニングするためのマスクである。

10

## 【0013】

ところが、かかる従来の方法は次のような問題点を有する。

## 【0014】

第1、前記工程によれば、前記絶縁膜スペーサ12Aを形成するためのマスク工程の際、前記ドレイン領域10Bと前記ドレイン領域10Bの両側部に形成されたゲート電極の一部にのみ前記第3感光膜13が残留する。従って、前記ゲート電極間の距離が約0.44 $\mu\text{m}$ の素子の場合、残留した前記絶縁膜12によって前記ゲート電極間の空間は0.15 $\mu\text{m}$ 程度に減少する。よって、前記タングステンシリサイド層16を形成するための蒸着工程の際オーバーハング(Overhang)が発生して層覆い不良が招かれるが、このような現象は前記絶縁膜スペーサ12Aが形成されていない部分でより激しく発生して前記タングステンシリサイド層16の膜厚不均一及び断線をもたらす。さらに、このように不良に形成されたタングステンシリサイド層16は後続の熱処理時に酸化によって断線される。従って、かかる問題点によって前記セレクトゲート(ワード線)の自体抵抗 $R_s$ が増加し、これによりセレクトゲートバイアスが所望の時間(0.6 $\mu\text{m}$ の場合、90nsec)内に伝達されない時間遅延が発生して素子の歩留りが減少してしまう。

20

## 【0015】

参考に、前記第3感光膜13を前記ドレイン領域10Bが露出されるようにパターニングする場合には前記酸化膜11を除去するためのエッチング工程の際、絶縁膜スペーサの下部にBOEのようなエッチング剤が侵透してアンダーカット(Under-cut)が誘発され、これにより露出したフローティングゲート3及びコントロールゲート5が前記セレクトゲートと接触するという問題が生ずる。

30

## 【0016】

第2、前記フラッシュメモリセルは、前記コントロールゲート5に印加される電位と前記ドレイン領域10Bに印加される電位との差によって発生する電界を用いるF-Nトンネリング方式によって消去される。従って、前記フローティングゲート3とドレイン領域10Bとの重畳面積が狭いほど良好な消去特性を有する。即ち、電界は面積が狭いほど増加し、トンネリング効果は相対的に増加して良好な消去特性を有する。しかし、従来のメモリセルは前記フローティングゲート3と前記ドレイン領域10Bとの重畳面積が約0.145 $\mu\text{m}$ 程度に広いため消去特性が不良であり、現在は前記のような方法で重畳面積を減少させ難い実状である。

40

## 【0017】

## 【発明が解決しようとする課題】

従って、本発明の目的はゲート電極の両側壁に絶縁膜スペーサを形成した後、ドレイン領域を形成することにより、前記短所を解消することができるフラッシュメモリ素子の製造方法を提供することにある。

## 【0018】

## 【課題を解決するための手段】

前記目的を達成するための本発明に係るフラッシュメモリ素子の製造方法は、半導体基

50

板上に、トンネル酸化膜、フローティングゲート、誘電体膜及びコントロールゲートを形成する段階と、ソース領域が形成されるべき部分の前記半導体基板が露出されるようにゲート電極を含む前記半導体基板上に第1マスクを形成した後、イオン注入工程を行ってソースを形成する段階と、前記第1マスクを除去した後、前記フローティングゲート及び前記コントロールゲートの側壁に酸化膜が形成されるようにした後、全体構造の表面に沿って絶縁膜を形成する段階と、前記絶縁膜を全面エッチングして前記ゲート電極の両側壁に絶縁膜スペーサが形成されるようにする段階と、前記ゲート電極の間の前記半導体基板が露出されるように第2マスクを形成し、イオン注入工程を行って前記ゲート電極の間にDDD構造を持つドレインを形成する段階と、前記第2マスクを除去した後、露出した前記半導体基板にセレクトゲート酸化膜を形成し、前記セレクトゲート酸化膜上にセレクトゲートを形成する段階とからなることを特徴とする。

10

【0020】

【発明の実施の形態】

以下、添付図に基づいて本発明を詳細に説明する。

【0021】

図3a乃至図3gは本発明に係るフラッシュメモリ素子の製造方法を説明するための素子の断面図であり、図4を参照して説明すると、次の通りである。

【0022】

図3aは半導体基板21上に、トンネル酸化膜22、フローティングゲート23、誘電体膜24及びコントロールゲート25が積層された構造のゲート電極を形成した後、前記ゲート電極上に保護膜26及び反射防止膜27を順次形成した状態の断面図であり、前記保護膜26はTEOSのような酸化膜で形成し、前記反射防止膜27は酸化窒化膜で形成する。

20

【0023】

図3bは全体の上表面に第1感光膜28を形成した後、ソース領域が形成されるべき部分の前記半導体基板21が露出されるように前記第1感光膜28をパターンニングし、露出した前記半導体基板21にヒ素Asのような不純物イオンを注入してソース領域29Aを形成した状態の断面図である。

【0024】

図3cは前記第1感光膜28を除去した後、酸化工程を行って前記フローティングゲート23及びコントロールゲート25の側壁及び露出した半導体基板21の表面に酸化膜30が成長されるようにした後、全体の上表面に窒化膜のような絶縁膜31を形成した状態の断面図であり、前記酸化工程の際、前記ソース領域29Aの表面には注入されたイオンによって他の部分より厚い酸化膜30が成長される。

30

【0025】

図3dは前記絶縁膜31を全面エッチングして前記ゲート電極の両側壁に絶縁膜スペーサ31Aを形成した状態の断面図であり、この際、図4に示すようにソース領域29A、セレクトチャンネル及びゲート電極部分が露出されるようにマスク52を形成する。

【0026】

図3eは前記半導体基板21上に残留した前記酸化膜30及び前記マスク52を除去した後、全体の上表面に第2感光膜32を形成し、ドレイン領域の前記半導体基板21が露出されるように前記第2感光膜32をパターンニングした後、露出した部分の前記半導体基板21に不純物イオンを注入してDDD構造を有するドレイン領域29Bを形成した状態の断面図である。

40

【0027】

図3fは前記第2感光膜32を除去した後、前記半導体基板21にセレクトゲート酸化膜33を形成した状態の断面図である。

【0028】

図3gは全体の上表面にポリシリコン及びタングステンシリサイドを順次蒸着してポリシリコン層34及びタングステンシリサイド層35からなるセレクトゲートを形成した状態

50

の断面図であり、図4のB1 - B2部分を切り取った状態が示される。

【0029】

参考に、図4で説明していない図面符号50は素子分離膜を形成するためのマスクであり、51はフローティングゲートを形成するためのポリシリコン層をパターンニングするためのマスクである。

【0030】

このように前記ゲート電極の両側壁に絶縁膜スペーサ31Aが形成されるようにすることで、前記タングステンシリサイドの蒸着時に層覆いが良好になって均一な厚さの線幅を得ることができ、前記セレクトゲートを形成するためのパターンニング工程時にブリッジ(Bridge)防止のために実施するストリンガー(Stringer)除去工程で多少オーバーエッチングが行われてアンダーカットが発生しても安定的なワード線抵抗を得ることができる。ワード線抵抗の低いメモリセルを形成すると、時間遅延による不良を防止することができる。現在0.6 μmの線幅を有するメモリセルの場合、ワードライン抵抗が30乃至100 / であるが、本発明によれば、ワードライン抵抗を200 / 以下に減少させることができる。

10

【0031】

また、本発明は絶縁膜スペーサ31Aを形成した後、ドレイン領域29Bを形成することにより、フローティングゲート23とドレイン領域29Bとの重畳面積が従来の技術より減少して消去特性が向上し、前記酸化膜30を形成した後ドレイン領域29Bを形成することにより、熱処理段階が従来の技術より減少してドレイン領域29Bの自体抵抗も減少する。従って、これによる素子の特性向上が期待される。

20

【0032】

上述したように本発明はフローティングゲート23とドレイン領域29Bとの重畳面積を減少させて消去特性を向上させる。しかし、本発明を利用する場合、前記絶縁膜スペーサ31Aの大きさが増加してフローティングゲート23とドレイン領域29Bとの重畳が行われなこともあるが、このような場合には消去動作が行われなため、本発明は次のような別の実施例を提供する。

【0033】

まず、前記図3a乃至図3cの説明に従って前記酸化膜30形成工程まで行う。そして、図3eに示すように、前記ドレイン領域29Bを形成する。このようにドレイン領域29Bが形成されると、熱処理を行い、図3cに示すように絶縁膜31を形成した後全面エッチングして、図3dに示すように前記ゲート電極の両側壁に絶縁膜スペーサ31Aが形成されるようにする。その後、前記半導体基板21上に残留した前記酸化膜30及び前記全面エッチング工程時に用いられたマスク52を除去し、図3f及び図3gに示すようにセレクトゲート酸化膜33及びセレクトゲートを形成する。

30

【0034】

【発明の効果】

以上説明したように、本発明はゲート電極の両側壁に絶縁膜スペーサを形成した後ドレイン領域を形成することにより、(1)ゲート電極側壁の傾斜度を減少させることができ、(2)フローティングゲートとドレイン領域との重畳面積が減少し、(3)チャンネル長の増加を成すことができる。従って、ゲート電極側壁の傾斜度の減少によってセレクトゲートを形成するためのタングステンシリサイドの蒸着時に層覆いが良好になり、これによりセレクトゲート(ワード線)の自体抵抗が効果的に減少して時間遅延による不良の発生が防止される。そして、フローティングゲートとドレイン領域との重畳面積の減少によってメモリセルの消去特性が向上し、これによる素子の歩留り増大が期待される。尚、チャンネル長の増加は高集積素子のパンチスルー(Punch-Through)特性を改善することができるという効果を得る。

40

【図面の簡単な説明】

【図1】図1a乃至図1gは従来のフラッシュメモリ素子の製造方法を説明するための素子の断面図である。

50

【図2】図2は従来のフラッシュメモリ素子を説明するためのレイアウト図である。

【図3】図3 a乃至図3 gは本発明に係るフラッシュメモリ素子の製造方法を説明するための素子の断面図である。

【図4】本発明に係るフラッシュメモリ素子を説明するためのレイアウト図である。

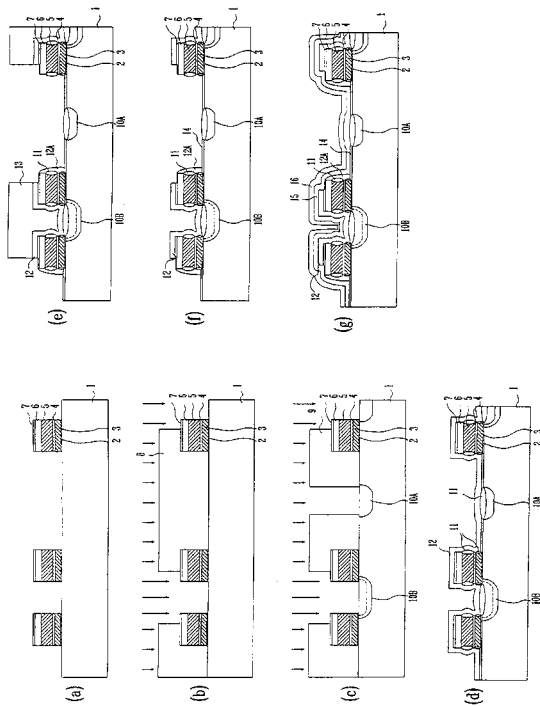
【符号の説明】

- 1, 21 半導体基板
- 2, 22 トンネル酸化膜
- 3, 23 フローティングゲート
- 4, 24 誘電体膜
- 5, 25 コントロールゲート
- 6, 26 保護膜
- 7, 27 反射防止膜
- 8, 28 第1感光膜
- 9, 32 第2感光膜
- 10A, 29A ソース領域
- 10B, 29B ドレイン領域
- 11, 30 酸化膜
- 12, 31 絶縁層
- 12A, 31A 絶縁膜スペーサ
- 13 第3感光膜
- 14, 33 セレクトゲート酸化膜
- 15, 34 ポリシリコン層
- 16, 25 タングステンシリサイド層
- 40, 41, 50, 51, 52 マスク

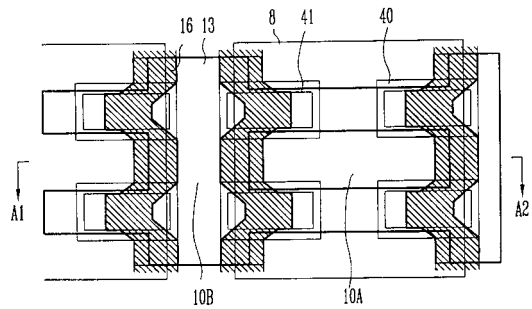
10

20

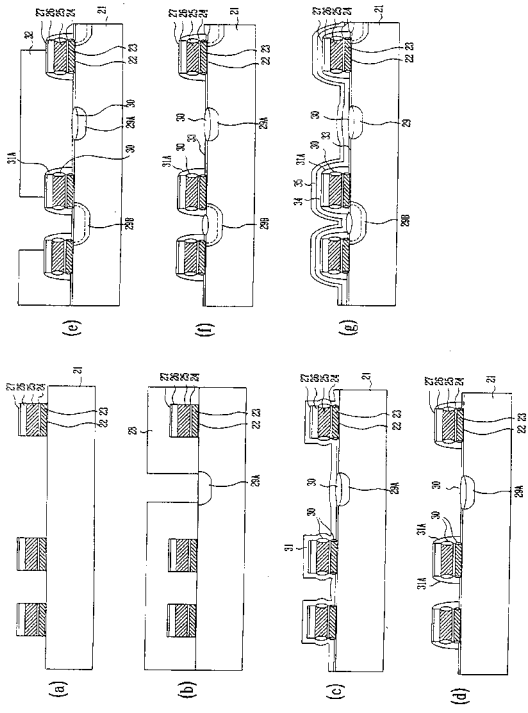
【図1】



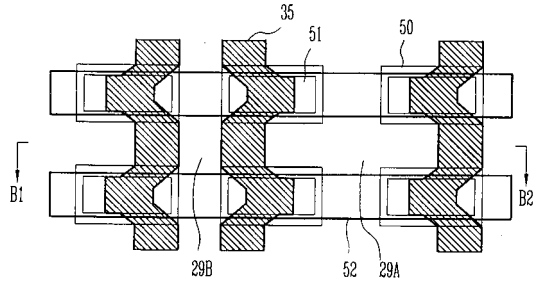
【図2】



【図3】



【図4】



## フロントページの続き

(72)発明者 辛 永 基

大韓民国 京畿道 利川市 夫鉢邑 新河里 396番地 ハンスンピラ ラ - 108

(72)発明者 朴 丙 洙

大韓民国 ソウル市 龍山区 孝昌洞 3-227番地 現代電子社員アパートメント107-706

(72)発明者 李 熙 烈

大韓民国 京畿道 利川市 夫鉢邑 牙美里 現代3次アパートメント301-408

審査官 井原 純

(56)参考文献 米国特許第05856223(US, A)

特開平11-265994(JP, A)

米国特許第05280446(US, A)

米国特許第04868619(US, A)

特開平11-054638(JP, A)

特開平10-242436(JP, A)

特開平09-321255(JP, A)

特開平10-012752(JP, A)

特開平10-050867(JP, A)

特開平09-246409(JP, A)

特開平08-088337(JP, A)

特開平10-065027(JP, A)

特開平10-022482(JP, A)

特開平11-260940(JP, A)

特開平09-293842(JP, A)

特開平10-116925(JP, A)

特開平11-150251(JP, A)

特開平10-150173(JP, A)

特開平11-074387(JP, A)

特開平10-022404(JP, A)

米国特許第05607871(US, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792