



(12) 发明专利申请

(10) 申请公布号 CN 114629493 A

(43) 申请公布日 2022.06.14

(21) 申请号 202210277668.5

(51) Int.Cl.

(22) 申请日 2018.07.19

H03K 19/0185 (2006.01)

H03K 19/21 (2006.01)

(30) 优先权数据

62/534,209 2017.07.19 US

62/590,352 2017.11.23 US

15/956,709 2018.04.18 US

(62) 分案原申请数据

201810799479.8 2018.07.19

(71) 申请人 円星科技股份有限公司

地址 中国台湾新竹县

(72) 发明人 章晋祥 张原熏 吕岳全 王怀德

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

专利代理师 周永君 叶明川

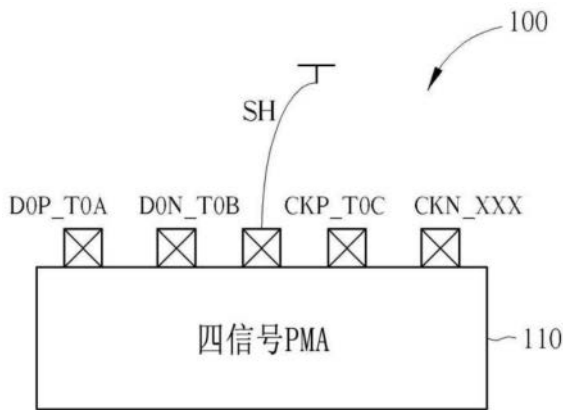
权利要求书2页 说明书14页 附图17页

(54) 发明名称

用于多线接口的实体层电路

(57) 摘要

本发明公开了一种实体层电路,具体包含:N个信号接垫,包含至少四个或六个信号接垫;四信号或六信号实体媒介附加子层;以及M个屏蔽接垫。M个屏蔽接垫包含第一屏蔽接垫耦接于所述四信号实体媒介附加子层、或者第一至第三屏蔽接垫耦接于所述六信号实体媒介附加子层。其中,所述第一屏蔽接垫位于所述信号接垫中的一第二信号接垫与一第三信号接垫之间;所述第二屏蔽接垫位于所述信号接垫中的所述第三信号接垫与一第四信号接垫之间;所述第三屏蔽接垫位于所述信号接垫中的所述第四信号接垫与一第五信号接垫之间且M与N为正整数。



1. 一种实体层电路,其特征在于,所述实体层电路包含:
N个信号接垫,包含至少四个信号接垫;
一四信号实体媒介附加子层,耦接于所述四个信号接垫;以及
M个屏蔽接垫,包含至少一第一屏蔽接垫所述四信号实体媒介附加子层;
其中所述第一屏蔽接垫位于所述四个信号接垫中的一第二信号接垫与一第三信号接垫之间,且M与N为正整数。

2. 根据权利要求1所述的实体层电路,其特征在于,当所述四信号实体媒介附加子层运作于一第一实体层模式时,所述N个信号接垫中每两个信号接垫被设置为同一通道,以及当所述四信号实体媒介附加子层运作于一第二实体层模式时,所述N个信号接垫中每三个信号接垫被设置为同一通道。

3. 一种实体层电路,其特征在于,所述实体层电路包含:
N个信号接垫,包含至少六个信号接垫;
一六信号实体媒介附加子层,耦接于所述六个信号接垫;以及
M个屏蔽接垫,包含至少一第一屏蔽接垫、一第二屏蔽接垫以及一第三屏蔽接垫,分别耦接于所述六信号实体媒介附加子层;

其中所述第一屏蔽接垫位于所述六个信号接垫中的一第二信号接垫与一第三信号接垫之间;所述第二屏蔽接垫位于所述六个信号接垫中的所述第三信号接垫与一第四信号接垫之间;所述第三屏蔽接垫位于所述六个信号接垫中的所述第四信号接垫与一第五信号接垫之间,其中M与N为正整数。

4. 根据权利要求3所述的实体层电路,其特征在于,当所述六信号实体媒介附加子层运作于一第一实体层模式时,所述N个信号接垫中每两个信号接垫被设置为同一通道,以及当所述六信号实体媒介附加子层运作于一第二实体层模式择时,所述N个信号接垫中每三个信号接垫被设置为同一通道。

5. 一种实体层电路,其特征在于,所述实体层电路包含:
N个信号接垫,包含至少四个信号接垫;
一四信号实体媒介附加子层,耦接于所述四个信号接垫,包含:
一四信号终端电路,耦接于所述四个信号接垫,包含:
四个可调式电阻性元件,每一个分别耦接于所述四个信号接垫中的一个;
一导线,耦接于一第一可调式电阻性元件的一个端点与一第二可调式电阻性元件的一个端点之间;

一第一开关,选择性地耦接于所述第二可调式电阻性元件的所述端点与一第三可调式电阻性元件的一个端点之间;以及

一第二开关,选择性地耦接于所述第三可调式电阻性元件的所述端点与一第四可调式电阻性元件的一个端点之间;

其中所述第一开关通过一开关控制信号所控制,所述第二开关通过所述开关控制信号的反相版本所控制。

6. 一种实体层电路,其特征在于,所述实体层电路包含:
N个信号接垫,包含至少六个信号接垫;
一六信号实体媒介附加子层,耦接于所述六个信号接垫,包含:

一六信号终端电路,耦接于所述六个信号接垫,包含:

六个可调式电阻性元件,每一个分别耦接于所述六个信号接垫中的一个;

一第一导线,耦接于一第一可调式电阻性元件的一个端点与一第二可调式电阻性元件的一个端点之间;

一第二导线,耦接于一第五可调式电阻性元件的一个端点与一第六可调式电阻性元件的一个端点之间;

一第一开关,选择性地耦接于所述第二可调式电阻性元件的所述端点与一第三可调式电阻性元件的一个端点之间;以及

一第二开关,选择性地耦接于所述第三可调式电阻性元件的所述端点与一第四可调式电阻性元件的一个端点之间;

一第三开关,选择性地耦接于所述第四可调式电阻性元件的所述端点与一第五可调式电阻性元件的所述端点之间;

其中所述第一开关与所述第三开关通过一开关控制信号所控制,以及所述第二开关通过所述开关控制信号的反相版本所控制。

用于多线接口的实体层电路

[0001] 本发明是申请日为2018年07月19日、申请号为201810799479.8、发明名称为“用于多线接口的实体层电路”的分案申请。

技术领域

[0002] 本发明关于多线数据接口,尤指适用于多线数据接口的不同实体层模式的实体层电路和实体媒介附加子层。

背景技术

[0003] 如智能手机之类的移动装置,内部包含各种不同用途的元件,例如应用处理器(application processor)、显示器、CMOS图像感测器等。这些元件需要通过实体接口进行互连,例如,应用处理器可以通过一个接口,向显示器提供帧数据,以呈现视觉内容。或者,CMOS图像感测器可以通过一个接口,向应用处理器提供感测到的图像数据,以输出照片或视频。

[0004] 由移动产业处理器界面(Mobile Industry Processor Interface,MIPI)联盟所制定的MIPI规范被广泛应用在上述移动装置的元件间信号通信和数据传输。MIPI D-PHY是MIPI规范之一。在MIPI D-PHY接口中,通过一个时脉通道和一到四个数据通道来进行实现通信。每个数据通道包含差动信号对。时脉通道用于传输差动时脉信号,而每个数据道用于传输差动数据信号。

[0005] 为了满足特定数据(例如图像数据)的高速传输要求,MIPI联盟新开发且定义了MIPI C-PHY规范。在MIPI C-PHY接口中,通过三条信号线来进行通信。信号线分别传输三数值(three-valued)信号,三数值信号可以转换成二进位逻辑信号。MIPI C-PHY的一个特征是将时脉嵌入在数据信号中,接收端在接收数据信号时执行时脉与数据回复。

[0006] 虽然MIPI C-PHY接口可以有效地实现高速信号通信并可以提供高吞吐量,但是这个接口对于移动装置中的所有元件和需求并非是必要的。所以若供应商能够提供同时适用于这两种规范的功能块(functional block)和/或集成电路,对制造商来说是相当乐见的。因此,有必要提供支援MIPI D-PHY和MIPI C-PHY规范的集成电路或半导体装置。

发明内容

[0007] 本发明的一个目的是提供适用于多线(multi-wire)接口的不同实体层模式的实体层电路与多信号实体媒介附加子层。本发明所提出的实体层电路和实体媒介附加子层在设计上已经考虑了不同实体层模式,例如MIPI D-PHY和MIPI C-PHY,之间的信号特性差异。从而实现了一种二合一的实体层(combo PHY)设备,其可无缝地与基于MIPI D-PHY的设备或基于MIPI C-PHY的设备进行连接。

[0008] 本发明的实施例提供一种实体层电路,所述实体层电路包含:N个信号接垫,包含至少四个信号接垫;一四信号实体媒介附加子层耦接于所述四个信号接垫;以及M个屏蔽接垫,包含至少一第一屏蔽接垫耦接于所述四信号实体媒介附加子层。其中,所述第一屏蔽接

垫位于所述四个信号接垫中的一第二信号接垫与一第三信号接垫之间,且M与N为正整数。

[0009] 本发明的实施例提供一种实体层电路,所述实体层电路包含:N个信号接垫,包含至少六个信号接垫;一六信号实体媒介附加子层耦接于所述六个信号接垫;以及M个屏蔽接垫,包含至少一第一屏蔽接垫、一第二屏蔽接垫以及一第三屏蔽接垫,分别耦接于所述六信号实体媒介附加子层。其中,所述第一屏蔽接垫位于所述六个信号接垫中的一第二信号接垫与一第三信号接垫之间;所述第二屏蔽接垫位于所述六个信号接垫中的所述第三信号接垫与一第四信号接垫之间;所述第三屏蔽接垫位于所述六个信号接垫中的所述第四信号接垫与一第五信号接垫之间,其中M与N为正整数。

[0010] 本发明的实施例提供一种实体层电路,所述实体层电路包含:N个信号接垫,包含至少四个信号接垫;以及一四信号实体媒介附加子层耦接于所述四个信号接垫。所述四信号实体媒介附加子层还包含一四信号终端电路。所述四信号终端电路包含:四个可调式电阻性元件,每一个分别耦接于所述四个信号接垫中的一个;一导线,耦接于一第一可调式电阻性元件的一个端点与一第二可调式电阻性元件的一个端点之间;一第一开关,选择性地耦接于所述第二可调式电阻性元件的一个端点与一第三可调式电阻性元件的一个端点之间;以及一第二开关,选择性地耦接于所述第三可调式电阻性元件的所述端点与一第四可调式电阻性元件的一个端点之间。其中,其中所述第一开关通过一开关控制信号所控制,所述第二开关通过所述开关控制信号的反相版本所控制。

[0011] 本发明的实施例提供一种实体层电路,所述实体层电路包含:N个信号接垫,包含至少六个信号接垫;一六信号实体媒介附加子层,耦接于所述六个信号接垫。所述六信号实体媒介附加子层包含:一六信号终端电路,耦接于所述六个信号接垫。所述六信号终端电路包含:六个可调式电阻性元件,每一个分别耦接于所述六个信号接垫中的一个;一第一导线,耦接于一第一可调式电阻性元件的一个端点与一第二可调式电阻性元件的一个端点之间;一第二导线,耦接于一第五可调式电阻性元件的一个端点与一第六可调式电阻性元件的一个端点之间;一第一开关,选择性地耦接于所述第二可调式电阻性元件的所述端点与一第三可调式电阻性元件的一个端点之间;以及一第二开关,选择性地耦接于所述第三可调式电阻性元件的所述端点与一第四可调式电阻性元件的一个端点之间;一第三开关,选择性地耦接于所述第四可调式电阻性元件的所述端点与一第五可调式电阻性元件的所述端点之间。其中所述,第一开关与所述第三开关通过一开关控制信号所控制,以及所述第二开关通过所述开关控制信号的反相版本所控制。

附图说明

[0012] 图1为本发明实施例中一个包含支援双线通道PHY模式和三线通道PHY模式的四信号PMA的PHY电路。

[0013] 图2为本发明实施例如何减少PMA中的解序列器数量。

[0014] 图3为本发明实施例中一个包含支援双线通道PHY模式和三线通道PHY模式的六信号PMA的PHY电路。

[0015] 图4为本发明实施例如何利用时脉信号处理不同阶段的数据信号。

[0016] 图5为本发明实施例中用于包含四信号PMA的PHY电路的信号接垫布置方式。

[0017] 图6为本发明实施例中用于包含六信号PMA的PHY电路的信号接垫布置方式。

- [0018] 图7与图8为包含静电放电防护以及接垫屏蔽的信号接垫布置方式。
- [0019] 图9A-图9C为现有技术中适用于双线通道PHY模式和三线通道PHY模式的终端电路。
- [0020] 图10A-图10D为本发明实施例中适用于四信号PMA的终端电路。
- [0021] 图11A-图11D为本发明实施例中适用于六信号PMA的终端电路。
- [0022] 图12为本发明的一个实施例中用于三线通信连线的接收器中的CDR电路。
- [0023] 图13为关于具有工作周期校正电路的CDR电路的信号时序图。
- [0024] 图14为工作周期校正电路的一个实施例的详细电路图。
- [0025] 图15与图16解释图14的工作周期校正电路的运作的信号时序图。
- [0026] 图17为工作周期校正电路的另一个实施例的详细电路图。
- [0027] 图18解释图17的工作周期校正电路的运作的信号时序图。
- [0028] 图19为本发明的另一个实施例中用于三线通信连线的接收器中的CDR电路。
- [0029] 图20解释图19的延迟校正电路的运作的信号时序图。
- [0030] 附图标号
- | | | |
|--------|-------------------------------|----------|
| [0031] | 800、900、110、210、411、412 | 实体媒介附加子层 |
| [0032] | 600 | 终端电路 |
| [0033] | 811-813、911-916 | 差动放大器 |
| [0034] | 821、822、1110、1112、921、923、925 | S/H电路 |
| [0035] | 823、1111、922、924、1010、1200 | CDR电路 |
| [0036] | 831、832、833、1120、931-935、1020 | 解序列器 |
| [0037] | 840、1130、941、942、1030 | 缓冲器 |
| [0038] | 845、1035、943、944 | 符元解码器 |
| [0039] | 850、1040、951、952 | 数据处理单元 |
| [0040] | 100、200、300、400 | 实体层电路 |
| [0041] | 320、322、420、422 | ESD防护电路 |
| [0042] | 330、430 | 实体编码子层 |
| [0043] | 500、600、700 | 终端电路 |
| [0044] | 1210-1223、2011-2013 | 延迟单元 |
| [0045] | 1221-1223、2021-2023、2091-2092 | XOR闸 |
| [0046] | 1231-1233、2031-2033 | 锁存器 |
| [0047] | 1240、2040 | OR闸 |
| [0048] | 1250、1500、1800 | 工作周期校正电路 |
| [0049] | 1260、2060 | 对齐延迟单元 |
| [0050] | 1281-1282、2081-2082 | 取样单元 |
| [0051] | 1271-1272、2071-2072 | 除频器 |
| [0052] | 1511-1512 | 选择器 |
| [0053] | 1520 | TDC |
| [0054] | 1530、1820 | 数字控制逻辑 |
| [0055] | 1540、1830 | NAND闸 |

[0056]	1550、1840	可编程延迟线
[0057]	1810	比较器
[0058]	2000	延迟调整单元

具体实施方式

[0059] 在以下内文中,描述了许多具体细节以提供阅读者对本发明实施例的透彻理解。然而,本领域的技术人士将能理解,如何在缺少一个或多个具体细节的情况下,或者利用其他方法或元件或材料等来实现本发明。在其他情况下,众所周知的结构、材料或操作不会被示出或详细描述,从而避免模糊本发明的核心概念。

[0060] 说明书中提到的“一实施例”意味着该实施例所描述的特定特征、结构或特性可能被包含于本发明的至少一个实施例中。因此,本说明书中各处出现的“在一实施例中”不一定意味着同一个实施例。此外,前述的特定特征、结构或特性可以以任何合适的形式在一个或多个实施例中结合。

[0061] 本发明主要在接收器的实体层电路(PHY)中提供四信号(four-signal)实体媒介附加子层(physical medium attachment sublayer,PMA)和/或六信号(six-signal)PMA,用于与符合MIPI C-PHY规范或其他类型使用三条信号线来形成通道的PHY规范(以下称为三线通道(three-wire lane)PHY),以及与符合MIPI C-PHY规范或其他类型使用两条信号线来形成通道的PHY规范(以下称为双线通道(two-wire lane)PHY)进行通信连线。在本发明的实施例中,四信号PMA和六信号PMA可以以智慧财产权(intellectual property,IP)核心,IP方块或功能方块的形式实现,以提高设计生产率并使高度复杂的集成电路开发易于管理。

[0062] 本发明的四信号PMA和六信号PMA都可以设置为与运作在MIPI D-PHY模式(或其他类型的双线通道PHY模式)和MIPI C-PHY模式(或其他类型的三线通道PHY模式)之一。对于它们中的每一者,四信号PMA可以为一个通信连线提供两个“双线”通道或一个“三线”通道,而六信号PMA可以为一个通信连线提供三个“双线”通道或两个“三线”通道”。

[0063] 由于这些不同PHY模式的信号特性,需要不同的信号处理过程/硬件资源来处理符合不同PHY规范的信号。如下列内文所述,本发明提供了用于四信号和六信号PMA的接垫布置方式、终端电路、解序列结构和时脉与数据回复电路。

[0064] 发明整体

[0065] 请参考图1,其为根据本发明实施例的PHY电路的一部分的示意图。如图所示,PHY电路包括四信号PMA 800和四个信号接垫D0P_TOA、DON_TOB、D1P_TOC和D1N,以及四信号终端电路600。信号接垫D0P_TOA、DON_TOB、D1P_TOC和D1N分别耦接至四信号PMA 800中的差动放大器811-813。四信号终端电路600还分别耦接到信号接垫D0P_TOA、DON_TOB、D1P_TOC和D1N。因此,差动放大器811-813分别耦接到终端电路600。

[0066] 通常,本实施例中的四信号PMA 800支援双线通道的PHY模式(例如MIPI D-PHY)和三线通道的PHY模式(例如MIPI C-PHY)。当四信号PMA 800被设配置为MIPI D-PHY模式且在MIPI D-PHY模式下操作于进行MIPI D-PHY的通信连线时,它可以支援2个双线通道,信号接垫D0P_TOA和DON_TOB连接到第一个双线通道,而信号接垫D1P_TOC和D1N连接到第二个双线通道。或者,当四信号PMA 800被设置为MIPI C-PHY模式且在MIPI C-PHY模式下操作于进行

MIPI C-PHY的通信连线时,信号接垫DOP_TOA,DON_TOB和D1P_TOC被连接到一个三线通道。

[0067] 在MIPI D-PHY模式/信号连线的情形中,信号接垫DOP_TOA和DON_TOB耦接到差动放大器811,并且差动放大器811基于信号接垫DOP_TOA和DON_TOB上的信号之间的差异输出差动信号D0。信号接垫D1P_TOC和D1N通过开关耦接到差动放大器813,并且差动放大器813基于信号接垫D1P_TOC和D1N上的信号之间的差异输出差动信号D1。此外,一第一信号处理区块耦接到差动放大器811。并且,当四信号PMA 800以MIPI D-PHY模式操作时,该第一信号处理区块用于处理差动信号D0。一第三信号处理区块耦接到差动放大器811。并且,当四信号PMA 800以MIPI D-PHY模式操作时,该第三信号处理区块用于处理差动信号D1。

[0068] 在一个实施例中,该第一信号处理区块至少包含取样与保持(sample and hold, S/H)电路821。S/H电路821根据差动信号D0产生序列数据信号D0[1:0]和时脉信号D0_CK。第三信号处理区块至少包括S/H电路823,并且S/H电路823根据差动信号D1产生序列数据信号D1[1:0]和时脉信号D1_CK。

[0069] 在一个实施例中,第一信号处理区块还可以包括2至8解序列器(2-to-8 deserializer) 831,其耦接到S/H电路821。S/H电路821输出数据信号D0[1:0]和时脉信号D0_CK到2至8解序列器831。2至8解序列器831对它们进行解序列操作,以产生多个并列数据信号D0[7:0]和时脉信号D0_BCK。第三信号处理区块还可以包括2至8解序列器833,其耦接到S/H电路823。S/H电路823将数据信号D1[1:0]和时脉信号D1_CK输出到2至8解序列器833。2至8解序列器833对它们进行解序列操作,以产生多个并列数据信号D1[7:0]和时脉信号D1_BCK。

[0070] 在MIPI C-PHY模式/信号连线的情形中,信号接垫DOP_TOA、DON_TOB与D1P_TOC耦接到差动放大器811-813。差动放大器811基于信号接垫DOP_TOA和DON_TOB上的信号之间的差异输出差动信号TOAB。差动放大器812基于信号接垫D1P_TOC与DOP_TOA上的信号之间的差异输出差动信号TOCA。差动放大器813基于信号接垫DOP_TOB与D1P_TOC上的信号之间的差异输出差动信号TOBC。差动放大器811-813耦接至一第二信号处理区块。当四信号PMA 800以MIPI C-PHY模式操作时,该第二信号处理区块用于处理差动信号TOAB、TOBC与TOCA。

[0071] 在一实施例中,第二信号处理区块至少包含C-PHY时脉与数据恢复(Clock and data recovery, CDR)电路822,并且C-PHY CDR电路822根据差动信号TOAB、TOBC、和TOCA产生一组序列数据信号TOAB[1:0]、TOBC[1:0]和TOCA[1:0]以及相应的时脉信号TO_CK。

[0072] 在一个实施例中,第二信号处理区块至少包含耦接到C-PHY CDR电路822的2至8解序列器832。C-PHY CDR电路822输出信号TOAB[1:0]、TOBC[1:0]与TOCA[1:0]和TO_CK到2至8解序列器832。2至8解序列器832根据时脉信号TOCK,对信号TOAB[1:0]、TOBC[1:0]与TOCA[1:0]进行解序列操作,从而产生一组并行数据信号TOAB[7:0]、TOBC[7:0]、TOCA[7:0]和相应的时脉信号TO_BCK。

[0073] 2至8解序列器832进一步耦接到8至7先进先出缓冲器(first-in, first-out buffer, FIFO) 840,并且8至7 FIFO 840将8位元数据信号TOAB[7:0]、TOBC[7:0]与TOCA[7:0]转换为7位元长。8至7 FIFO 840耦接到7符元解码单元(7-symbol decoding unit) 845。7符元解码单元845用于解码从8至7 FIFO 840读取出的数据信号,从而产生数据符元。7符元解码单元845耦接到数据处理单元850。数据处理单元850用于处理7符元解码单元845输出的数据符元。数据处理单元850可包括7符元至16位元解映射器(demapper),用于将从7符元

解码单元845所接收的每7个符元解映射为16位元数据字组。

[0074] 此外,8至7 FIFO 840、7符元解码单元845和数据处理单元850共同作为为四信号PMA 800中的C-PHY解码处理器860。此外,四信号PMA 800中的8至7 FIFO和7符元解码单元的顺序是可互换的。根据本发明的不同实施例,符元解码单元可以设置在FIFO之前(可参考申请人的美国专利申请案,案号为15/956,709,其中公开了符元解码单元在FIFO之前的架构)。

[0075] 由于四信号PMA 800可能不会同时操作在MIPI D-PHY模式与MIPI C-PHY模式中,因此可以减少配置在四信号PMA 800中的2至8解序列器的数量。请参考图2以更进一步理解。当操作MIPI D-PHY模式中时,S/H电路1110和1112可以共享同一个2至8解序列器1120,并且2至8解序列器1120分别根据时脉信号D0_CK和D1_CK,对数据信号D0[1:0]和D1[1:0]进行解序列化。另一方面,当在MIPI C-PHY模式中操作时,C-PHY CDR电路1111仅需要一个2至8解序列器1120,并且2至8解序列器1120根据时脉信号T0_CK,对数据信号T0AB[1:0]、T0BC[1:0]和T0CA[1:0]进行解序列化。与图1中的四信号PMA 800所需的三个单独的解序列器831-833相较,这种实现方式显著地提高了电路面积利用效率。

[0076] 图3为可以支援MIPI D-PHY通信连线和MIPI C-PHY通信连线的本发明的另一实施例。如图所示,图3中的PHY电路包含六信号PMA 900、信号D0P_T0A、DON_T0B、D1P_T0C、D1N_T1A、D2P_T1B和D2N_T1C以及六信号终端电路700。信号接垫D0P_T0A、DON_T0B、D1P_T0C、D1N_T1A、D2P_T1B和D2N_T1C分别耦接到6信号PMA 900的差动放大器911-916。六信号终端电路700也分别耦接到信号接垫D0P_T0A、DON_T0B、D1P_T0C、D1N_T1A、D2P_T1B和D2N_T1C。因此,差动放大器911-916分别耦接到六信号终端电路700。

[0077] 当六信号PMA 900被设置为MIPI D-PHY模式,并在MIPI D-PHY模式下操作于基于MIPI D-PHY的通信连线中时,信号接垫D0P_T0A和DON_T0B被连接到MIPI D-PHY通信连线中的第一个双线通道,信号接垫D1P_T0C和D1N_T1A被连接到MIPI D-PHY通信连线中的第二个双线通道,并且接垫D2P_T1C和D2N_T1C被连接到MIPI D-PHY通信连线中的第三个双线通道。或者,当六信号PMA 900被设置为MIPI C-PHY模式,并在MIPI C-PHY模式下操作于基于MIPI C-PHY的通信连线中时,信号接垫D0P_T0A、DON_T0B和D1P_T0C被连接到MIPI C-PHY通信连线中的第一个三线通道,信号接垫D1N_T1A、D2P_T1B和D2N_T1C连接到MIPI C-PHY通信连线中的第二个三线通道。

[0078] 在MIPI D-PHY模式/通信连线的情况下,信号接垫D0P_T0A和DON_T0B耦接到差动放大器911,并且差动放大器911基于信号接垫D0P_T0A和DON_T0B上的信号之间的差异输出差动信号D0。信号接垫D1P_T0C和D1N_T1A通过开关耦接到差动放大器913,并且差动放大器913基于信号接垫D1P_T0C和D1N_T1A上的信号之间的差异输出差动信号D1。信号接垫D2P_T1B和D2N_T1C通过开关耦接到差动放大器916,并且差动放大器916基于信号接垫D2P_T1B和D2N_T1C上的信号之间的差异输出差动信号D2。此外,第一信号处理区块耦接到差动放大器911,并且当六信号PMA 900操作于MIPI D-PHY模式时,第一信号处理区块被用于处理差动信号D0。第三信号处理区块耦接到差动放大器913,并且当六信号PMA 900操作于MIPI D-PHY模式时,第三信号处理区块被用于处理差动信号D1。第五信号处理区块耦接到差动放大器916,并且当六信号PMA 900操作于MIPI D-PHY模式时,第五信号处理区块被用于处理差动信号D2。

[0079] 在一个实施例中,第一信号处理区块至少包括S/H电路921。S/H电路921根据信号D0,产生序列数据信号D0[1:0]和时脉信号D0_CK。第三信号处理区块至少包括S/H电路923,并且,S/H电路923根据信号D1,产生序列数据信号D1[1:0]和时脉信号D1_CK。第五信号处理区块至少包括S/H电路925,S/H电路925根据信号D2,产生序列数据信号D2[1:0]和时脉信号D2_CK。

[0080] 在一个实施例中,第一信号处理区块还可以包括2至8解序列器931,其耦接到S/H电路921。S/H电路921输出数据信号D0[1:0]和时脉信号D0_CK到2至8解序列器931。2至8解序列器931对这些信号进行解序列操作,以产生多个并列数据信号D0[7:0]和时脉信号D0_BCK。第三信号处理区块还可以包括2至8解序列器933,其耦接到S/H电路923。S/H电路923输出数据信号D1[1:0]和时脉信号D1_CK到2至8解序列器933。2至8解序列器933对这些信号进行解序列操作,以产生多个并列数据信号D1[7:0]和时脉信号D1_BCK。第五信号处理区块还可以包括2至8解序列器935,其耦接到S/H电路925。S/H电路925输出数据信号D2[1:0]和时脉信号D2_CK到2至8解序列器935。2至8解序列器935对这些信号进行解序列操作,以产生多个并列数据信号D2[7:0]和时脉信号D2_BCK。

[0081] 在MIPI C-PHY模式/通信连线的情况下,信号接垫D0P_T0A和D0N_T0B耦接到差动放大器911,并且差动放大器911基于信号接垫D0P_T0A和D0N_T0B上的信号之间的差异,输出差动信号T0AB。信号接垫D0P_T0A和D1P_T0C耦接到差动放大器912,并且差动放大器912基于信号接垫D0P_T0A和D1P_T0C上的信号之间的差异,输出差动信号T0CA。信号接垫D1P_T0C和D0N_T0B通过开关耦接到差动放大器913,并且差动放大器913基于信号接垫D1P_T0C和D0N_T0B上的信号之间的差异,输出差动信号T0BC。信号接垫D1N_T1A和D2P_T1B耦接到差动放大器914,差动放大器914基于信号接垫D1N_T1A和D2P_T1B上的信号之间的差异,输出差动信号T1AB。信号接垫D1N_T1A和D2N_T1C耦接到差动放大器915,并且差动放大器915基于信号接垫D1N_T1A和D2N_T1C上的信号之间的差异,输出差动信号T1CA。信号接垫D2P_T1B和D2N_T1C通过开关耦接到差动放大器916,并且差动放大器916基于信号接垫D2P_T1B和D2N_T1C上的信号之间的差异,输出差动信号T1BC。

[0082] 差动放大器911-913还耦接到一个第二信号处理区块。当六信号PMA 900被设置为MIPI C-PHY模式时,第二信号处理区块用于处理差动信号T0AB、T0BC和T0CA。差动放大器914-916还耦接到一个第四信号处理区块。当六信号PMA 900被设置为MIPI C-PHY模式时,第四信号处理区块用于处理差动信号T1AB、T1BC和T1CA。

[0083] 在一实施例中,第二信号处理区块至少包括C-PHY CDR电路922,并且C-PHY CDR电路922根据信号T0AB、T0BC和T0CA,产生一组序列数据信号T0AB[1:0]、T0BC[1:0]与T0CA[1:0]以及相应的时脉信号T0_CK。第四信号处理区块至少包括C-PHY CDR电路924,并且根据信号T1AB、T1BC和T1CA,产生一组序列数据信号T1AB[1:0]、T1BC[1:0]与T1CA[1:0]以及相应的时脉信号T1_CK。

[0084] 在一实施例中,第二信号处理区块还可以包括2至8解序列器932,其耦接到C-PHY CDR电路922。C-PHY CDR电路922输出信号T0AB[1:0]、T0BC[1:0]、T0CA[1:0]和T0_CK到2至8解序列器932。2至8解序列器932根据时脉信号T0CK,对信号T0AB[1:0]、T0BC[1:0]与T0CA[1:0]进行解序列操作,从而产生一组并列数据信号T0AB[7:0]、T0BC[7:0]、T0CA[7:0]和相应的时脉信号T0_BCK。第四信号处理区块还可以包括2至8解序列器934,其耦接到C-PHY

CDR电路924。C-PHY CDR电路924输出信号T1AB[1:0]、T1BC[1:0]、T1CA[1:0]和T1_CK到2至8解序列器934。2至8解序列器934根据时脉信号T1CK,对信号T1AB[1:0]、T1BC[1:0]与T1CA[1:0]进行解序列操作,从而产生一组并列数据信号T1AB[7:0]、T1BC[7:0]、T1CA[7:0]和相应的时脉信号T1_BCK。

[0085] 在一个实施例中,2至8解序列器932进一步耦合到8至7 FIFO 941,并且8至7 FIFO 941将8位元数据信号T0AB[7:0]、T0BC[7:0]、T0CA[7:0]转换为7位元长。8至7 FIFO 941耦接到7符元解码单元943。7符元解码单元943用于解码从8至7 FIFO 941中读取到的数据信号,从而产生数据符元。7符元解码单元943耦接到数据处理单元951。数据处理单元951用于处理由7符元解码单元943输出的数据符元。数据处理单元951可包括7符元至16位元解映射器,用于将从7符元解码单元943接收的每7个符元解映射成16位元数据字组。此外,8至7 FIFO 941、7符元解码单元943和数据处理单元951共同作用为六信号PMA 900中的C-PHY解码处理器960。此外,本发明的六信号PMA中的FIFO和符元解码单元的顺序是可互换的。根据本发明的各种实施例,符元解码单元亦可设置在FIFO之前(可参考申请人的美国专利申请案,案号为15/956,709,其中公开了符元解码单元在FIFO之前的架构)。

[0086] 2至8解序列器934进一步耦合到8至7 FIFO 942。8至7 FIFO 942将8位元的数据信号T1AB[7:0]、T1BC[7:0]与T1CA[7:0]转换为7位元长。8至7 FIFO 942耦接到7符元解码单元944。7符元解码单元944用于解码从8至7 FIFO 942中读取的数据信号,从而产生数据符元。7符元解码单元944耦接到数据处理单元952。数据处理单元952用于处理由7符元解码单元944输出的数据符元。数据处理单元952可包括7符元至16位元解映射器,用于将从7符元解码单元944接收的每7个符元解映射为16位数据字组。此外,8至7 FIFO 942、7符元解码单元944和数据处理单元952共同用作六信号PMA 900中的另一个C-PHY解码处理器970。

[0087] 如上所述,为了电路面积利用效率,可如图2所示的实施例一般,合并2至8解序列器931-933,亦可合并2至8解序列器934和935。

[0088] 图4为如何利用时脉信号处理不同阶段的数据信号。如图所示,2至8解序列器1020根据时脉信号TCK对数据信号AB[1:0]、BC[1:0]和CA[1:0]进行解序列操作,其中时脉信号TCK的频率为通信连线的符元率(symbol rate)的一半。8至7 FIFO 1030根据时脉信号BCK将8位元数据信号AB[7:0]、BC[7:0]与CA[7:0]转换为7位长的数据字组,其中时脉信号BCK的频率是符元率的1/8。7符元解码单元1035用于解码从8至7 FIFO 1030中读取的数据信号,以根据时脉信号SCK产生符元。数据处理单元1040耦接到7符号解码单元1035,并且被用于处理从7符元解码单元1035输出的符元。数据处理单元1040可以包括7符元至16位元的解映射器,其被设置为根据时脉信号SCK,将从7符元解码单元1035接收的每7个符元解映射成16位元数据字组,其中时脉信号SCK的频率是符元率的1/7。

[0089] 请注意,图1与图3的实施例中提到的任何特定位元数的数据宽度旨在用于说明目的而不是限制。本领域通常技术人员应可理解如何根据不同的应用和设计要求选择不同的数据宽度位数来设置其中的各个元件,例如四信号和六信号PMA中的解序列器,FIFO、与符元解码单元。

[0090] 接垫布置方式

[0091] 从图1和图3中的PHY电路发送的信号可能受到干扰,例如信号传输线之间的串扰(cross-talk)。因此,在各种设计中,通常应用了屏蔽(shielding)技术来减轻干扰。为了解

决这些问题,本发明提供一种创新的接垫布置方式(pad arrangement),以更合理和有效地使用并分配接垫,从而屏蔽干扰。

[0092] 图5为了根据本发明实施例接垫布置,其可用于包含四信号PMA的PHY电路。如图所示,PHY电路100包括四信号PMA 110,以及用于与其他集成电路/设备连接的信号接垫DOP_TOA、DON_TOB、CKP_TOC和CKN_XXX,其通过任何可能类型的导体耦合到四信号PMA 110。屏蔽接垫(shielding pad)SH耦接到地或电源电压,并且用于屏蔽信号接垫DOP_TOA和DON_TOB以防止与信号接垫CKP_TOC和CKN_XXX的干扰。

[0093] 四信号PMA 110可以被配置为双线通道PHY模式(例如,MIPI D-PHY)或三线通道PHY模式(例如,MIPI C-PHY)。在双线通道PHY模式中,信号接垫DOP_TOA和DON_TOB可以形成数据通道,而信号接垫CKP_TOC和CKN_XXX可以做为时脉通道。信号PMA 110通过信号接垫DOP_TOA和DON_TOB发送/接收一对数据信号,并通过信号接垫CKP_TOC和CKN_XXX发送/接收一对时脉信号。在三线通道模式中,三个信号接垫形成一个通道。例如,信号接垫DOP_TOA、DON_TOB和CKP_TOC形成一个通道,并且可以不使用信号接垫CKN_XXX。

[0094] 请注意,在本发明的各种实施例中,图5中所示的接垫布置方式可以进一步适用于包括N个信号接垫和M个屏蔽接垫的PHY电路,其中N和M是正整数。在这样的实施例中,N个信号接垫包括至少四个信号接垫,而M个屏蔽接垫包括至少一个屏蔽接垫。该至少四个信号接垫和该至少一个屏蔽接垫可被布置成类似于图5中所示的接垫布置形式。

[0095] 图6为了根据本发明实施例接垫布置,其可用于包含六信号PMA的PHY电路。如图所示,PHY电路200包括六信号PMA 210和信号接垫DOP_TOA、DON_TOB、CKP_TOC、CKN_T1A、D1P_T1B和D1N_T1C,用于与另一集成电路/装置连接。屏蔽接垫SH0、SH1和SH2耦接到地或电源电压,并且用于使某些信号接垫免受由其他信号接垫的干扰。

[0096] 六信号PMA 210可被设置为双线通道PHY模式或三线通道PHY模式。在双线通道PHY模式中,信号接垫DOP_TOA和DON_TOB以及D1P_T1B和D1N_T1C形成数据通道,而信号接垫CKP_TOC和CKN_XXX形成时脉通道。六信号PMA 210通过信号接垫DOP_TOA和DON_TOB以及D1P_T1B和D1N_T1C发送/接收数据信号对,并通过信号接垫CKP_TOC、CKN_T1A发送/接收一对时脉信号。在三线通道PHY模式中,三个接垫形成一个通道。例如,信号接垫DOP_TOA、DON_TOB和CKP_TOC形成一个三线通道,而信号接垫CKN_T1A、D1P_T1B和D1N_T1C形成另一个三线通道。

[0097] 请注意,在本发明的各种实施例中,图6中所示的接垫布置方式可以进一步适用于包括N个信号接垫和M个屏蔽接垫的PHY电路,其中N和M是正整数。在这样的实施例中,N个信号接垫包括至少六个信号接垫,而M个屏蔽接垫包括至少三个屏蔽接垫。该至少六个信号接垫和该至少三个屏蔽接垫可被布置成类似于图6中所示的接垫布置形式。

[0098] 请参考图7和图8,该些图示出了关于静电放电(Electrostatic Discharge,ESD)防护和接垫屏蔽的接垫布置。图7示出了根据本发明实施例的接垫布置,其可用于包含六信号PMA的PHY电路。如图所示,PHY电路300包含六信号PMA210,物理编码子层(Physical encoding sublayer,PCS)330、ESD防护电路320和322以及用于与另一集成电路/设备连接的信号接垫DOP_TOA、DON_TOB、CKP_TOC、CKN_T1A、D1P_T1B和D1N_T1C。屏蔽接垫SH0和SH4用于将ESD防护电路320和322耦接到地,以提供电磁屏蔽。另外,屏蔽接垫SH1、SH2和SH3耦接到地或电源电压,并且用于屏蔽某些信号接垫免于受到其他信号接垫的干扰。

[0099] 图8为根据本发明实施例的接垫布置,其可用于包含六信号PMA和四信号PMA的组成的PHY电路。如图所示,PHY电路400包括六信号PMA 411、四信号PMA 412、PCS 430、ESD防护电路420和422。六信号PMA 411通过信号接垫D0P_TOA、DON_TOB、CKP_TOC、CKN_T1A、D1P_T1B和D1N_T1C与另一个集成电路/设备连接。四信号PMA 412通过信号接垫D0P_TOA、DON_TOB、CKP_TOC和CKN_XXX与另一个集成电路/设备连接。屏蔽接垫SH0和SH6用于将ESD防护电路420和422耦合到地,以提供电磁屏蔽。另外,屏蔽接垫SH1、SH2、SH3、SH4和SH5耦接到地或电源电压,并且用于屏蔽某些信号接垫免于受到来自其他信号接垫的干扰。

[0100] 终端电路

[0101] 如上所述,本发明的四信号PMA和六信号PMA都可以设置为在双线通道PHY模式或三线通道PHY模式下操作。因此,需要提供一种适用于不同PHY模式的信号特性的终端电路(termination circuit)。

[0102] 图9A示出了现有技术中适用于双线通道PHY模式和三线通道PHY模式的终端电路。通过控制图9A的终端电路500中的开关。如图9A所示,终端电路500可以切换到第一配置,以适应图9B所示的双线通道。或者,切换到第二配置以适应图9C所示的三线通道。在MIPI标准中,要求三线通道中的等效去耦电容(decoupling capacitor)大于双线通道中的等效去耦电容。因此,每个去耦电容性元件C1、C2和C3的电容值将是1X(其中“X”表示单位电容值)。然而,这种实现方式将导致如图9C所示的三线通道配置中的电容冗余(即,电容性元件C2)。为了克服三线通道配置中终端电路500的电容冗余,本发明提供了一种用于改进终端电路的创新架构。

[0103] 图10A示出本发明实施例的四信号终端电路600,其可用于包含四信号PMA的PHY电路。终端电路600包括可调式电阻性元件R1-R4,开关S61-S62和去耦电容性元件C1-C3(每个电容性元件C1-C2具有0.5X的电容值,而电容性元件C3具有1X的电容值)。在本实施例中,每个可调式电阻性元件R1-R4可以耦接到一个包含有四信号PMA(例如四信号PMA 800)的PHY电路的一个信号接垫。请注意,根据本发明的各种实施例,可调式电阻性元件R1-R4可以其他类型的阻抗元件(electrical impedance)替换。

[0104] 请同时参考图1与图10A。当四信号PMA 800设置在双线通道PHY模式下操作时,每两个信号接垫将形成一个通道,可分别通过信号接垫D0P_TOA和DON_TOB发送/接收一对差动信号,而通过信号接垫D1P_TOC和D1N分别发送/接收另一对时脉信号。此时,开关S62导通且开关S61未导通(如图10B所示)。因此,在信号接垫D0P_TOA和DON_TOB处获得的等效去耦电容值为 $(0.5+0.5)X$,并且在接垫D1P_TOC和D1N处获得1X的去耦电容值。此外,当四信号PMA 800设置三线通道PHY模式下操作时,开关S61导通且开关S62不导通(图10C所示)。因此,在信号接垫D0P_TOA、DON_TOB和D1P_TOC处获得等效去耦电容值为 $(0.5+0.5+1)X$ 的。此外,如图10D所示,在另一个实施例中,去耦电容性元件C1和C2可以合并为一个电容值为 $(0.5+0.5)$ 的较大的去耦电容性元件CN。

[0105] 图11A示出了本发明实施例的六信号终端电路700,其可用于包含六信号PMA的PHY电路。六信号终端电路700包含可调式电阻性元件R1-R6,开关S61-S63和去耦电容性元件C1-C6(每个电容性元件具有0.5X的电容值)。在此实施例中,每个可调式电阻性元件R1-R6可以耦接到一个包含有六信号PMA(例如六信号PMA 900)的PHY电路的一个信号接垫。请注意,根据本发明的各种实施例,可调式电阻性元件R1-R6可以以其他类型的阻抗元件替换。

[0106] 请同时参考图3与图11A。当六信号PMA 900设置为双线通道PHY模式下操作时,可以在信号接垫D0P_T0A和DON_T0B上发送/接收一对数据信号,在信号接垫D1P_T0C与D1N_T1A发送/接收一对数据信号,同时在信号接垫D2P_T1B和D2N_T1C上发送/接收一对时脉信号。另外,当六信号PMA 900设置为三线通道PHY模式下操作时,六信号PMA 900可以提供两个三线通道。例如,在信号接垫D0P_T0A、DON_T0B和信号焊盘D1P_T0A上分别发送一组三线信号,并且在信号接垫D1N_T1A、D2P_T1B和D2N_T1C上发送另一组三线信号。

[0107] 当六信号PMA 900设置为以双线通道PHY模式操作时,开关S62被导通而开关S61与S63未被导通(如图11B所示)。因此,在信号接垫D0P_T0A和DON_T0B、信号接垫D1P_T0C和D1N_T1A、信号接垫D2P_T1B和D2N_T1C处分别形成电容值等效于 $(0.5+0.5)X$ 的去耦电容。此外,当六信号PMA 900设置为以三线通道PHY模式操作时,开关S61和S63导通而开关S62的未导通(如图11C所示)。因此,在信号接垫D0P_T0A、DON_T0B和D1P_T0C以及信号接垫D1N_T1A、D2P_T1B和D2N_T1C处分别形成电容值等效于 $(0.5+0.5+0.5)X$ 的去耦电容。此外,如图11D所示,在一个可能实施例中,去耦电容性元件C1和C2可以与具有 $(0.5+0.5)X$ 电容值的较大的去耦电容性元件CN1实现。另外,在一个可能实施例中,去耦电容性元件C5和C6也可以与具有 $(0.5+0.5)X$ 电容值的较大的去耦电容性元件CN2实现。

[0108] 与终端电路500相比,当切换到三线通道配置时,四信号终端电路600和六信号终端电路700中不存在没有电容冗余。并且,本发明的终端电路600和700的另一个优点是开关的数量。由于终端电路600和700所需的开关与终端电路500相比较少,所以可以减少信号损失。

[0109] 时脉与数据回复

[0110] 在MIPI C-PHY规范中,时脉信号被嵌入数据信号中。因此,接收器中的PHY电路需要从接收到的数据信号中恢复时脉信号。

[0111] 根据本发明的一个实施例,图12示出了适用于MIPI C-PHY(或其他三线通道PHY标准)通信连线的接收器中的CDR电路。如图所示,CDR电路1200具有三个输入端点,用于接收由差分放大器产生的信号AB、BC和CA。上述差分放大器可以是图1的实施例中所示的差分放大器811-813,或者是图3的实施例中所示的差分放大器911-916,其在三个信号接垫/导线上接收差分信号,即信号接垫D0P_T0A、DON_T0B、D1P_T0C,并将它们转换为差分信号AB、BC、CA(即,图1或图3中的TOAB[1:0],TOBC[1:0]与TOCA[1:0])。

[0112] 三个信号AB、BC和CA被输入到延迟单元1210、1211和1212,从而产生信号AB、BC和CA的延迟版本AB_D、BC_D和CA_D。之后,异或(exclusive OR,XOR)闸1221、1222和1223,分别对信号AB和AB_D、BC和BC_D以及CA和CA_D执行XOR运算。据此,XOR闸1221、1222和1223产生XOR输出信号AB_X、BC_X和CA_X。由于XOR运算,信号AB、BC和CA中的信号转态将导致XOR输出信号AB_X、BC_X和CA_X中的脉冲(pulse)。然后,XOR输出信号AB_X、BC_X和CA_X被送到锁存器(latch)1231、1232和1233,并为锁存器1231、1232和1233提供时脉,以锁存一高逻辑准位信号。另外,锁存器1231、1232和1233可通过重置控制信号RSTB来重置。因此,锁存输出信号AB_EDGE、BC_EDGE和CA_EDGE的上升缘分别由XOR输出信号AB_X、BC_X和CA_X触发,而锁存输出信号AB_EDGE、BC_EDGE和CA_EDGE的下降缘分别由重置控制信号RSTB触发。

[0113] 然后,锁存器输出信号AB_EDGE、BC_EDGE和CA_EDGE被发送到或闸(OR gate)1240,其对锁存器输出信号AB_EDGE、BC_EDGE和CA_EDGE执行OR运算,从而产生时脉信号RCK。时脉

信号RCK可以由具有不同除数(即2和7)的除频器1271和1272处理,以产生用于不同目的的时脉信号。由除频器1271产生的时脉信号TCK将被提供给取样单元1281和1282,用于取样信号AB_S、BC_S和CA_S,以便执行解序列操作(其中信号AB_S、BC_S和CA_S可以通过对齐延迟(aligned delay)单元1260对延迟信号AB_D、BC_D和CA_D进行延迟来输出)。此外,由除频器1272产生的时脉信号SCK将被提供给,如数据处理单元850(图1中)、951-952(图3中)和1040(图4中)等电路,执行数据处理操作。

[0114] 另一方面,产生的时脉信号RCK进一步被发送到工作周期(duty cycle)校正电路1250,从而产生重置控制信号RSTB。工作周期校正电路1250用于校正时脉信号RCK,以便为时脉信号RCK实现50%(或大约50%)的工作周期。工作周期校正电路1250通过产生复位控制信号RSTB,以校正时脉信号RCK,从而实现50%的工作周期。

[0115] 如上所述,通过对锁存输出信号AB_EDGE、BC_EDGE和CA_EDGE执行OR运算来产生时脉信号RCK。因此,调整锁存器输出信号AB_EDGE、BC_EDGE和CA_EDGE的工作周期(通过重置这些信号)可以基本上改变时脉信号RCK的工作周期。

[0116] 工作周期校正电路1250处理时脉信号RCK的时序图如图13所示。当信号AB_X、BC_X和CA_X的脉冲跟随信号AB、BC和CA的信号转态时,信号AB_X、BC_X和CA_X的脉冲以虚线指示以反映出这种情况。信号AB_X、BC_X和CA_X的脉冲将触发锁存器1231、1232和1233以使锁存器输出信号AB_EDGE、BC_EDGE和CA_EDGE转态到高逻辑准位。而且,当重置控制信号RSTB被拉起(asserted)时,锁存器1231、1232和1233被重置,这使得锁存器输出信号AB_EDGE、BC_EDGE和CA_EDGE转态为低逻辑准位。应可以理解的是,重置控制信号RSTB的脉冲的时序可以决定锁存器输出信号AB_EDGE、BC_EDGE和CA_EDGE的工作周期,从而确定时脉信号RCK的工作周期。

[0117] 根据本发明的各种实施例,工作周期校正电路可以具有不同的细部电路。请参考图14,其示出了工作周期校正电路1250的实施例的详细电路图。如图所示,工作周期校正电路1500具有时间至数位转换器(time-to-digital converter, TDC) 1520。TDC 1520用于测量信号AB_EDGE、BC_EDGE和CA_EDGE的相邻边缘的时间差,并且相应地将测量到的时间差转换成数位(TDC)结果。选择器1511和1512用于从信号AB_EDGE、BC_EDGE和CA_EDGE中选择两个信号,以由TDC 1520测量。TDC结果将被数位控制电路逻辑1530所平均,并且数字控制逻辑1530根据平均后的TDC结果的一半,输出延迟控制信号来控制延迟线1550。延迟线1550用于延迟时脉信号RCK,反及(NAND) 闸1540用来为对时脉信号RCK和时脉信号RCK的延迟版本执行NAND运算,从而产生重置控制信号RSTB。当信号AB_EDGE、BC_EDGE和CA_EDGE之间的时间差较长时,时脉信号RCK的工作周期将更长,反之亦然。因此,TDC结果将反映出这种情况,从而使数字控制逻辑1530找到延迟线的适当延迟量,从而调整重置控制信号RSTB的时序,以便使时脉信号RCK具有工作周期约为50%。请注意,NAND闸1540可以由另一种其他类型的逻辑闸或逻辑闸的组合来代替,只要它们可以提供相同的结果即可。

[0118] 请参考图15和图16,以更好地理解工作周期校正电路1500如何实际处理代表符号元3333333的反复输入型样“+x→-y→+z→-x→+y→-z→+x”以及代表符号1111111的反复输入型样“+x→-z→+y→-x→+z→-y→+x”。

[0119] 图17示出了本发明工作周期校正电路1250的另一实施例的详细电路图。工作周期校正电路1800包括低通RC滤波器,其包括电阻性元件R和电容性元件C,其用于对时脉信号

RCK进行滤波。低通RC滤波器产生滤波信号Vduty。比较器1810将信号Vduty与预定信号VDD/2进行比较,以产生比较结果UP。数字控制逻辑1820根据比较结果UP控制延迟线1840。通过低通RC滤波器,时脉信号RCK的工作周期将被反映且表示为信号Vduty的电压准位。请参考图18。如图所示,如果比较器1810检测到信号Vduty的电压准位低于预定信号VDD/2,则意味着时脉信号RCK的工作周期低于50%。因此,比较器1810的输出信号UP保持为高逻辑准位“1”。根据输出信号UP,数字控制逻辑1820产生延迟控制信号以调节延迟线1840的延迟时间。一旦比较器1810检测到信号Vduty的电压电平等于预定信号VDD/2,表示时脉信号RCK的工作周期为50%。因此,比较器1810的输出信号UP变为低逻辑准位“0”。因此,根据比较结果UP,数字控制逻辑1820控制延迟线1840产生适当的延迟(使得延迟增加或减少,直到比较结果UP没有显示出差异),以产生重置控制信号RSTB来校正时脉信号RCK,从而实现50%的工作周期。

[0120] 图19为本发明另一实施例中用于MIPI C-PHY(或其他三线通道PHY标准)通信连线的接收器中的CDR电路的示意图。图19中的CDR电路与图12中所示的CDR电路具有共有的特征和元件。然而,它们之间的主要区别在于图19的实施例利用延迟调整单元2000代替工作周期校正电路1200来产生重置控制信号。延迟调整单元2000根据可调延迟时间和时脉信号RCK产生重置控制信号RSTB。

[0121] 如上所述,时脉信号RCK在信号AB_X、BC_X和CA_X的上升缘,转态为高逻辑准位并开始新的周期。但是,如图20中的圆框所示,如果信号BC_edge的周期太长,则将屏蔽信号AB_X和CA_X的上升缘。这是由重置控制信号RSTB的错误时序引起的。重置控制信号RSTB的错误时序太慢地重置信号BC_edge,因此屏蔽了信号AB_X和CA_X的上升缘。为了防止信号AB_X、BC_X和CA_X的上升缘被屏蔽,延迟调整单元2000根据取样结果AB_0[0]、BC_0[0]和CA_0[0]以及取样结果AB_0[1]、BC_0[1]和CA_0[1],调整重置控制信号RSTB。具体地,延迟调整单元2000检测XOR闸2091的XOR输出信号XOR[0]和XOR闸2092的XOR输出信号XOR[1]。XOR闸2091对取样结果AB_0[0]、BC_0[0]和CA_0[0]执行XOR运算。取样结果AB_0[0]、BC_0[0]和CA_0[0]由取样单元2081根据时脉信号TCK对信号AB_S、BC_S和CA_S进行取样而生成。XOR闸2092对取样结果AB_0[1]、BC_0[1]和CA_0[1]执行XOR运算。取样结果AB_0[1]、BC_0[1]和CA_0[1]由取样单元2082根据时脉信号TCK的反相版本对信号AB_S、BC_S和CA_S进行取样而生成。

[0122] 延迟调整电路2000将以初始延迟开始,该初始延迟确保图19中整个CDR电路能正常运作。然后,通过延迟调整电路2000的电路缓慢增加重置控制信号RSTB的延迟时序。一旦造成错误的时序,它将被反映为XOR输出信号XOR[0]以及/或XOR输出信号XOR[1]中的信号转态。一旦延迟调整单元2000检测到XOR输出信号XOR[0]以及/或XOR输出信号XOR[1]的信号转态,它就将其可调延迟时间设置为错误时序的一半。结果,重置控制信号RSTB会比错误时序更早地重置锁存器2031-2033,这使得信号AB_EDGE、BC_EDGE和CA_EDGE的下降缘更早出现,而不屏蔽下一个信号边缘。因此,时脉信号RCK将可达到近50%的工作周期。例如,如图20的圆框部分,如果重置控制信号RSTB比之前更早地重置锁存器2031-2033,则锁存输出信号BC_edge的下降缘将更早出现。这样一来,XOR输出信号AB_X和CA_X将不被锁存输出信号BC_edge屏蔽,并且时脉信号RCK也可以适当地跟随信号AB_X和CA_X的上升缘。

[0123] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技

术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

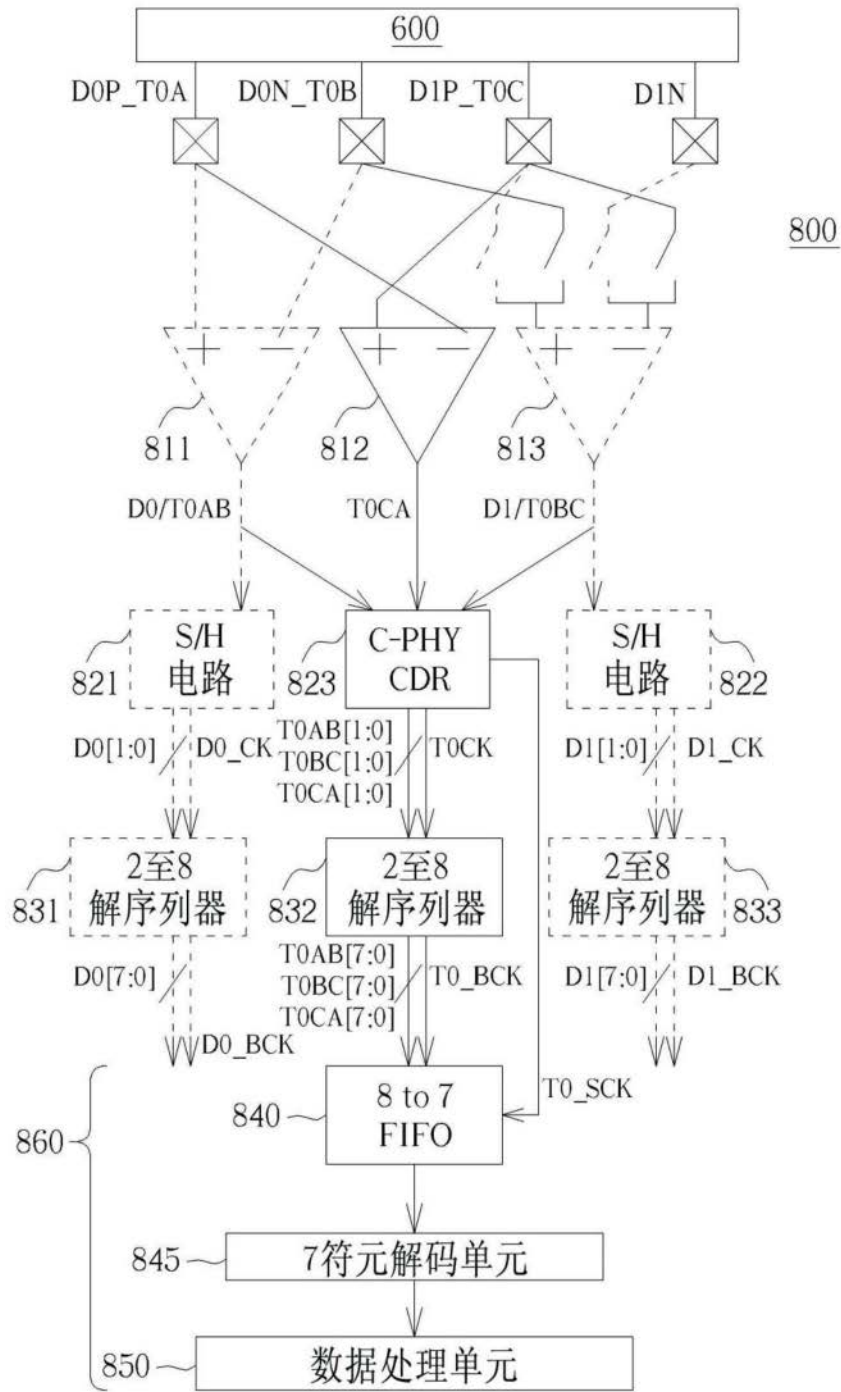


图1

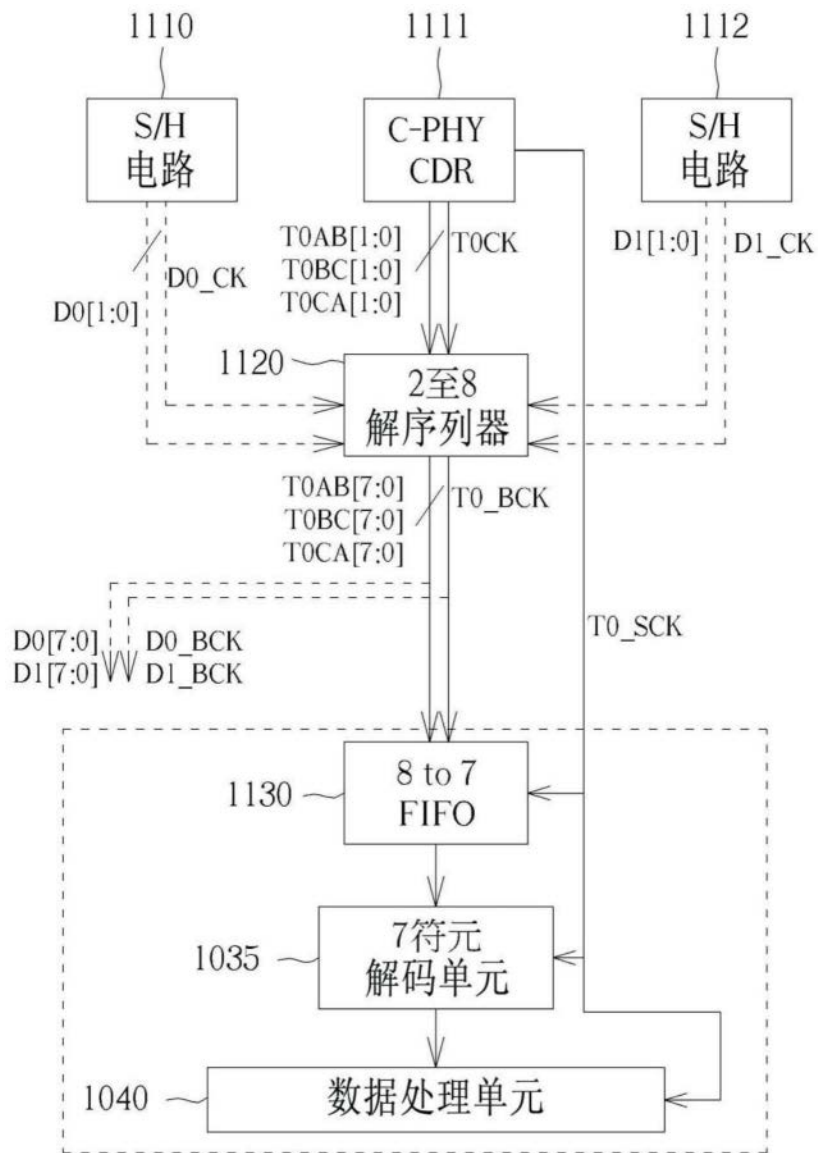


图2

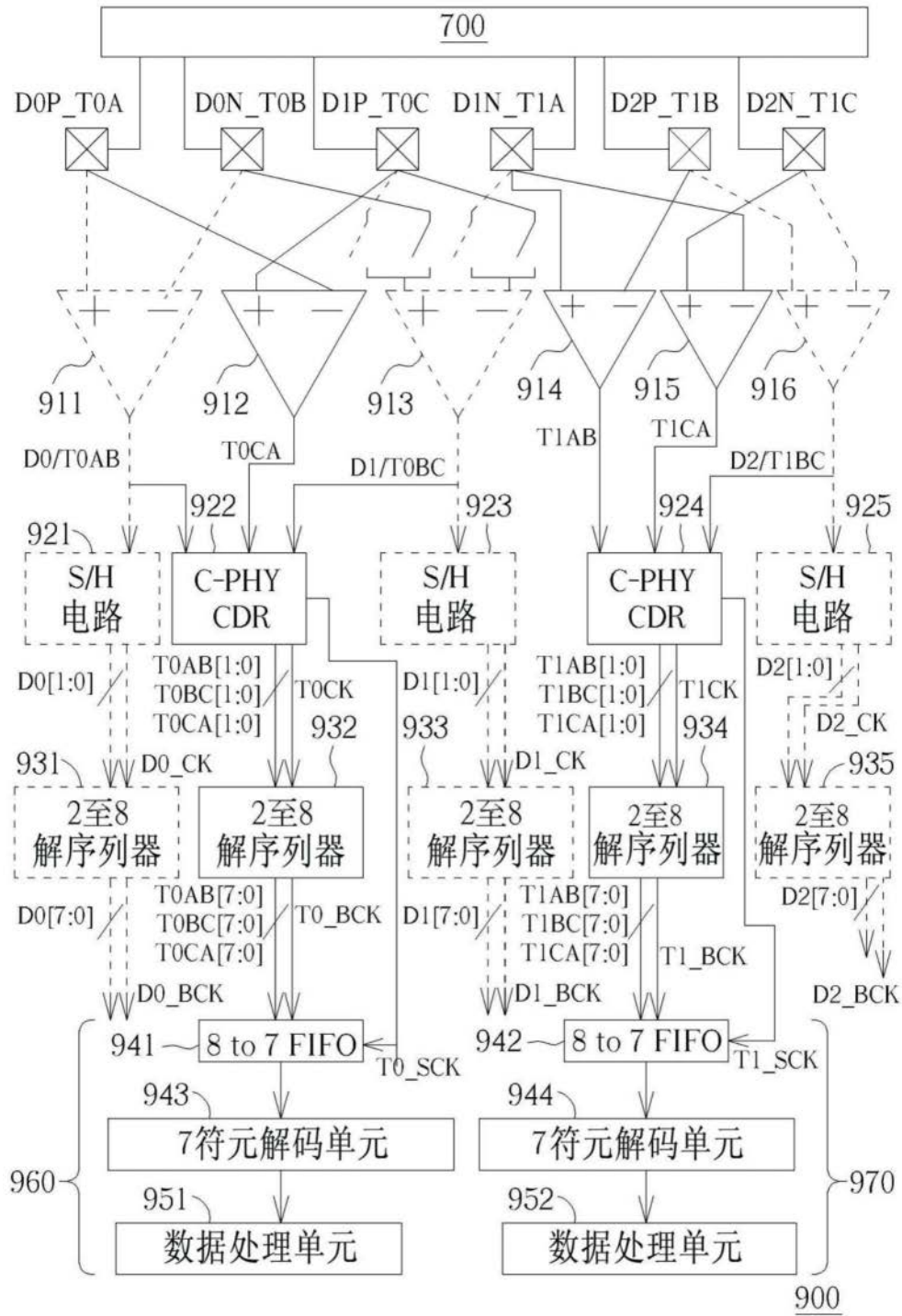


图3

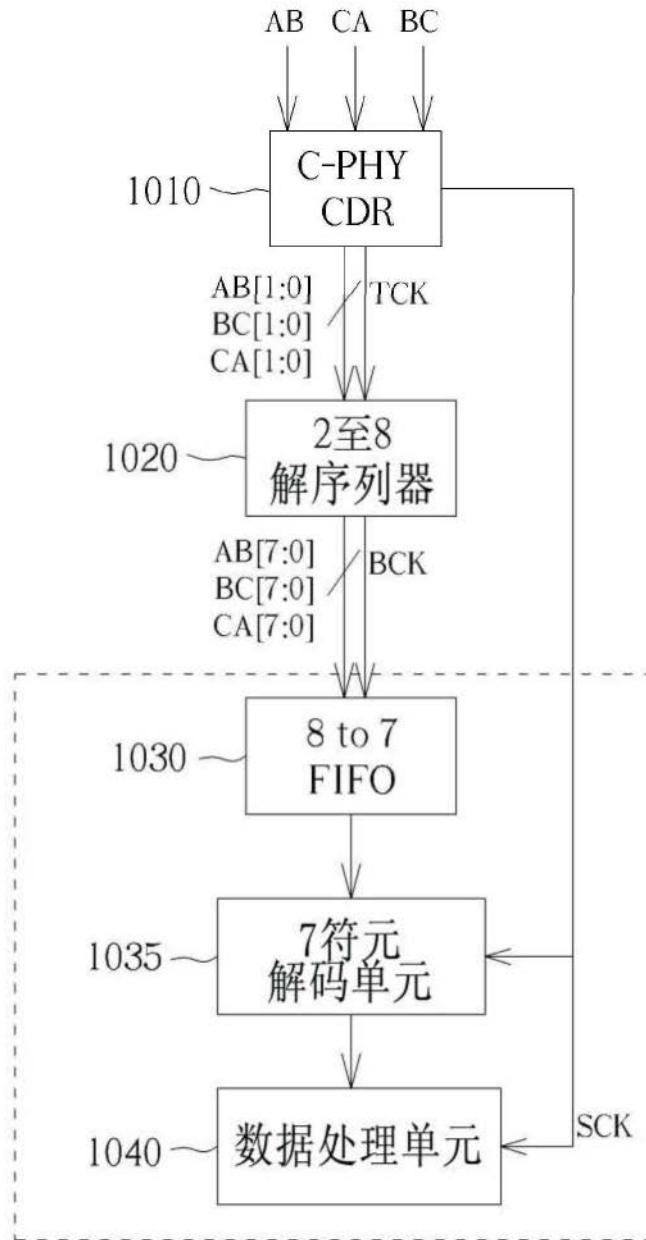


图4

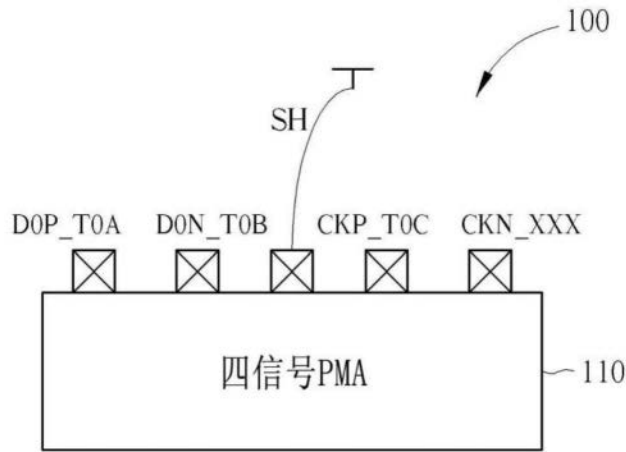


图5

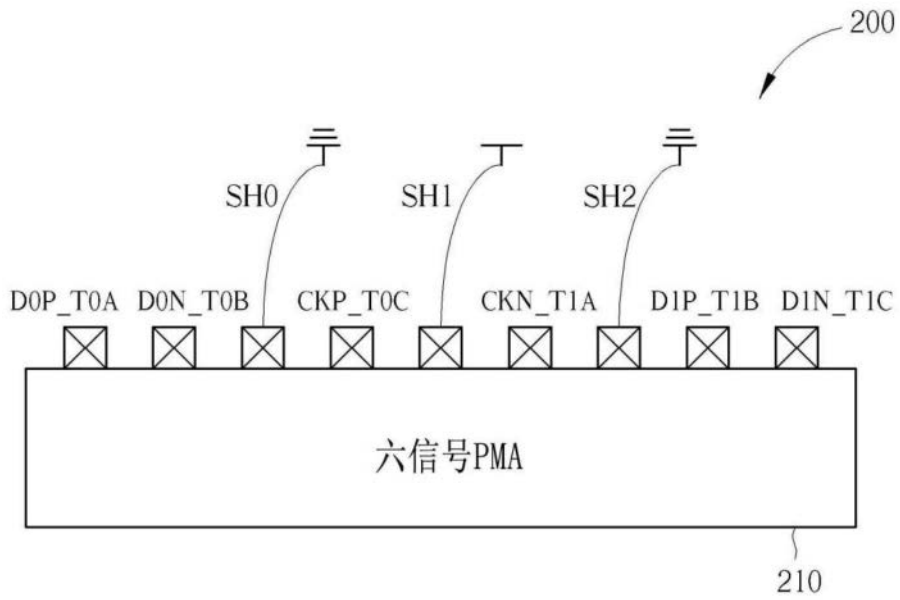


图6

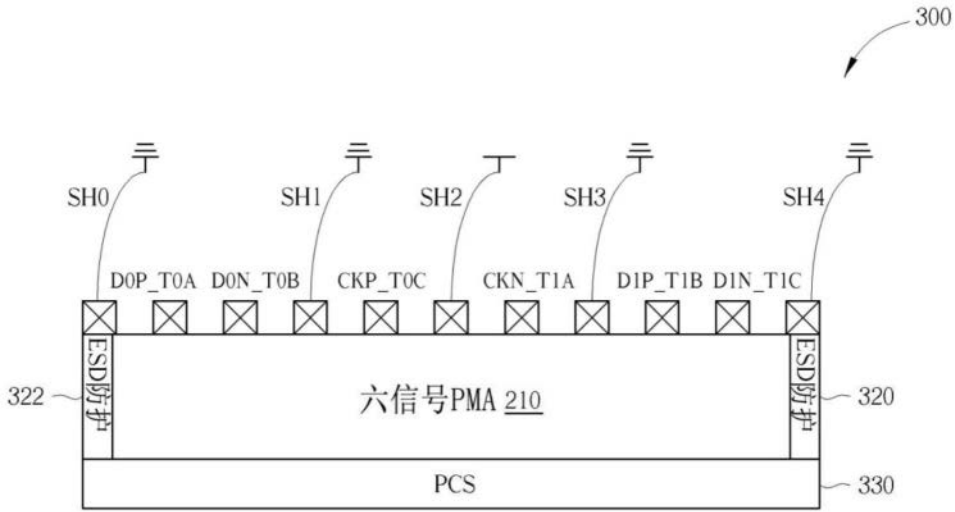


图7

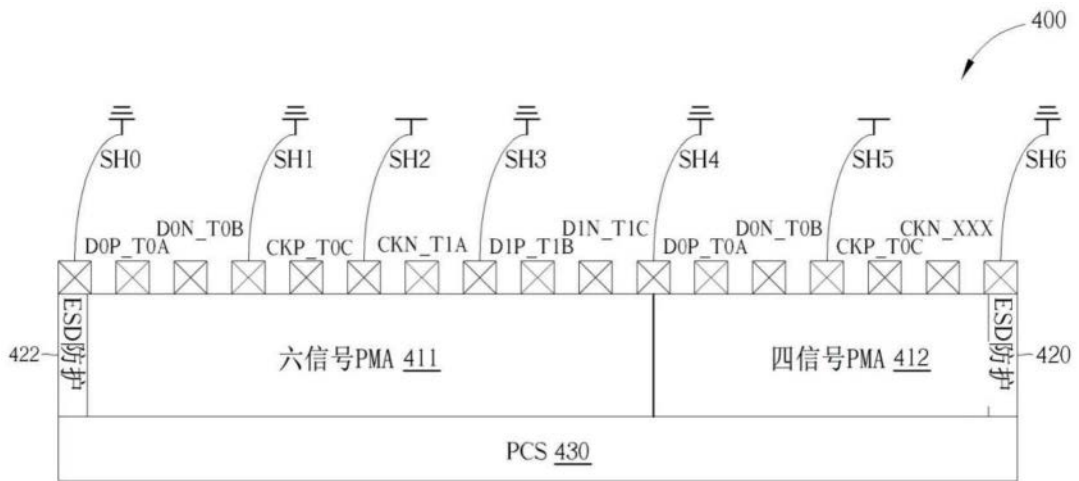


图8

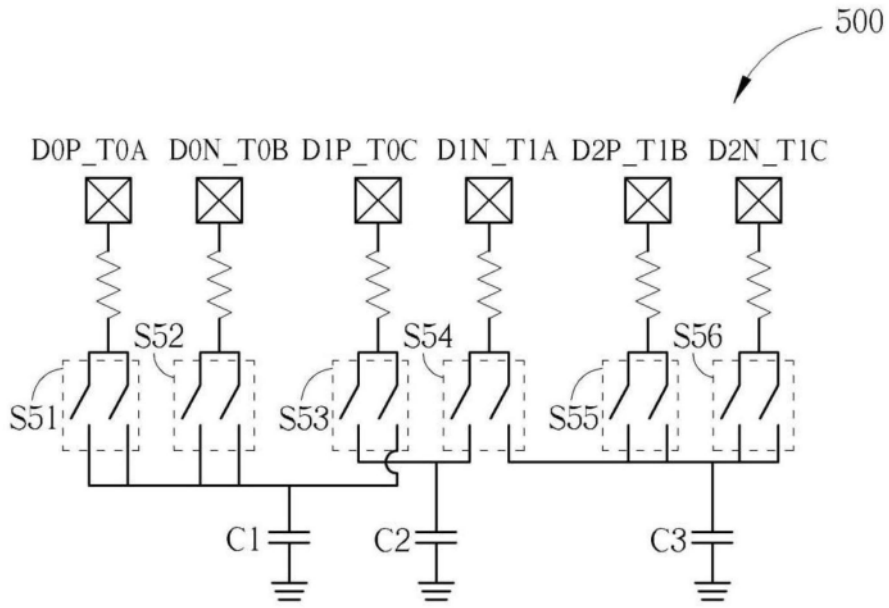


图9A

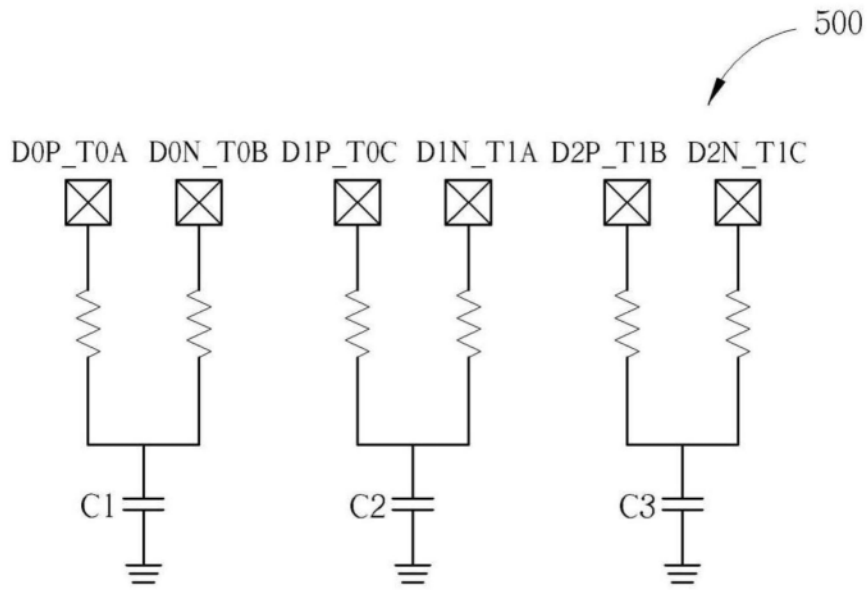


图9B

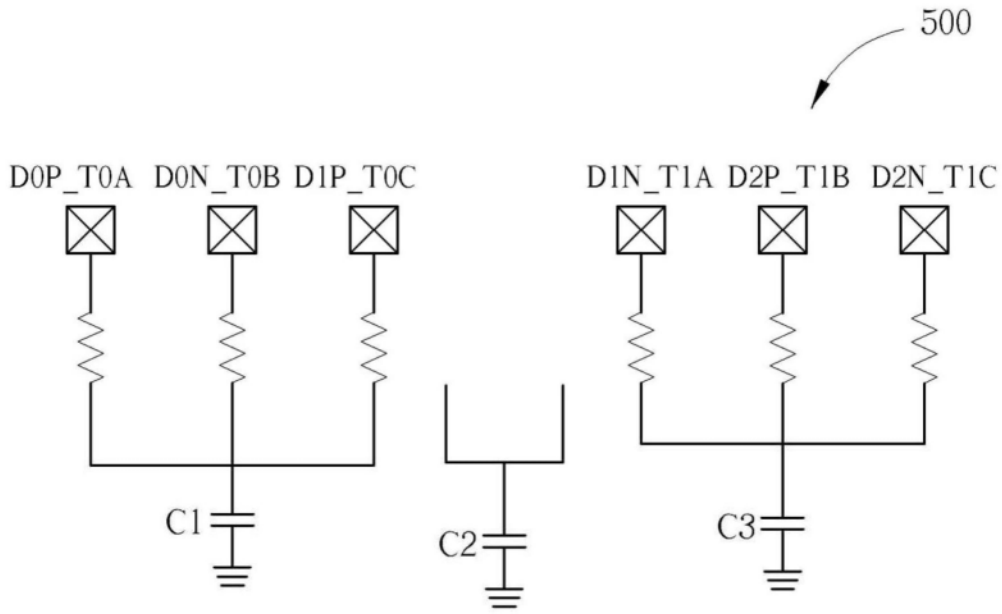


图9C

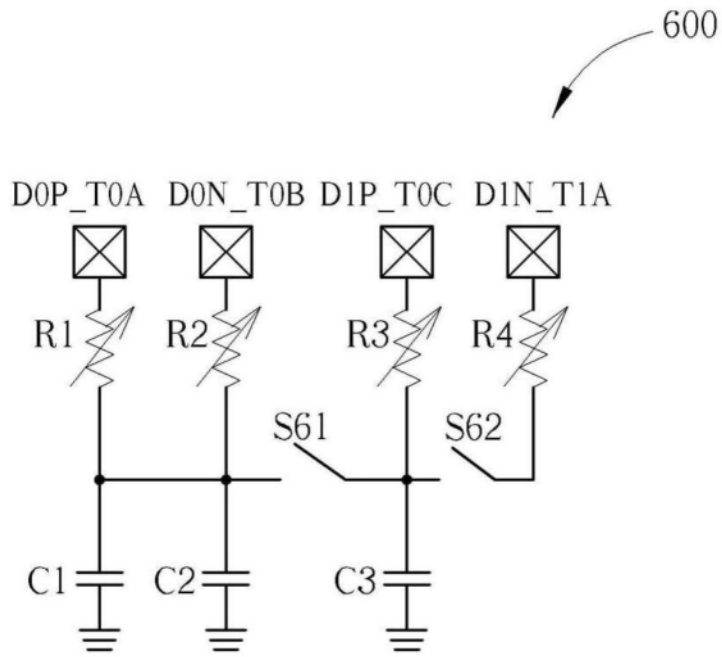


图10A

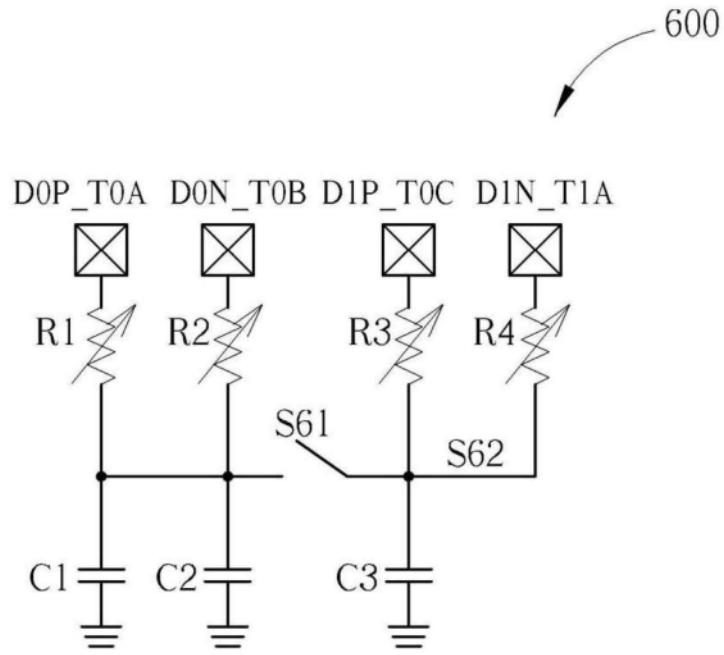


图10B

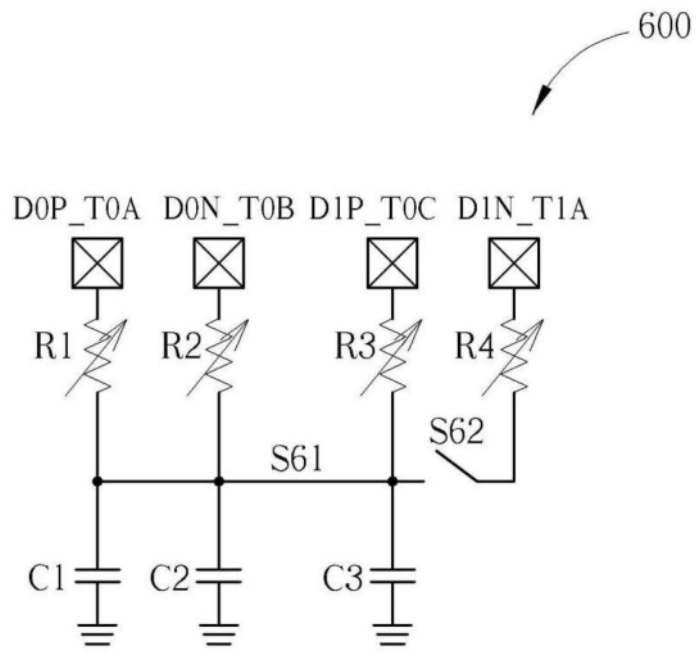


图10C

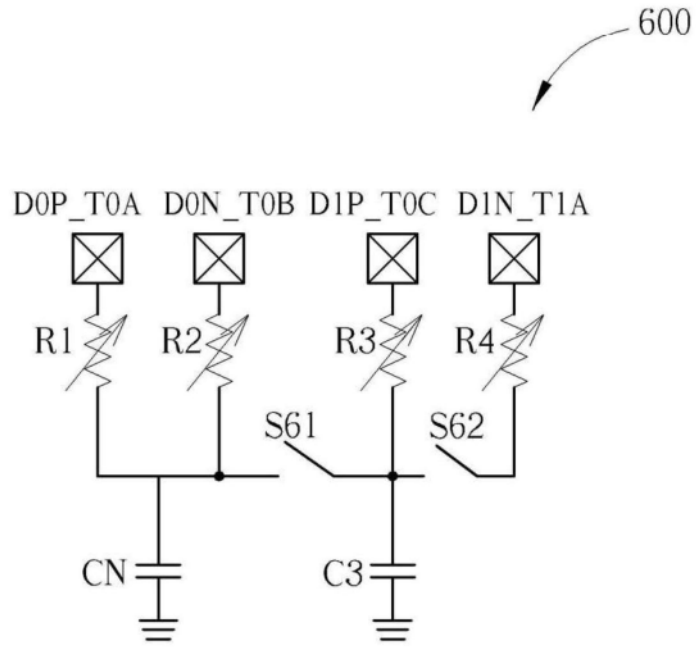


图10D

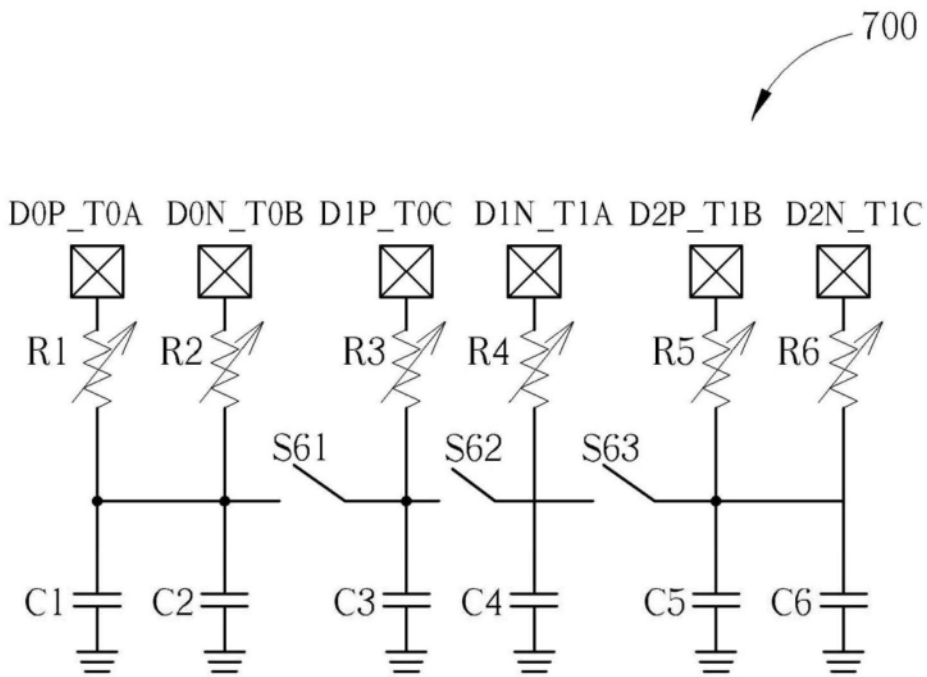


图11A

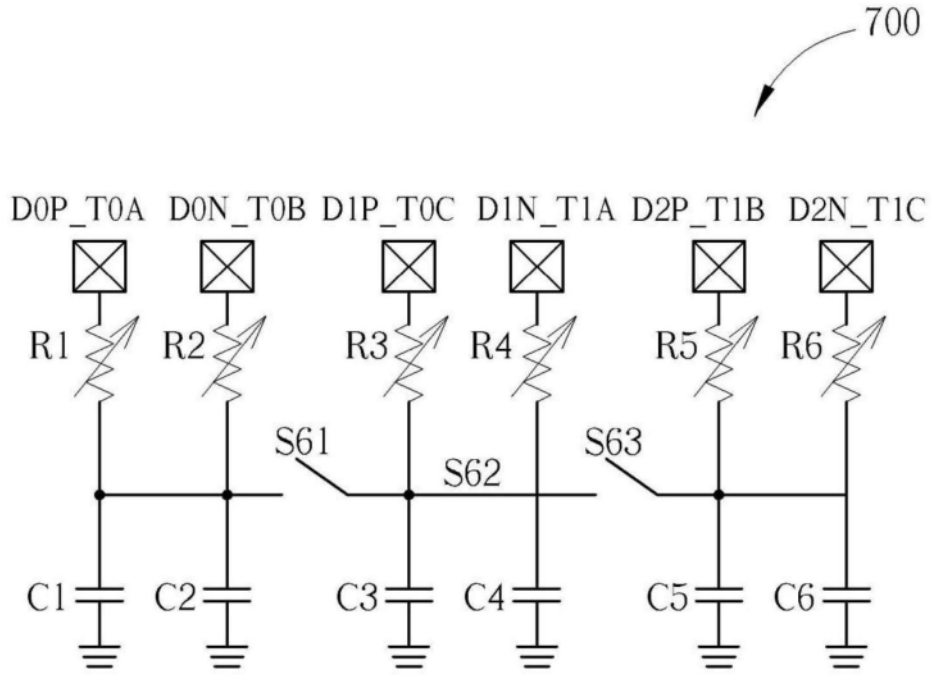


图11B

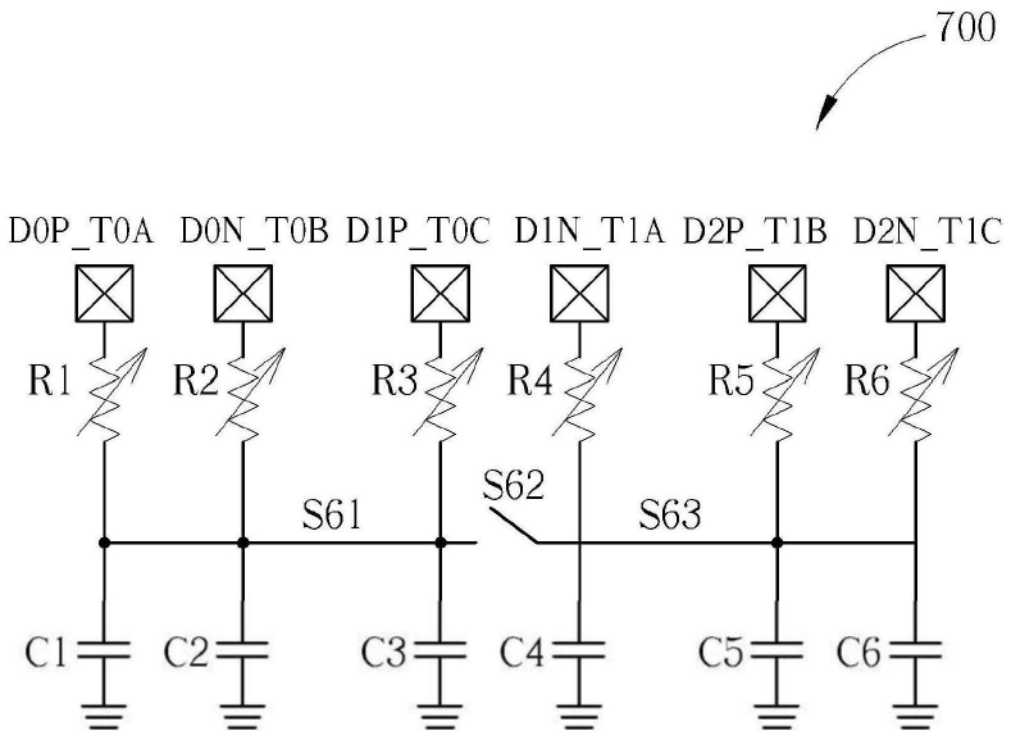


图11C

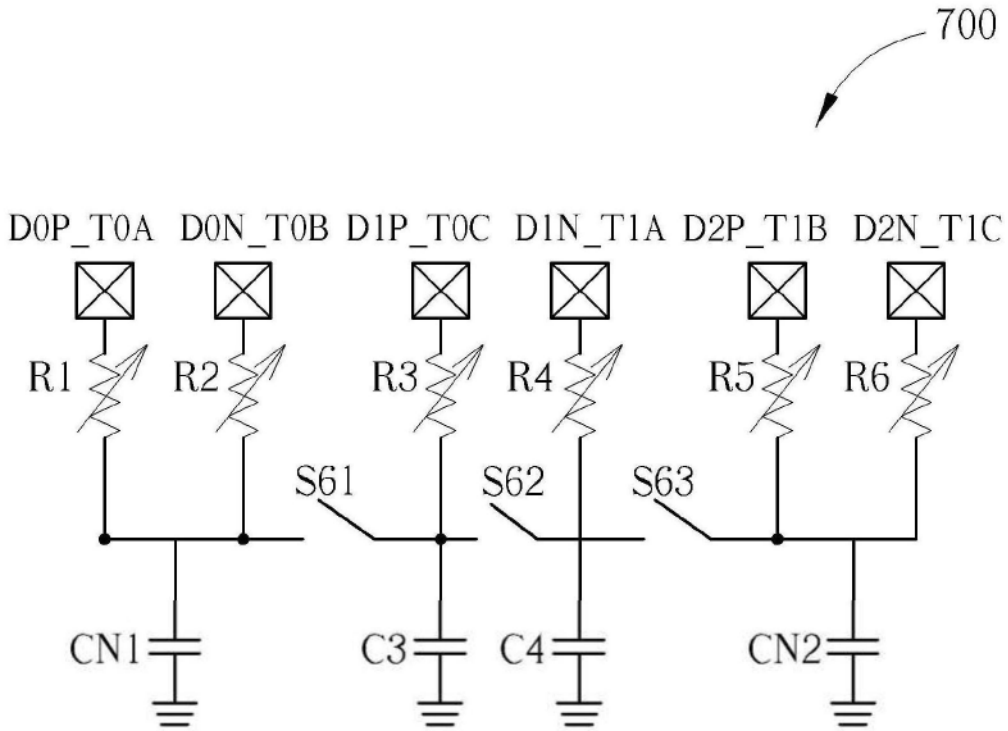


图11D

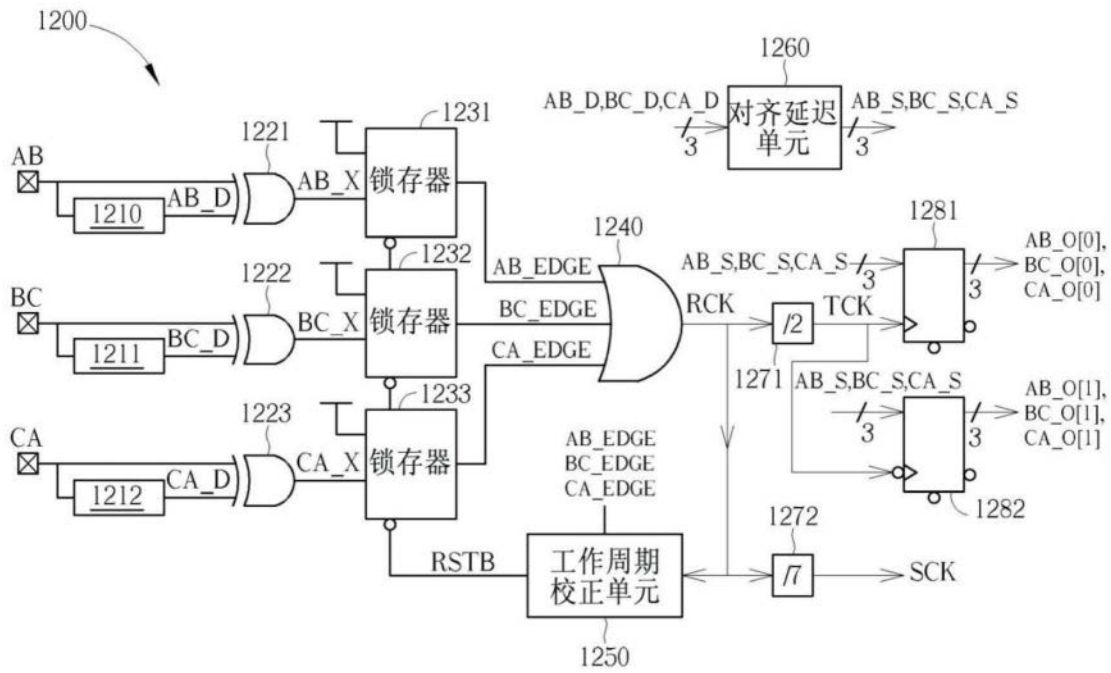


图12

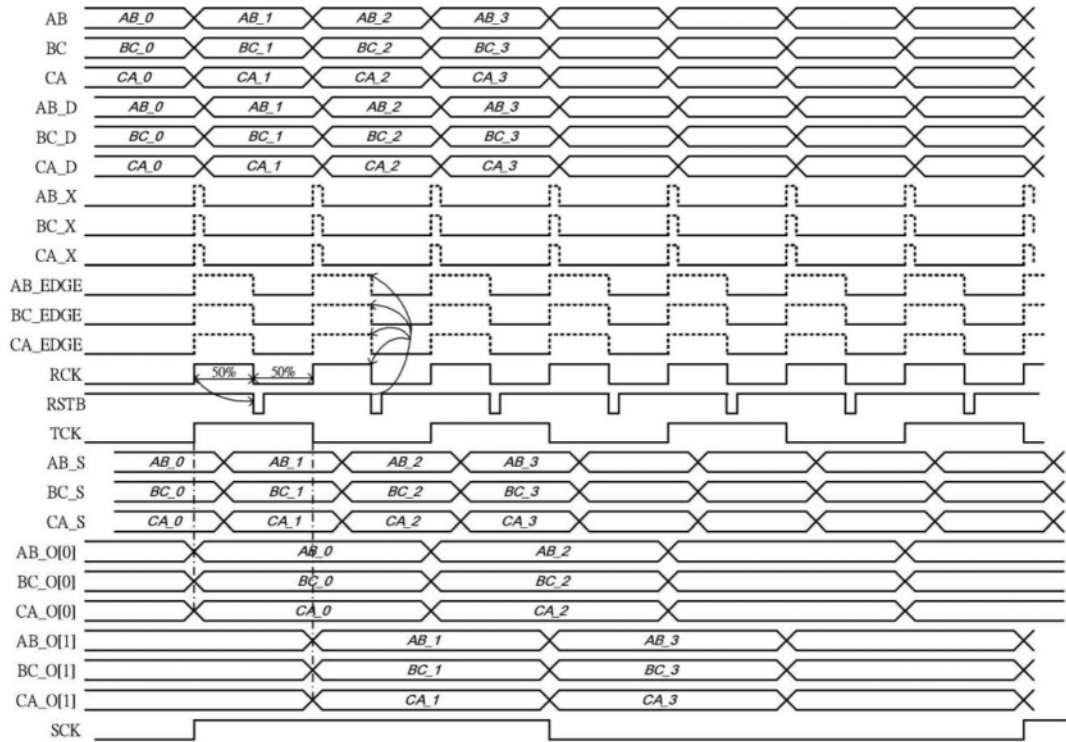


图13

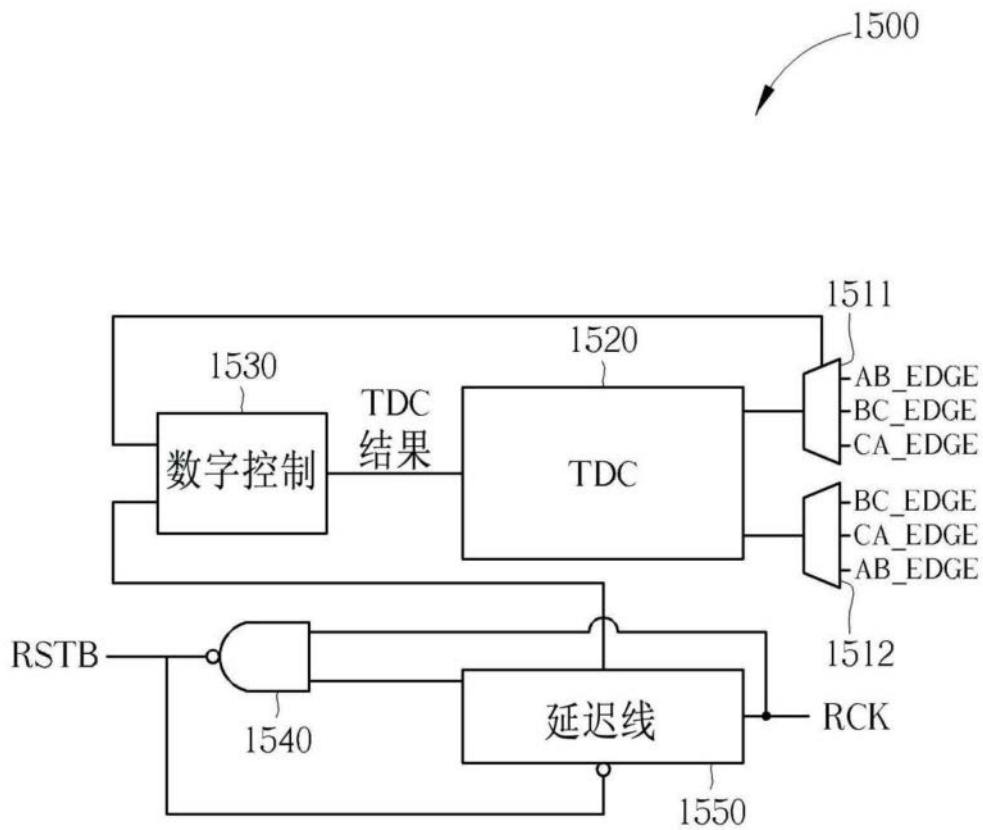


图14

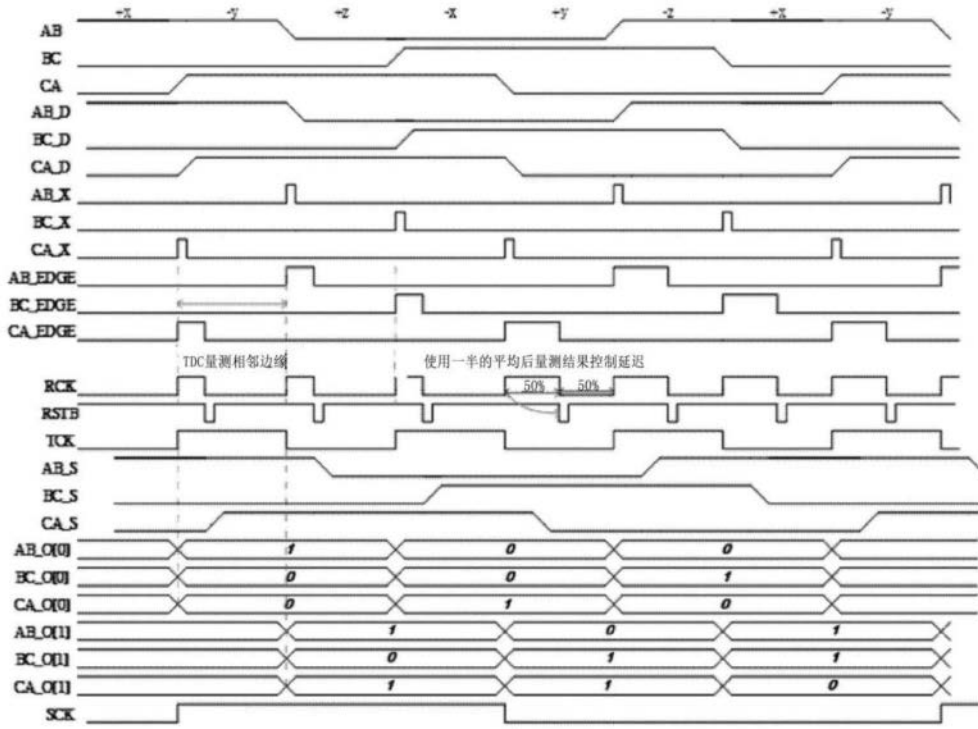


图15

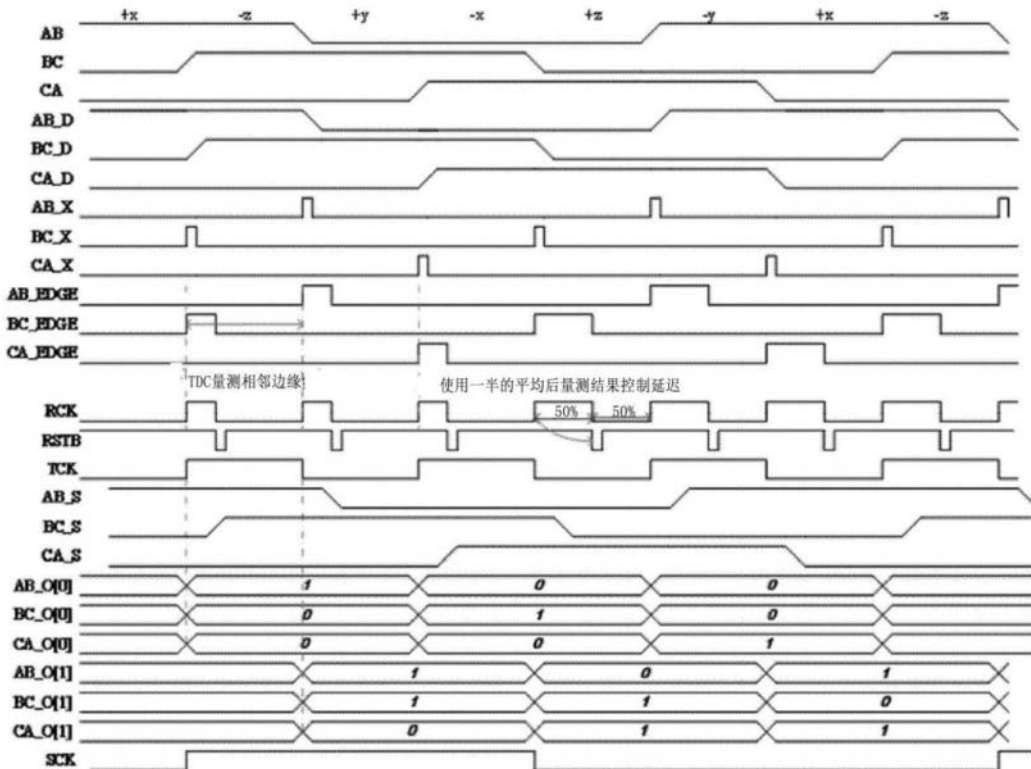


图16

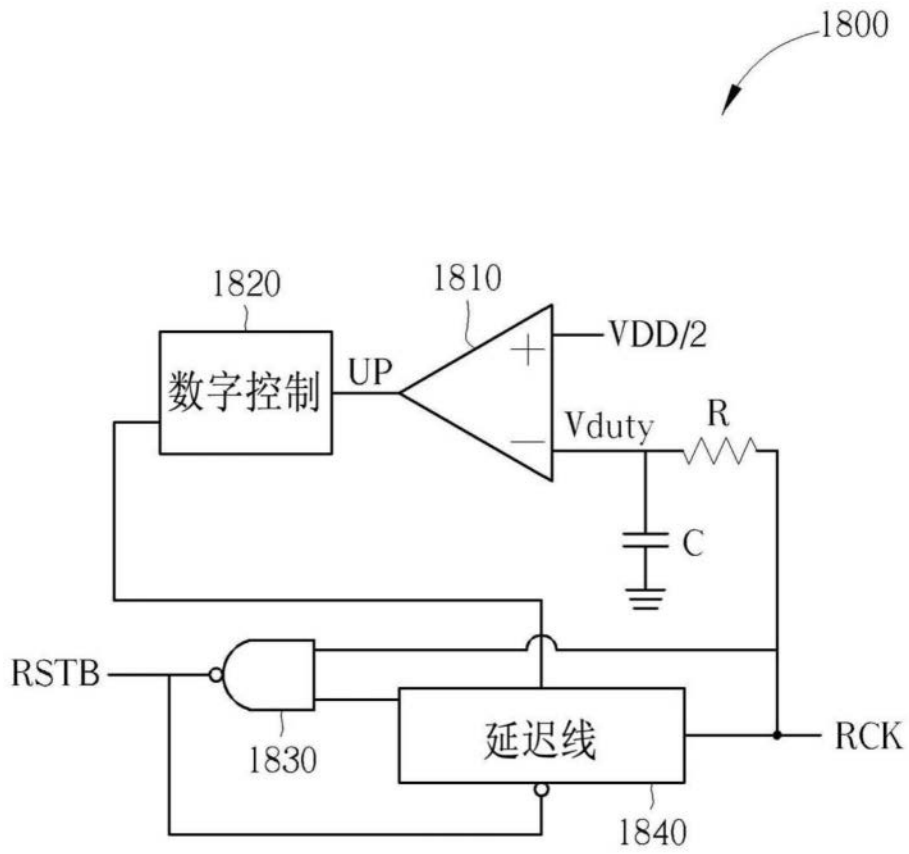


图17

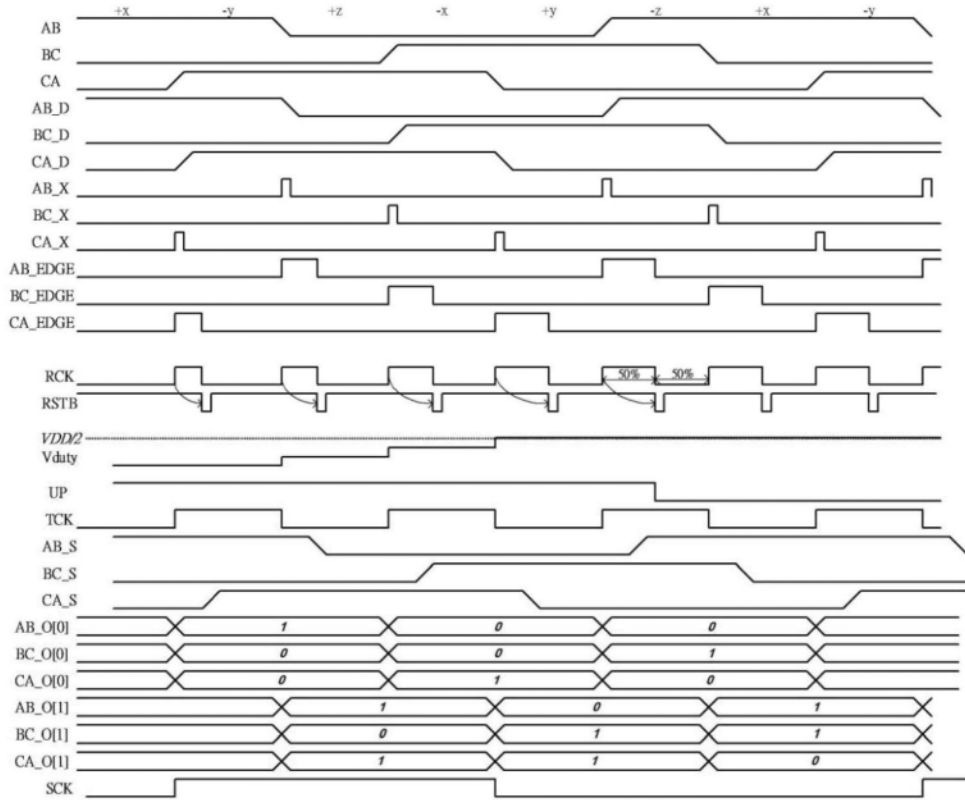


图18

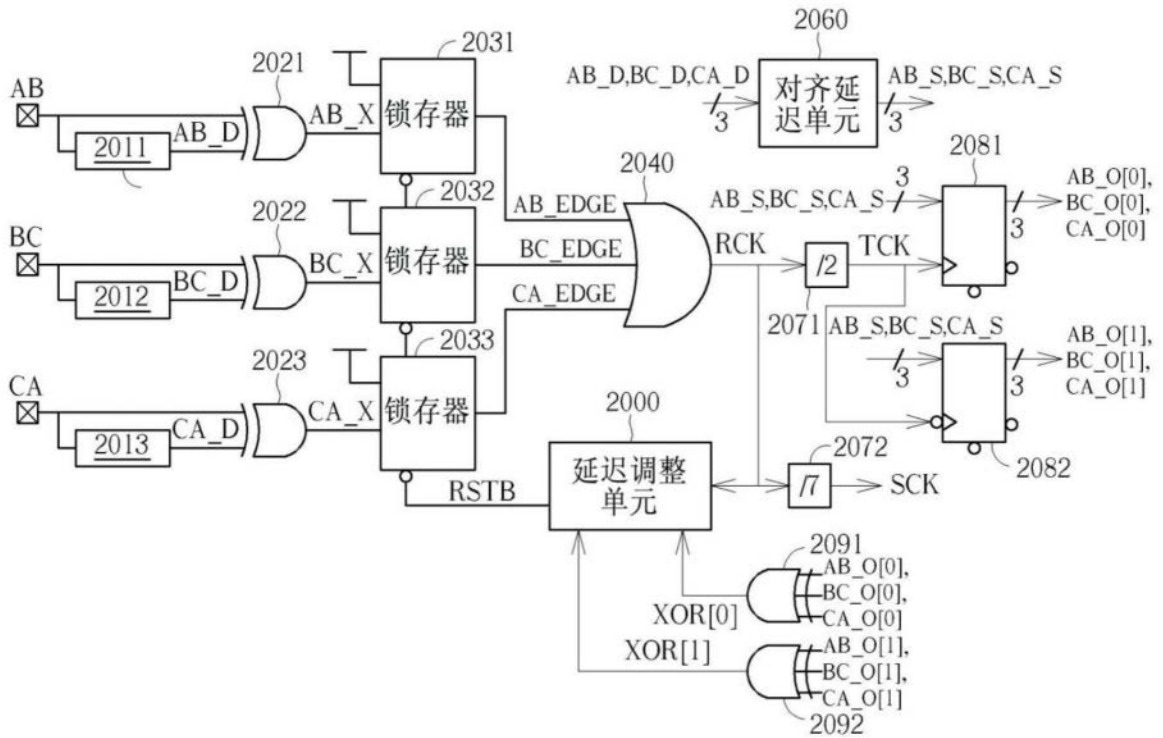


图19

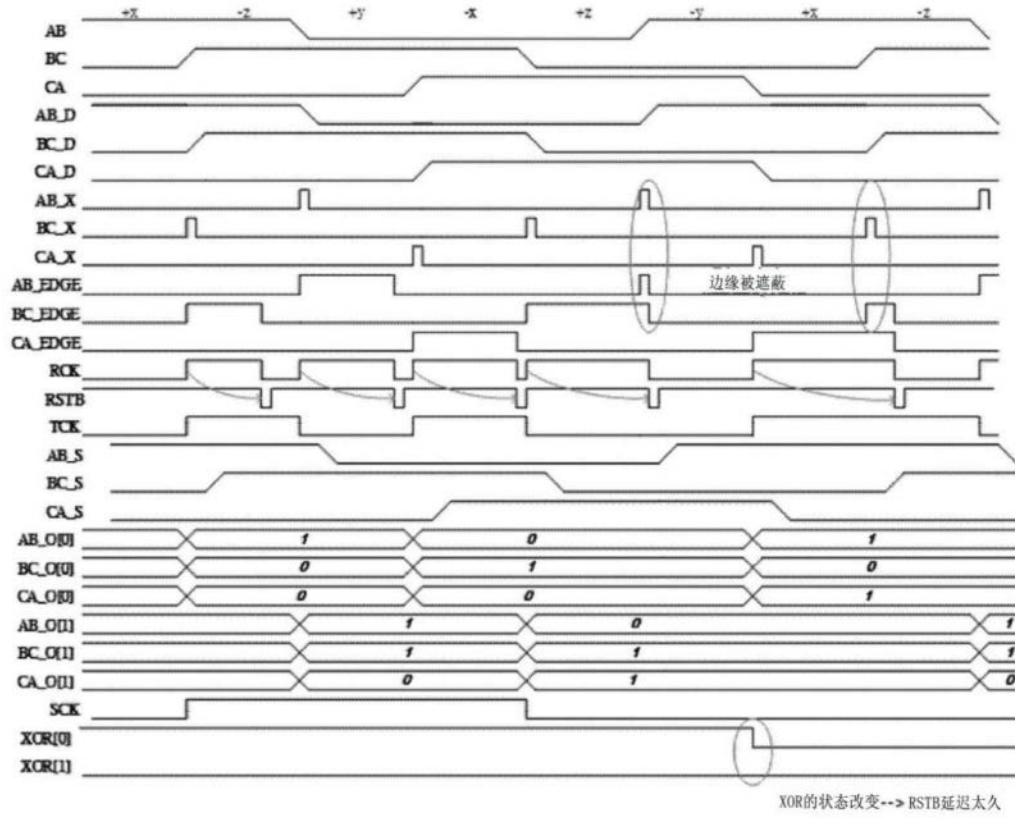


图20