

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 23/544

(45) 공고일자 2002년07월 18일

(11) 등록번호 10-0337412

(24) 등록일자 2002년05월08일

(21) 출원번호	10-1998-0061581	(65) 공개번호	특 1999-0066897
(22) 출원일자	1998년12월30일	(43) 공개일자	1999년08월 16일
(30) 우선권주장	09/006,759	1998년01월 14일	미국(US)
(73) 특허권자	내셔널 세미컨덕터 코포레이션 클라크 3세 존 엠. 미국 캘리포니아주 95052-8090, 산타 클라라, 2900 세미컨덕터 드라이브		
(72) 발명자	카오 파이-흐상 미국 캘리포니아주 95070 사라토가 도체스터 드라이브19445 샤에퍼 윌리엄 제프리 미국 캘리포니아주 95130 산 호세 캅스턴 코트 3907 켈카르 니크힐 비쉬와나쓰 미국 캘리포니아주 95051 산타 클라라 아파트먼트2007 플로라 비스타애비뉴 3770		
(74) 대리인	특허법인코리아나		

심사관 : 유환철

(54) 저면보호막을 가진 반도체 웨이퍼, 집적회로 디바이스 및 그 제조방법

요약

패키징된 집적회로 디바이스가 개시된다. 이 디바이스는 그 일면에 다수의 전기적 콘택트를 가지며 타면에는 직접 접착된 보호막을 가진 다이를 포함하는데, 보호막은 레이저가 다이까지 침투함이 없이 레이저 마킹을 가능하게 할 정도의 두께를 가진다. 일실시예에서, 디바이스의 보호막은 스크린 프린팅에 의해 형성된 후막(thick Film)이다. 일실시예에서, 보호막은 1.5 내지 5 mil 의 두께를 가진다. 상면(top surface) 및 저면(bottom surface)을 갖는 웨이퍼 기판과 다수의 다이를 가진 반도체 웨이퍼를 제조하는 방법도 개시된다. 이 실시예에서, 제조 방법은, 웨이퍼 기판의 상면에 다수의 다이를 형성하는 단계, 웨이퍼 기판의 저면에 후막을 입히는 단계, 자외선에 의해 경화되지 않는 탐재용 테이프에 후막을 접착시키는 단계, 다이를 분리하기 위해 웨이퍼를 다이싱하는 단계를 포함한다. 후막은 분리된 다이의 엣지를 따라 칩핑(chipping)이 생기는 것을 줄여준다.

대표도

도2

명세서

도면의 간단한 설명

- <1> 도 1 은 종래의 플립 칩 형 디바이스의 개략적인 측면도.
 <2> 도 2 는 본 발명의 일실시예에 따른 플립 칩 디바이스의 개략적인 측면도.
 <3> 도 3 은 본 발명의 일실시예에 따라 저면의 일부분에 후막을 입힌 결과 칩핑이 현저하게 줄어들었음을 도시하는, 플립 칩 디바이스의 저면의 개략적인 저면도.
 <4> 도 4 는 본 발명의 일실시예에 따른 도 2 의 플립 칩 디바이스를 다수 포함하는 웨이퍼의 개략적인 상면도.
 <5> 도 5 는 본 발명의 일실시예에 따른, 후막을 스크린 프린팅하는 공정을 포함하는, 범프를 가진 플립 칩 웨이퍼의 제조 공정을 도시하는 흐름도.
 <6> * 도면의 주요부분에 대한 부호의 설명 *
 <7> 102 : 다이
 <8> 104 : 다이 저면
 <9> 106 : 범프
 <10> 108 : 다이 상면
 <11> 200 : 플립 칩 디바이스

<12> 210 : 보호막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

- <13> 본 발명은 일반적으로는 집적회로 (IC) 디바이스에 관한 것으로, 특히, 웨이퍼 다이싱 (dicing) 또는 다이 절단 (singulation) 작업의 수행에 앞서 보호막을 저면에 도포한 반도체 웨이퍼에 관한 것이다.
- <14> 현재 IC 산업에서 경쟁력을 유지하기 위해서, IC 공정 엔지니어는 웨이퍼 또는 로트 (lot) 당 디바이스 수율을 계속적으로 높여야 한다. 즉, 공정 엔지니어는 웨이퍼당 사용가능한 반도체 디바이스 수를 늘리기 위해 노력한다. 제조공정중의 임의의 단계도 IC 디바이스의 수율에 악영향을 미칠 수 있기 때문에, 공정 엔지니어는 각 단계를 최적화하려고 하며, 그 결과 동작불가능한 IC 디바이스의 수를 줄이게 된다.
- <15> 예를 들어, 종래의 다이싱 또는 절단 공정은 디바이스의 큰 유실을 초래할 가능성이 높은 제조 단계이다. 일반적으로, 웨이퍼가 다이싱될 때, 각 IC 디바이스의 다이싱 엣지를 따라 칩핑 (chipping) 이 발생할 수도 있다. 칩핑은 IC 디바이스에 전체에 균열이 형성되는 결과를 가져올 수도 있으며, 이 균열은 IC 디바이스를 손상시켜 목적인 응용에 사용될 수 없도록 할 수도 있다. 즉, 칩핑은 응력에 취약하고 손상되기 쉬운 IC 디바이스를 초래한다. 칩핑 때문에 사용불가능하게 된 IC 디바이스가 증가한 결과, 웨이퍼 또는 로트당 IC 디바이스의 수율이 크게 감소하고 제품 신뢰성이 떨어진다.
- <16> 다이싱 작업동안 칩핑이 생길수 있는 IC 디바이스 유형중 하나가 플립 칩 (flip chip) 디바이스이다. 다이싱 공정중에 플립 칩 디바이스는 웨이퍼의 다른 플립 칩 디바이스로부터 절단된다. 분리된 플립 칩 디바이스는, 예를 들어, 다이싱 공정의 결과 울퉁불퉁한 엣지를 가질 수도 있다. 플립 칩 디바이스는 다른 플립 칩 디바이스에서 분리된 후, 패키징 되고/되거나 인쇄회로보드에 탑재된다. 칩핑 때문에, 플립 칩 디바이스는 다이싱 공정 이후의 임의의 순간에 여러 가지 형태의 손상을 받을 수도 있다. 예를 들어, 플립 칩 디바이스는 탑재 또는 패키징에 앞서 처리중에 손상될 수도 있다.
- <17> 도 1 은 종래의 플립 칩 형 디바이스 (100) 의 측면도이다. 플립 칩 (100) 은 일반적으로 종래의 방식으로 제조된 다수의 IC 디바이스 구조를 가지는 다이 (102) 를 포함한다. 이 IC 디바이스 구조들은, 예를 들어, 트랜지스터 및 배선층을 포함할 수도 있다. 다이 (102) 는 범프 패드 (bump pad) (도시되지 않음) 를 포함하는 상면 (108) 을 가진다. 범프 (106) 는 최상면 (108) 의 범프 패드 위에 형성된다. 이 상면 (108) 은 다이 (102) 의 저면 (104) 에 대향한다. 저면 (104) 은 종래에는 아무런 처리를 하지 않은 상태로 되어 있거나 또는 노출되어 있었다. 예를 들어 저면 (104) 은 아무 처리를 하지 않은 실리콘이다.

발명이 이루고자 하는 기술적 과제

- <18> 노출된 저면을 가진 종래 디바이스로 이루어진 종래의 웨이퍼에 관련된 많은 문제점들이 존재한다. 예를 들어, 다이싱 작업중의 상기 칩핑이 그 하나이다. 즉, 노출된 저면은 응력이 유발되는 조건하에서는 충분한 기계적인 보호를 제공하지 못한다. 노출된 저면은 또한 플립칩 응용에 있어서의 정전기적인 쇼크 또는 광유발 바이어스 (light-induced bias) 로부터의 보호를 제공하지 못한다. 즉, 다이 (예를 들어, 102) 의 저면 (예를 들어, 104) 이 빛에 노출되면, 빛에 의해 발생된 캐리어 (photogenerated carrier) 에 기인한 기능상의 문제점이 디바이스에 발생할 수도 있고, 다이싱 작업 이후에 디바이스를 취급하는 중에 바람직하지 못한 정전기적 쇼크를 받을 수도 있다.
- <19> 상기 문제점들은 모두 생산 수율을 감소시킨다. 따라서, 상기 문제점들에 대한 해결책을 제공할 수 있는 향상된 웨이퍼가 필요하다. 예를 들어, 다이싱 공정 중 및 그 이후의 기계적 응력에 덜 취약한 향상된 웨이퍼가 필요하다. 그밖에 그러한 향상된 웨이퍼를 제조하는 방법도 요구된다.

발명의 구성 및 작용

- <20> 상기 목적을 달성하기 위해 본 발명의 목적에 따르면, 패키징된 집적회로 디바이스가 개시된다. 디바이스는, 일면에 다수의 전기적 콘택트 (contact) 를 가지며 타면에는 보호막을 직접 접촉시킨 다이를 포함하는데, 이 보호막은 레이저가 다이까지 침투함이 없이 레이저 마킹 (laser marking) 을 가능하게 할 정도의 두께를 가진다. 일실시예에서는, 디바이스의 보호막은 스크린 프린팅에 의해 형성된 후막 (thick film) 이다. 바람직스럽게는, 보호막이 1.5 내지 5 mil의 두께를 가진다.
- <21> 다른 실시예에서는, 반도체 웨이퍼가 개시된다. 웨이퍼는 다수의 반도체 다이를 포함하며, 각 다이는 웨이퍼의 제 1 면에 노출된 다수의 전기적 콘택트를 가진다. 또한, 웨이퍼는 웨이퍼의 제 2 면에 직접 접촉되는 보호후막을 포함한다. 보호막은 레이저가 다이까지 침투함이 없이 레이저 마킹을 가능하게 할 정도의 두께를 가진다.
- <22> 본 발명의 다른 실시형태에서는, 상면 및 저면을 갖는 웨이퍼 기판과 다수의 다이를 갖는 반도체 웨이퍼의 제조방법이 개시된다. 이 방법은 웨이퍼 기판의 상면에 다수의 다이를 형성하는 공정을 포함한다. 다수의 전기적 콘택트가 각 다이상에 배치된다. 또한, 이 방법은 레이저가 다수의 다이중 하나까지 침투함이 없이 레이저 마킹을 가능하게 할 정도의 두께를 가진 후막을 웨이퍼 기판 저면에 프린팅하는 공정을 포함한다. 일실시예에서는, 프린팅작업이 제 1 번 및 제 1 번과 대향하는 제 2 번을 가진 스크린을 웨이퍼 기판의 저면에 걸쳐 위치시키는 공정, 스크린의 제 1 번에 소정의 양의 재료를 배치시키는 공정, 스퀴지를 제 1 번으로부터 제 2 번까지 끌어당겨 재료가 스크린을 통해 웨이퍼 기판

의 저면에 걸쳐 얇게 도포되어 후막을 형성하도록 하는 공정을 포함한다. 다른 실시예에서, 제조방법은 탑재용 테이프를 후막에 접착시키는 공정과 다이를 서로 분리시키기 위해 웨이퍼를 다이싱하는 공정을 포함한다. 이때 탑재용 테이프는 특별히 접착형 테이프일 필요는 없다.

- <23> 다른 실시예에서는, 상면 및 저면을 갖는 웨이퍼 기판과 다수의 다이를 가진 반도체 웨이퍼를 제조하는 방법이 개시된다. 이 실시예에 의한 방법은 웨이퍼 기판의 상면에 다수의 다이를 형성하는 공정, 웨이퍼 기판의 저면에 후막을 입히는 공정, UV 형 테이프인 탑재용 테이프에 후막을 접착시키는 공정, 및 다이들을 분리하기 위해 웨이퍼를 다이싱하는 공정을 포함한다. 이 실시예에서, 후막은 분리된 다이의 엣지를 따라 칩핑이 생기는 것을 줄여준다.
- <24> 이하에서, 다이싱 작업 중에 및 그 후에 웨이퍼의 IC 디바이스를 보호하기 위한 방법 및 장치가 기재된다. 다음의 기재에서, 많은 특정되고 상세한 내용을 기술한 것은 본 발명의 완전한 이해를 제공하기 위함이다. 그러나 당업자는 본 발명을 이러한 특정되고 상세한 기재의 전부 또는 일부 없이도 실시할 수도 있다. 다른 예에서는, 불필요하게 본 발명을 모호하게 하는 것을 피하기 위해, 공지의 공정작업에 대해서는 자세하게 기재하지 않는다.
- <25> 전반적으로, 본 발명은 다이싱 공정중 및 그 이후의 공정에서 웨이퍼의 다이에 대한 손상을 현저히 예방하기 위한 보호막을 가진 웨이퍼를 포함한다. 예를 들어, 보호막은 다이의 다이싱 엣지를 따라 칩핑이 생기는 것을 현저히 예방할 수 있다. 다음의 기재는 플립 칩 디바이스에 대한 것이지만, 본 발명이 플립 칩 디바이스에만 한정되는 것은 아니고 플래시 (flash) 메모리 디바이스 또는 CSP (chip size package) 와 같이 다이싱 공정중에 저면이 노출되는 임의의 디바이스에 대해서도 실시될 수 있음을 당업자는 충분히 이해할 것이다. CSP의 일예가 BGA (ball grid array) 패키지형인데, 이 패키지형은, 본 발명과 동일한 양수인의 것인, Rajeev Joshi가 발명하여 "Thermally Enhanced Micro-Ball Grid Array Package" 라는 명칭으로 1995년 8월 22일 출원된 미국 특허출원 제 08/517,603 호에 기재되어 있으며 여기에 참조로서 기재된다.
- <26> 도 2 는 본 발명의 일실시예에 따른 플립 칩 디바이스 (200) 의 측면도이다. 플립 칩 (200) 은 종래 방식으로 제조된 다수의 IC 디바이스 구조를 가진 다이 (102) 를 포함한다. 이들 IC 디바이스 구조들은, 예를 들어, 트랜지스터 및 배선층을 포함할 수도 있다. 다이 (102) 는 다수의 전기적 콘택트 상에 형성된다. 이 상면 (108) 은 다이 (102) 의 저면과 대향한다. 이 실시예에서는 보호막 (210) 이 다이 저면 (104) 에 입혀진다.
- <27> 보호막 (210) 은 임의의 적절한 물질로 형성될 수 있다. 예를 들어, 보호막은 플라스틱 물질이나 에폭시로 만들어질 수도 있다. 예로서, Dexter Hysol 사의 "Encapsulant E0 1016" 도 좋다. 이 에폭시는 칩 온 보드 (chip-on-board) 응용에서 다이 및 와이어 본드 (wire bond) 를 보호하는 글로브 탑 (Glob Top) 재료로도 이용된다. 보호막은, 다이싱 작업중에 칩핑이 생기는 것을 현저히 예방하며 특정의 응용에 알맞은 임의의 두께를 가질 수 있다. 예를 들어, 보호막은 레이저가 후막을 관통함이 없이 레이저 마킹을 가능하게 할 정도의 두께를 가질 수도 있다. 보호막은 1.5 내지 5 mil 인 것이 바람직하며, 보호막이 2 내지 3 mil 인 것이 가장 바람직하다.
- <28> 도 4 는, 본 발명의 일실시예에 따른 도 2 의 플립 칩 디바이스 (200) 를 다수 포함하는 웨이퍼 (400) 의 상면도이다. 도시된 바와 같이, 플립 칩 디바이스들 (200) 이 웨이퍼 (400) 상에 어레이 (array) 패턴으로 형성된다. 스크라이브 라인 (scribe line) (402) 은 각 플립 칩 디바이스 (200) 사이에 위치한다. 웨이퍼를 다이싱할 때, 다이싱 도구는 스크라이브 라인 (402) 을 따라 절단하며, 다이싱 공정의 상세한 내용은 이하에서 도 5 를 참조하여 기재된다.
- <29> 보호막 (도 2 에서 210 으로 표시됨) 은 웨이퍼 (400) 의 저면상에 도포된다. 웨이퍼의 상면은 저면과 대향한다. 다수의 전기적 콘택트가 상면상에 배치될 수 있다. 그밖에, 범프 (도시되지 않음) 가 전기적 콘택트 위에 배치될 수도 있다. 저면의 보호막 (210) 은 웨이퍼 다이싱 공정중의 칩핑을 예방하는데 도움이 된다. 보호막 (210) 은 후막 (thick film) 의 형태인 것이 바람직하며, 후막을 입히기에 적합한 임의의 공정에 의해 형성된다. 일실시예에서는 스크린 프린팅 공정이 사용된다. 다른 예로서, 스펀 (spinning) 형 공정이 사용될 수도 있는데, 여기서는 웨이퍼의 전체 저면을 통해 후막이 펼쳐진다.
- <30> 도 5 는 본 발명의 일실시예에 따른, 후막을 스크린 프린팅하는 공정을 포함하는, 범프가 형성된 플립 칩 웨이퍼의 제조 공정 (500) 을 도시하는 흐름도이다. 우선, 501 단계에서는 웨이퍼 기판의 상면에 다수의 다이를 형성한다. 상기에서 언급한 바와 같이, 각 다이는 다수의 전기적 콘택트를 포함한다. 다음으로 502 단계에서는, 각 다이의 전기적 콘택트상에 다수의 범프를 배치시킨다. 상면은 웨이퍼 기판의 저면과 대향한다. 웨이퍼 기판의 상면상에 다수의 층을 증착함으로써 다이를 형성한다. 다이는 트랜지스터 같은 IC 디바이스를 포함할 수도 있다. 다수의 층은 종래의 제조기술을 사용해 증착된다.
- <31> 다수의 다이가 형성된 후에, 503 내지 505 단계에서 후막이 웨이퍼 기판의 저면상에 프린트된다. 이 후막은 후막을 입히는데 적합한 임의의 기술을 사용하여 입혀진다. 예를 들어, 503 내지 505 단계는 스크린 프린팅 공정을 기술한다. 스크린 프린팅 공정은 스크린을 웨이퍼 기판의 저면상에 위치시키는 503 단계를 포함한다. 다음으로 504 단계에서는, 스크린의 제 1 번에 소정의 양의 재료를 배치한다. 505 단계에서는 스퀴지 (squeegee) 를 스크린의 제 1 번에서 반대편 변까지 끌어당긴다. 스퀴지가 스크린을 가로질러 당겨지는 동안, 재료는 스크린을 통과하여 웨이퍼 기판의 저면상에도포된다. 재료의 양은, 레이저가 후막을 관통함이 없이 후막의 레이저 마킹을 가능하게 할 정도의 두께를 가지도록, 웨이퍼 기판 전체에 걸쳐 후막을 증착하기에 충분한 양으로 정한다. 재료의 양은 후막이 5 mil 보다 두껍지 않도록 하는 것이 바람직하다. 후막이 2 내지 3 mil 정도의 두께가 되도록 양을 정하는 것이 가장 좋다.
- <32> 후막이 가해진 후에 506 단계에서는, 탑재용 테이프가 후막에 붙여진다. 탑재용 테이프가 후막상에 붙여지고 후막은 일반적인 접착 정도를 갖는 탑재용 테이프에도 잘 접착되므로, 탑재용 테이프는

UV 형 테이프와 같은 특별한 테이프일 필요가 없다. 즉, 접착력이 강하고 웨이퍼에서 테이프를 떼어 내는데 자외선을 가해야 할 필요가 있는 UV 형 테이프는 필요하지 않다. 후막 도포중에 다이 및/또는 범프를 보호하기 위해 고정구조 (고정물)을 사용하는 것이 바람직하다. 즉, 고정구조는, 후막이 가해지는 동안, 다이 및 범프가 스크린 프레임 (Frame) 과 같은 다른 구조물로 이동하는 것을 방지한다.

<33> 후막이 탑재용 테이프에 접착된 후, 507 단계에서는 웨이퍼가 종래의 기술을 사용해 다이싱 또는 절단된다. 다이를 서로 분리하기 위해 적합한 임의의 절단장치가 사용될 수 있다. 절단 장치는, 웨이퍼를 완전히 절단할 수 있을 정도로 경질이어야 하며, 각 다이 사이의 가는 스크라이브 라인을 따라 절단할 수 있을 정도로 가늘어야 한다. 예를 들어, 30000 rpm 정도로 회전하는 가는 다이아몬드 톱이 다이를 분리하는데 사용될 수 있다.

<34> 웨이퍼를 개별적인 다이로 절단한 뒤, 다이는 패키징되거나 인쇄회로보드 (PCB) 상에 탑재된다. 예를 들어, 각 플립 칩 디바이스를, 범프가 PCB 상의 트레이스 (trace) 와 결합되도록, 뒤집어서 PCB 상에 장착한다.

발명의 효과

<35> 본 발명은 많은 효과를 가진다. 예를 들어, 보호막은 다이싱 공정중에 각 다이의 엷지를 따라 칩핑이 생기는 것을 방지한다. 도 3 은 본 발명의 실시예에 따라 저면의 일부에 보호막 (210) 을 입힌 결과 칩핑이 상당히 감소했음을 도시하는 플립 칩 디바이스 (300) 의 저면도이다. 도시된 바와 같이, 보호막 (210) 은 플립 칩 디바이스 (300) 의 일부에 입혀지며, 나머지 부분은 아무 처리되지 않은 실리콘 (104) 을 노출시킨다. 다이의 후막 부분 (210) 의 엷지를 (예를 들어 302) 따라 칩핑이 감소했음을 볼 수 있다. 즉, 후막부분의 엷지 (302) 는 상대적으로 매끄럽다. 이에 비해 보호막이 입혀지지 않은 다이 부분 (104) 의 엷지 (304) 는 울퉁불퉁하다.

<36> 칩핑을 감소시키는 것 외에도 본 발명은 다른 효과들도 가진다. 예로서, 칩핑의 감소는, 응력 균열이 칩핑된 엷지로부터 형성되어 다이에 손상이 가는 것을 크게 줄일 수 있게 한다. 그 외에, 보호막은 기계적 보호를 제공하며 취급시 다이에 손상이 갈 가능성을 줄여준다. 보호막은 디바이스의 취급시 정전기에 대한 보호도 제공한다.

<37> 보호막은 식별 목적을 위해 레이저로 마킹될 수 있는 면을 제공한다. 아무처리하지 않은 실리콘 저면에 비해 콘트라스트 (Contrast) 가 높은 마킹을 가능하게 해 준다. 보호막은 레이저로 마킹이 가능하지만, 보호막은 레이저가 보호막 밑의 다이까지 침투하지 않을 정도로 두껍다. 즉, 보호막은 다이를 레이저 손상으로부터 보호할 수 있을 만큼 두껍다. 또한, 보호막은 광유발 바이어스로부터의 보호를 제공한다. 빛으로부터의 보호의 결과, 빛이 기능상 문제를 일으킬 가능성이 감소한다. 또한, 보호막은 탑재용 테이프에 대한 접착성을 향상시켜, 특별히 접착력이 강한 탑재용 테이프를 쓸 필요가 없어지며, 웨이퍼로부터 탑재용 테이프를 분리시키기 위한 UV 경화 (curing) 단계를 요구하지 않는다. 따라서, 탑재용 테이프를 경화하기 위한 공정이 따로 필요하지 않게 되어 다이싱 공정에 연관된 시간 및 비용을 줄일 수 있다. 또한, 보호막이 탑재용 테이프에 잘 접착되므로, 다이싱 중에 및 그 이후에 테이프로부터 떨어져 분실되는 다이의 수를 감소시킬 수 있다.

<38> 명확한 이해를 위해 상기 발명이 어느 정도 상세히 기재되었지만, 첨부된 청구범위의 범위내에서 변화 및 변경이 이루어질 수 있음은 명백하다. 예를 들어, 범프가 후막 도포작업 전이 아니라 그 후에 각 다이의 전기적 콘택트상에 배치될 수도 있다. 따라서 본 실시예들은 예시적이며 한정적이지 않은 것으로 고려되어야 하며, 본 발명은 여기에서 주어진 세부적인 내용에 한정되지 않으며 첨부된 청구범위 및 그 균등범위내에서 변경될 수 있다.

(57) 청구의 범위

청구항 1

제 1 면에 다수의 전기적인 콘택트를 갖는 다이; 및

상기 다이의 후면에 직접 부착되며, 레이저가 상기 다이까지 침투함이 없이 보호막의 레이저 마킹을 가능하게 할 정도의 두께를 갖는 상기 보호막을 구비하고,

상기 보호막은 1.5 내지 5 밀(mil)의 두께를 갖는 것을 특징으로 하는 패키징된 집적회로 디바이스.

청구항 2

제 1 항에 있어서,

상기 보호막은 스크린 프린팅에 의해 형성된 후막(thick film)인 것을 특징으로하는 패키징된 집적회로 디바이스.

청구항 3

각각의 다이가 웨이퍼의 제 1 면상에 노출되어 있는 다수의 전기적인 콘택트를 갖는 다수의 반도체 다이들; 및

상기 웨이퍼의 제 2 면에 직접 부착되며, 레이저가 상기 다이까지 침투함이 없이 보호막의 레이저 마킹을 가능하게 할 정도의 두께를 갖는 상기 보호막을 구비하고,

상기 보호막은 1.5 내지 5 밀(mil)의 두께를 갖는 것을 특징으로 하는 반도체 웨이퍼.

청구항 4

상면과 저면을 갖는 웨이퍼 기판 및 다수의 다이들을 구비하는 반도체 웨이퍼를 제조하는 방법에 있어서,

각각의 다이들이 그의 표면상에 배치된 다수의 전기적 콘택트를 갖는 다수의 다이들을 웨이퍼 기판의 상면 상에 형성하는 단계; 및

레이저가 상기 다이들 중의 하나까지 침투함이 없이 후막의 레이저 마킹을 가능하게 할 정도의 두께를 갖는 후막을 상기 웨이퍼 기판의 저면에 프린팅하는 단계를 구비하고,

상기 후막은 1.5 내지 5 밀(mil)의 두께를 갖는 것을 특징으로 하는 방법.

청구항 5

상면과 저면을 갖는 웨이퍼 기판 및 다수의 다이들을 갖는 반도체 웨이퍼를 제조하는 방법에 있어서,

상기 웨이퍼 기판의 상기 상면 상에 다수의 다이들을 형성하는 단계;

상기 웨이퍼 기판의 상기 저면에 후막을 입히는 단계;

상기 후막을 자외선에 의해 경화되지 않는 탐재용 테이프에 접착시키는 단계; 및

상기 다이들을 분리시키기 위해 상기 웨이퍼를 다이싱하는 단계로서, 상기 후막이 상기 분리된 다이들의 엣지를 따라 칩핑(chipping)이 생기는 것을 줄여주는 단계를 구비하고,

상기 후막은 1.5 내지 5 밀(mil)의 두께를 갖는 것을 특징으로 하는 방법.

청구항 6

제 1 항에 있어서,

상기 보호막은 2 내지 3 밀(mil)의 두께를 갖는 것을 특징으로 하는 패키징된 집적 회로 디바이스.

청구항 7

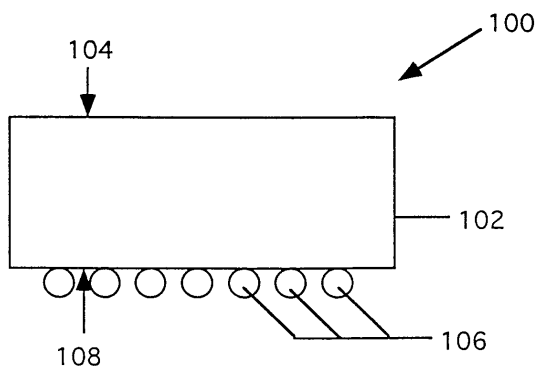
제 3 항에 있어서,

상기 보호막은 2 내지 3 밀(mil)의 두께를 갖는 것을 특징으로 하는 반도체 웨이퍼.

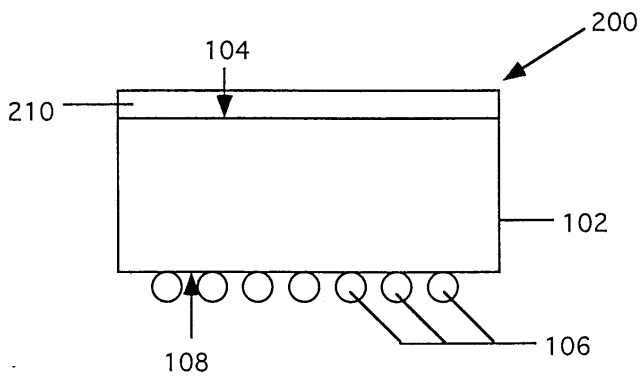
청구항 8

제 4 항 또는 제 5 항에 있어서,

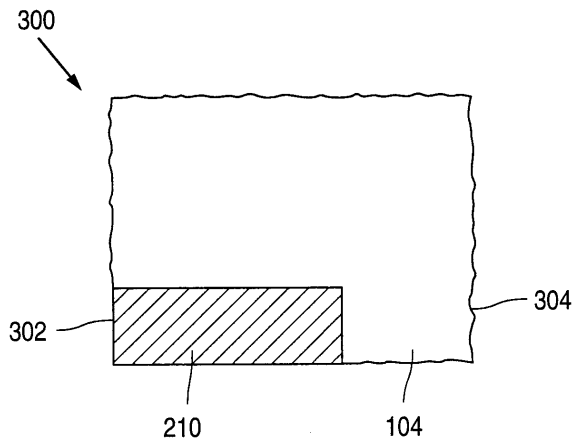
상기 후막은 2 내지 3 밀(mil)의 두께를 갖는 것을 특징으로 하는 방법.

도면**도면1**

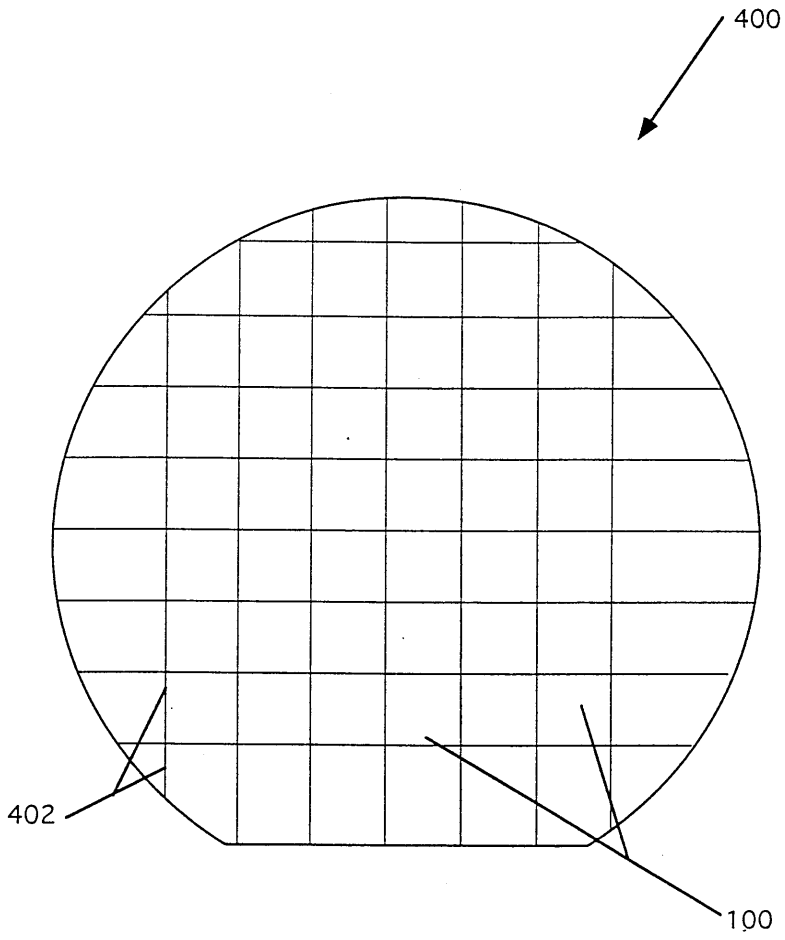
도면2



도면3



도면4



도면5

