



ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

2

(21) 4679099/24

(22) 13.04.89

(46) 15.12.91. Бюл. № 46

(71) Московский институт связи

(72) М.В.Гитлиц, А.Ю.Зеленин, О.Б.Попов,
Е.П.Зелевич и С.М.Бегалиев

(53) 681.325(088.8)

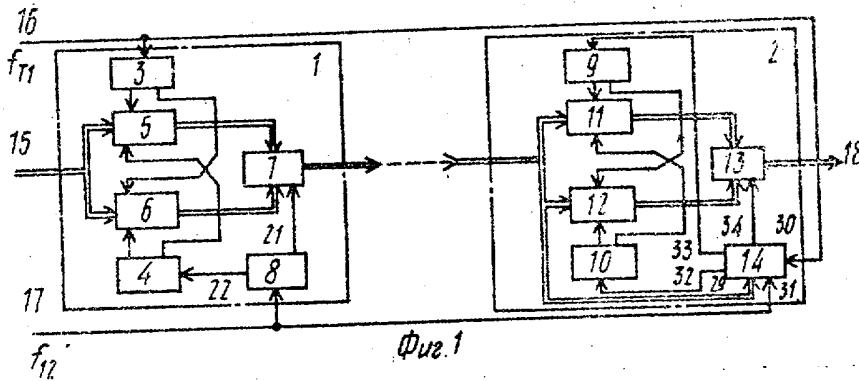
(56) Заявка Японии № 59-28737,
кл. Н 04 В 12/02, 1984.

Авторское свидетельство СССР
№ 1608812, кл. Н 04 J 3/06, 1987.

(54) УСТРОЙСТВО ДЛЯ СОГЛАСОВАНИЯ
ЦИФРОВЫХ ПОТОКОВ ПРИ ПЕРЕДАЧЕ
ЗВУКОВОГО СИГНАЛА

(57) Изобретение относится к вычислительной технике и технике связи. Его использование в цифровых системах радиовещания с независимыми синхрогенераторами позволяет повысить точность передачи за счет

устранения искажений передаваемого сигнала при согласовании скоростей цифровых потоков. Устройство состоит из транскодера 1, содержащего блоки 5,6 оперативной памяти, коммутатор 7 и формирователь 8 управляющих сигналов, и декодера 2, содержащего коммутатор 13 и формирователь 14 последовательностей тактовых импульсов. Благодаря введению в транскодер 1 блоков 3,4 микропрограммного управления, а в декодер 2 – блоков 9,10 микропрограммного управления и блоков 11, 12 оперативной памяти осуществляется попеременная запись информации с одной тактовой частотой и считывание ее с другой тактовой частотой с дополнением в транскодере 1 недостающих выборок нулевыми вставками и с их удалением в декодере 2. 2 з.п.ф.лы, 4 ил.



Изобретение относится к вычислительной технике и технике связи и может быть использовано, например, в цифровых системах радиовещания с независимыми синхронизаторами.

Цель изобретения – повышение точности передачи за счет устранения искажений передаваемого сигнала при согласовании скоростей цифровых потоков.

На фиг.1 приведена блок-схема устройства; на фиг.2 и 3 – примеры выполнения соответственно формирователя управляющих сигналов транскодера и формирователя последовательностей тактовых импульсов декодера; на фиг.4 – принцип действия устройства.

Устройство состоит из транскодера 1 и декодера 2. Транскодер 1 включает первый и второй блоки 3 и 4 микропрограммного управления, первый и второй блоки 5 и 6 оперативной памяти, коммутатор 7 и формирователь 8 управляющих сигналов. Декодер 2 содержит первый и второй блоки 9 и 10 микропрограммного управления, первый и второй блоки 11, 12 оперативной памяти, коммутатор 13 и формирователь 14 последовательностей тактовых импульсов. На фиг.1 обозначены также информационные входы 15, первый и второй тактовые входы 16, 17 и выходы 18 устройства.

Формирователь 8 управляющих сигналов транскодера 1 выполнен (фиг.2) на счетчике 19 импульсов на N_1 и счетчике 20 импульсов на N_2 , где N_1 и N_2 – минимально возможные целые числа, удовлетворяющие условию $N_1 \cdot f_{T2} = N_2 \cdot f_{T1}$, f_{T1} и f_{T2} – соответственно первая и вторая тактовые частоты (на входах 16 и 17). На фиг.2 обозначены первый и второй выходы 21 и 22 формирователя 8 (первым выходом 21 является выход счетчика 20 на N_2 и наоборот).

Формирователь 14 последовательностей тактовых импульсов содержит (фиг.3) синхронизатор 23, счетчик 24 импульсов на N_2 , первый и второй счетчики 25 и 26 импульсов на N_1 , первый и второй элементы 27, 28 И. На фиг.3 обозначены информационные входы 9, первый и второй тактовые входы 30 и 31, (первый тактовый вход 30 является входом первого счетчика 25 на N_1), первый-третий выходы 32–34 (первый выход 32 – выход первого элемента 27 И).

Блоки 3, 4, 9 и 10 микропрограммного управления могут представлять собой распределители импульсов.

Коммутатор 7 по окончании выдачи информации с очередного блока оперативной памяти формирует на своих выходах нулевые сигналы.

Синхронизатор 23 формирователя 14 служит для согласования во времени работы счетчиков 24–26 и может быть выполнен, например, в виде набора буферных регистров с дешифраторами различных кодовых комбинаций и триггерных формирователей запускающих (обнуляющих) импульсов.

Временные диаграммы на фиг.4 поясняют принцип работы устройства для согласуемых потоков с первой тактовой частотой $f_{T1} = 32$ кГц и второй тактовой частотой $f_{T2} = 48$ кГц.

Устройство работает следующим образом.

Цифровой звуковой сигнал (ЦАС) с первой тактовой частотой (фиг.1а, отсчеты условно изображены в АИМ виде) поступают на информационные входы 15 в транскодер и подается одновременно на информационные входы его первого и второго блоков 5 и 6 оперативной памяти. Под действием импульсов первой тактовой частоты f_{T1} , поступающей на первый тактовый вход 16, первый блок 3 микропрограммного управления формирует сигналы записи, которые поступают с его первого выхода на вход разделения записи первого блока 5 оперативной памяти для запоминания первой выборки из N_1 отсчетов исходного ЦАС. Количество отсчетов N_1 зависит от кратности частот f_{T2} и f_{T1} и определяется из выражения $N_1 \cdot f_{T2} = N_2 \cdot f_{T1}$, где N_2 – минимальное целое число, удовлетворяющее этому выражению и условию, что отношение N_2/N_1 больше или равно единице. Отсюда вытекает требование выполнения условия $f_{T2} > f_{T1}$, необходимого для правильной работы устройства. После запоминания первых N_1 отсчетов в первом блоке 5 оперативной памяти первый блок 3 микропрограммного управления формирует сигналы записи по своему второму выходу, поступающие на выход разрешения записи второго блока 6 оперативной памяти для запоминания второй выборки из N_1 отсчетов. Пока происходит эта запись второй выборки из N_1 отсчетов во второй блок 6 оперативной памяти, второй блок 4 микропрограммного управления под действием импульсов второй тактовой частоты f_{T2} , поступающих со второго выхода 22 формирователя 8, в который вторая тактовая частота f_{T2} подается со второго тактового входа 17, формирует по своему первому выходу сигналы чтения, поступающие и в первый блок 5 оперативной памяти на вход разрешения считывания и подготавливающие данные, хранящиеся в нем, к выдаче на выход транскодера 1. Формирователь 8 в

это время формирует. по первому выходу 21 сигнал управления на управляющий вход коммутатора 7, который коммутирует выходы первого блока 5 оперативной памяти на выходы транскодера 1. Таким образом, выборка из N_1 отсчетов, хранящаяся в первом блоке 5 оперативной памяти, поступает со второй тактовой частотой на выходы транскодера 1. Так как $f_{T2} > f_{T1}$, то количество отсчетов, следующих со второй тактовой частотой за период T выборки ЦЗС, должно быть больше N_1 и равно N_2 . Поэтому формирователь 8 все отсчеты с номерами $N > N_1$ обнуляет (в данном примере $N_1=2$, $N_2=3$, третий отсчет обнуляется), т.е. управляет коммутатором 7 таким образом, что в момент прихода тактового импульса второй тактовой частоты f_{T2} на выходе транскодера 1 будет сформирован нулевой уровень напряжения.

После окончания всего цикла – записи отсчетов во второй блок 6 оперативной памяти и одновременного считывания из первого блока 5 оперативной памяти – вся операция повторяется, только уже с записью отсчетов в первый блок 5 оперативной памяти и считыванием из второго блока 6 оперативной памяти. Работа транскодера 1 будет заключаться в чередовании описанных операций. На выходах транскодера 1 будет формироваться ЦЗС со второй тактовой частотой f_{T2} и дополнительными нулевыми отсчетами (фиг.4б).

Декодер 2 осуществляет обратное преобразование. Кодированный (с вставленными нулевыми отсчетами) ЦЗС со второй тактовой частотой f_{T2} одновременно поступает в декодере 2 на информационные входы первого и второго блоков 11 и 12 оперативной памяти и формирователя 14. Последний синхронизируется по информационной последовательности и начинает формировать последовательности тактовых импульсов с тактовыми частотами f_{T1} и f_{T2} , которые поступают на выход первого и второго блоков 9, 10 микропрограммного управления соответственно. Под действием последовательности тактовых импульсов второй тактовой частоты f_{T2} второй блок 10 декодера производит запись N_1 отсчетов выборки ЦЗС в первый блок 11 оперативной памяти под действием сигналов, поступающих со второго выхода 33 формирователя 14, который вырабатывает на своем первом выходе 32 сигналы записи, отбрасывая вставленные нулевые отсчеты. По окончании цикла записи N_1 отсчетов в первый блок 11 оперативной памяти второй блок 10 микропрограммного управления начинает вы-

рабатывать сигналы записи по своему второму выходу 33, соединенному со входом разрешения записи второго блока 12 оперативной памяти. По этим сигналам осуществляется запись следующих N_1 отсчетов во второй блок 12 оперативной памяти. Одновременно с этим первый блок 9 микропрограммного управления по последовательности тактовых импульсов с первой тактовой частотой f_{T1} начинает вырабатывать по своему первому выходу, соединенному со входом разрешения считывания первого блока 11 оперативной памяти, сигналы чтения, подготавливающие данные к выдаче на выход декодера 2. В то же время формирователь вырабатывает по своему третьему выходу 34 на управляющий вход коммутатора 13 управляющие сигналы, коммутирующие выходы первого блока 11 оперативной памяти на выходы 18. Таким образом, на выходах 18 формируется исходная информационная последовательность с первой тактовой частотой f_{T1} без вставленных нулевых отсчетов, абсолютно идентичная исходному ЦЗС. После выдачи N_1 отсчетов весь цикл повторяется, только уже с записью N_1 отсчетов в первый блок 11 оперативной памяти и считыванием из второго блока 12 оперативной памяти и т.д. с чередованием циклов и коммутацией на выходы 18 первого и второго блоков 11 и 12 оперативной памяти поочередно.

Привязка работы формирователя 14 осуществляется синхронизатором 23 по выделению кодовой комбинации. Комбинация записанных отсчетов могут быть следующими: нулевой и два следующих информационных (первая комбинация); информационный, нулевой и информационный (вторая); два информационных и нулевой (третья); две нулевые – пауза (остальные комбинации столь маловероятны, что их можно не принимать во внимание).

Эти комбинации играют важную роль только в момент синхронизации декодера 2; после достижения синхронизации синхронизатор 23 не оказывает влияния на формирование тактовых последовательностей, поступающих на выходы формирователя 14. В случае записи нулевой комбинации (пауза) синхронизатор 23 не запускается до тех пор, пока в информационной последовательности не появятся отсчеты, отличные от нулевого. На выходах 18 соответственно формируются нулевые отсчеты.

Таким образом, на выходах 18 образуется исходная информационная последовательность ЦЗС с тактовой частотой f_{T1} без

введенных транскодером 1 нулевых отсчетов.

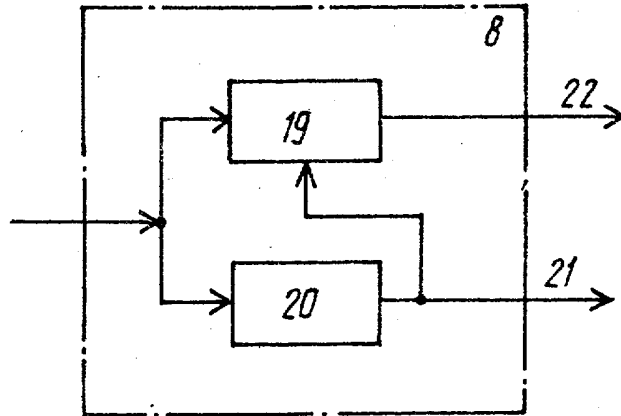
Формула изобретения

1. Устройство для согласования цифровых потоков при передаче звукового сигнала, состоящее из транскодера и декодера, транскодер содержит первый и второй блоки оперативной памяти, коммутатор и формирователь управляющих сигналов, декодер содержит коммутатор и формирователь последовательности тактовых импульсов, о т л и ч а ю щ е с я тем, что, с целью повышения точности передачи за счет устранения искажений передаваемого сигнала при согласовании скоростей цифровых потоков, в транскодер введены первый и второй блоки программного управления, первый и второй выходы первого блока программного управления соединены с входами разрешения записи соответственно первого и второго блоков оперативной памяти, информационные входы которых соответственно объединены и являются информационными входами устройства, первый и второй выходы второго блока программного управления подключены к входам разрешения считывания соответственно первого и второго блоков оперативной памяти, выходы которых подключены соответственно к первым и вторым информационным входам коммутатора, выходы которого являются выходами транскодера, первый и второй выходы формирователя управляющих сигналов соединены соответственно с управляющим входом коммутатора и входом второго блока программного управления, в декодер введены первый и второй блоки программного управления и первый и второй блоки оперативной памяти, информационные входы которых соответственно объединены с информационными входами формирователя последовательности тактовых импульсов и являются входами декодера, первый и второй выходы первого блока программного управления соединены с входами разрешения считывания соответственно первого и второго блоков оперативной памяти, выходы которых подключены соответственно к первым и вторым информационным входам коммутатора, выходы которого являются выходами устройства, первый и второй выходы второго блока программного управления соединены с входами разрешения записи соответственно первого и второго блоков оперативной памяти, первый - тре-

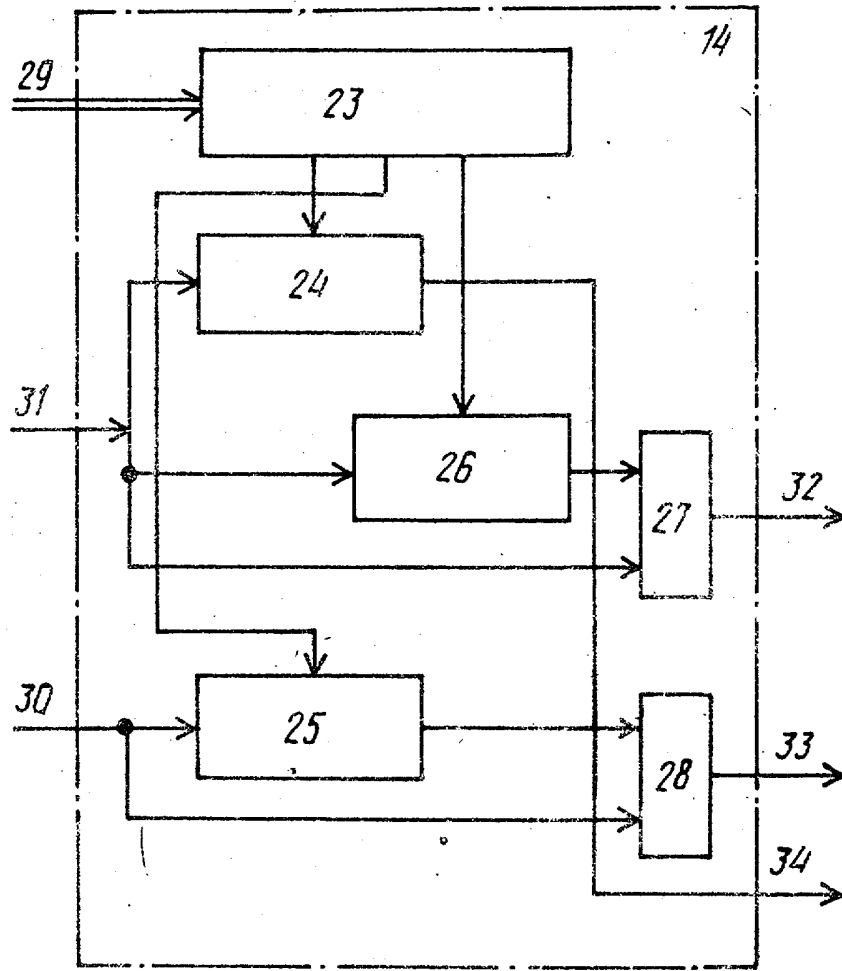
тий выходы формирователя последовательности тактовых импульсов подключены соответственно к входам первого и второго блоков программного управления и управляющему входу коммутатора, первый тактовый вход формирователя последовательности тактовых импульсов декодера объединен с входом первого блока программного управления транскодера и является первым тактовым входом устройства, второй тактовый вход формирователя последовательности тактовых импульсов декодера объединен с входом формирователя управляющих сигналов транскодера и является вторым тактовым входом устройства.

2. Устройство по п.1, о т л и ч а ю щ е с я тем, что формирователь управляющих сигналов транскодера содержит счетчик импульсов на N_1 и счетчик импульсов на N_2 (N_1 и N_2 - минимально возможные целые числа, удовлетворяющие условию $N_1 \cdot f_{t2} = N_2 \cdot f_{t1}$, $f_{t1} < f_{t2}$, f_{t1} и f_{t2} - первая и вторая тактовые частоты устройства), счетные входы которых объединены и являются входом формирователя, выход счетчика импульсов на N_2 соединен с входом обнуления счетчика импульсов на N_1 и является первым выходом формирователя, выход счетчика импульсов на N_1 - вторым выходом формирователя.

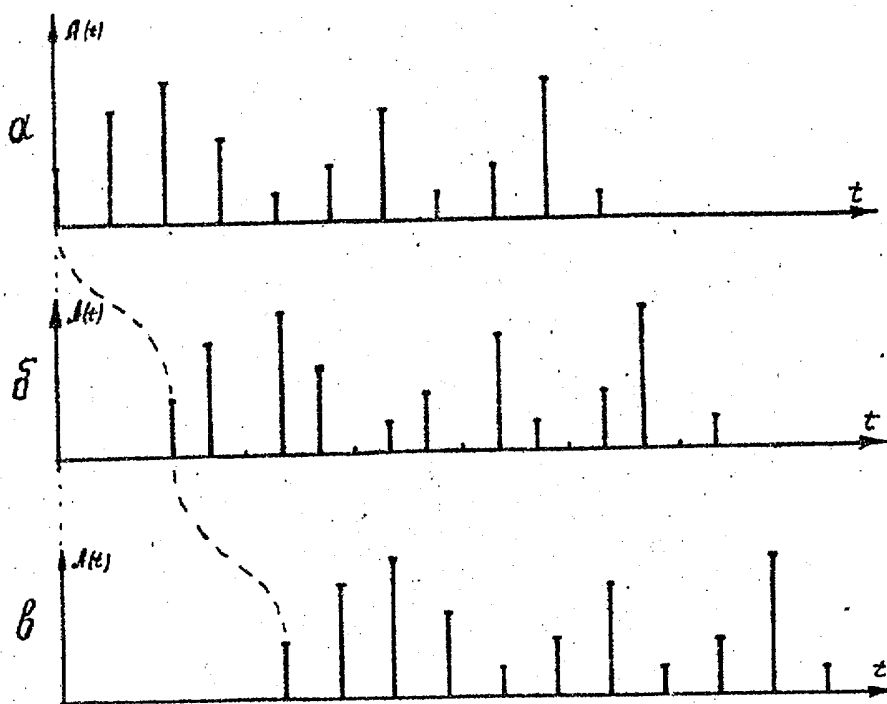
3. Устройство по п.1, о т л и ч а ю щ е с я тем, что формирователь последовательности тактовых импульсов декодера содержит счетчик импульсов на N_2 , первый и второй счетчики импульсов на N_1 , первый и второй элементы И и синхронизатор, входы которого являются информационными входами формирователя, первый - третий выходы синхронизатора соединены с входами обнуления соответственно счетчика импульсов на N_2 и первого и второго счетчиков импульсов на N_1 , счетный вход первого счетчика импульсов на N_1 объединен с первым входом второго элемента И и является первым тактовым входом формирователя, счетные входы счетчика импульсов на N_2 и второго счетчика импульсов на N_1 объединены с первым входом первого элемента И и являются вторым тактовым входом формирователя, выходы второго и первого счетчиков импульсов на N_1 соединены с вторыми входами соответственно первого и второго элементов И, выходы которых являются соответственно первым и вторым выходами формирователя, выход счетчика импульсов на N_2 является третьим выходом формирователя.



Фиг. 2



Фиг. 3



фиг. 4

Редактор Н.Горват

Составитель О.Ревинский
Техред М.Моргентал

Корректор О.Ципле

Заказ 4402

Тираж

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101