

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 11/401	(45) 공고일자 1999년10월01일	(11) 등록번호 10-0222812
(21) 출원번호 10-1996-0041591	(65) 공개번호 특1997-0017629	(24) 등록일자 1999년07월07일
(22) 출원일자 1996년09월23일	(43) 공개일자 1997년04월30일	
(30) 우선권주장 95-273616 1995년09월26일 일본(JP)		

(73) 특허권자	닛본 덴기 가부시키키가이샤	가네꼬 히사시
(72) 발명자	일본국 도쿄도 미나토구 시바 5쵸메 7방 1고 기따우라 마모루	
(74) 대리인	일본 도쿄도 미나토구 시바 5쵸메 7-1 닛본덴기 가부시키키가이샤 내 구영창, 장수길	

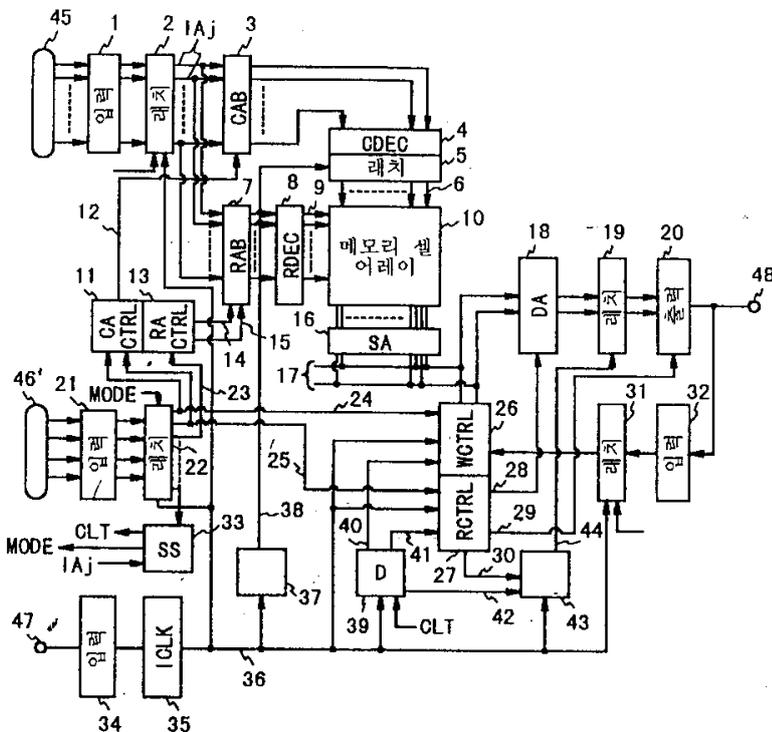
심사관 : 김종찬

(54) 입력 신호 래치시 연장 마진을 갖는 반도체 메모리 디바이스

요약

반도체 메모리 디바이스는 외부 클럭 신호로부터 내부 클럭 신호를 발생시키기 위해 내부 클럭 신호 발생 수단을 포함한다. 래칭 수단은 입력된 어드레스를 래치하기 위한 어드레스 래치 회로, 입력된 커맨드를 래치하기 위한 커맨드 래치 회로 및 입력된 기록 데이터를 래치하기 위한 기록 데이터 래치 회로를 포함한다. 상태 세팅 수단은 어드레스 래치 회로에 의해 래치된 어드레스 키 및 커맨드 래치 회로에 의해 래치된 모드 세팅 커맨드에 기초하여, 어드레스 래치 회로, 커맨드 래치 회로 및 기록 데이터 래치 회로를 제어함으로써 내부 클럭 신호의 제1타이밍과, 변화될 어드레스, 커맨드, 및 기록 데이터 각각의 제2타이밍 사이의 시차를 선택적으로 연장한다.

대표도



명세서

[발명의 명칭]

입력 신호 래치시 연장 마진을 갖는 반도체 메모리 디바이스 및 반도체 메모리 디바이스의 제공 방법

[도면의 간단한 설명]

제1도는 종래의 동기형 동적 랜덤 액세스 메모리(DRAM)의 구조를 도시한 블록도.

제2(a)도 내지 제2(d)도는 제1도에 도시된 종래의 동기형 DRAM의 ① 입력 셋업 타임, ② 입력 홀드 타임, 및 ③ 입력 윈도우 폭을 설명하기 위한 도면들.

제3도는 제1도에 도시된 종래의 동기형 DRAM의 래치 회로들 각각의 구조를 설명하기 위한 회로도.

제4도는 본 발명의 실시예에 따른 동기형 DRAM과 같은 반도체 메모리 디바이스의 구조를 도시한 블록도.

제5도는 제4도에 도시된 본 발명의 실시예에 따른 동기형 DRAM의 래치 회로들(2,22 및 31) 각각의 구조의 일례를 도시한 회로도.

제6도는 제4도에 도시된 본 발명의 실시예에 따른 동기형 DRAM의 래치 회로들(2,22 및 31)의 구조의 다른 일례를 도시한 회로도.

제7도는 제4도에 도시된 본 발명의 실시예에 따른 동기형 DRAM의 상태 세팅회로의 구조의 일례를 도시한 회로도.

제8(a)도 내지 제8(f)도는 제4도에 도시된 본 발명의 실시예에서 상태 세팅 커맨드가 세트될 때의 신호 파형을 도시한 도면.

제9(a)도 내지 제9(i)도는 제4도에 도시된 본 발명의 동기형 DRAM에 활성화 커맨드 신호가 입력될 때의 각각의 신호들의 파형들을 도시한 타이밍도.

제10(a)도 내지 제10(j)도는 제4도에 도시된 본 발명의 동기형 DRAM에 READ 및 WRITE 커맨드들이 입력될 때의 신호들의 파형들을 도시한 타이밍도.

제11도는 제4도에 도시된 본 발명의 실시예에 따른 동기형 DRAM에 제5도 및 제6도의 회로들을 결합시킴으로써 얻어진 래치 회로들(2,22 및 31)의 구조의 다른 일례를 도시한 회로도.

* 도면의 주요부분에 대한 부호의 설명

1 : 어드레스 입력 회로	2,5,19,22,31 : 래치 회로
3 : 열 어드레스 버퍼	4 : 열 디코더
7 : 행 어드레스 버퍼	8 : 행 디코더
10 : 메모리 셀 어레이	11 : 열 어드레스 제어 회로
13 : 행 어드레스 제어 회로	16 : 센스 증폭기
18 : 데이터 증폭기	20 : 데이터 출력 회로
21 : 커맨드 입력 회로	26 : 기록 제어 회로
27 : 판독 제어 회로	32 : 데이터 입력 회로
33 : 상태 세팅 회로	34 : 클럭 입력 회로
35 : 내부 클럭 신호 발생 회로	37,43 : 논리 회로
39 : 지연 회로	

[발명의 상세한 설명]

[발명의 목적]

[발명이 속하는 기술분야 및 그 분야의 종래기술]

본 발명은 반도체 메모리 디바이스에 관한 것으로, 특히, 입력 신호를 래치할 때 타임 마진이 연장될 수 있는 반도체 메모리 디바이스에 관한 것이다.

입력 래치 회로들을 사용하는 종래의 반도체 메모리 디바이스로서, 외부 클럭 신호에 동기로 동작하는 클럭 동기형 동적 랜덤 액세스 메모리(이후부터 '동기형 DRAM'이라 함)가 공지되어 있다. 이 동기형 DRAM에서는, 고속 동작을 실현하기 위한 다양한 타입의 기술이 있다. 이 다양한 타입의 속도 향상 기술의 하나로서, 3-스테이지 파이프라인 기술(3-stage pipelining technique)이 공지되어 있다. 이것은 열 어드레스의 입력 동작으로부터 판독/기록 동작까지의 동작들이 2개의 래치 회로들을 사용하여 3개의 스테이지로 분할되어, 각 스테이지들의 동작을 병렬로 실행하여 동기형 DRAM의 고속 동작이 실현되게 하는 기술이다.

제1도는 종래의 동기형 DRAM의 구조를 도시한 블록도이다. 제1도를 참조하면, 종래의 동기형 DRAM은 어드레스 입력 회로(101), 커맨드 입력 회로(121)(커맨드는 행 어드레스 선택 커맨드, 판독/기록 커맨드, 및 프리차지(precharge) 커맨드 등을 포함함), 클럭 입력 회로(134), 데이터 출력 회로(120), 데이터 입력 회로(132), 내부 클럭 신호 발생 회로(ICLK:135), 상태 세팅 회로(SS:133), 내부 래치 회로들(105 및 119), 입력 래치 회로들(102,122 및 131), 열 어드레스 버퍼(CAB:103), 열 디코더(CDEC:104), 행 어드레스 버퍼(RAB:107), 행 디코더(RDEC:108), 메모리 셀 어레이(110), 열 어드레스 제어 회로(CA CTRL:111), 행 어드레스 제어 회로(RA CTRL:113), 센스 증폭기(SA:116), 데이터 증폭기(DA:118), 기록 제어 회로(WCTRL:126), 판독 제어 회로(RCTRL:127), 논리 회로들(137 및 143), 및 지연 회로(D:139)로 구성된다.

제2(a)도 내지 제2(d)도는 입력 셋업 타임 및 입력 홀드 타임을 설명하기 위한 타이밍도이고, 제3도는 래치 회로들(102,122 및 131) 각각의 구조를 도시한 회로도이다. 제2(a)도 내지 제2(d)도 및 제3도를 참조하여, 상술된 입력 셋업 타임 및 입력 홀드타임을 상세히 기술하겠다.

입력 셋업 타임은 커맨드의 입력 신호, 어드레스 또는 데이터가 스위치되는 시간으로부터 외부 클럭 신호

가 상승할 때까지의 시간 기간(제2(d)도의 ①로 도시됨)으로서 정의된다. 입력 홀드 타임은 외부 클럭 신호가 상승할 때로부터 입력 신호가 다음에 스위치될 때까지의 시간 기간(제2(d)도의 ②로 도시됨)으로서 정의된다. 제3도에 도시된 입력 래치 회로의 일례로부터 알 수 있는 바와 같이, 입력 신호는 래치(156)의 데이터 입력 단자에 제공되어, 회로(135)에 의해 외부 클럭 신호로부터 발생된 내부 클럭 신호(1)로부터 미리 설정되어 있는 타이밍에서 래치된다. 즉, 입력 셋업 타임 및 입력 홀드 타임은 래치 동작의 마진을 정의한다. 미리 설정되어 있는 타이밍이 유지되지 않는 한, 래치 에러가 발생하고, 즉, 잘못된 래치 동작이 실행된다. 예를 들어, 어드레스 'A'가 래치되고자 하는 경우에, 어드레스 'A'가 입력 셋업 타임 내의 한 타이밍에 입력되지 않으면, 제2(c)도에 도시된 바와 같이 어드레스 'B'가 래치된다. 또한, 어드레스 입력이 입력 홀드 타임 내의 타이밍에 실행되지 않으면, 어드레스 'C'가 래치된다. 이것은 제2(d)도 및 제2(d)도에 도시된 커맨드 입력동작 및 기록 데이터 입력 동작에도 유사하게 적용된다.

제2(d)도의 ③에 도시된 바와 같이 입력 셋업 타임 및 입력 홀드 타임의 결합을 입력 윈도우 폭이라고 한다. 연속 입력이 고려될 경우 외부 클럭 신호의 주파수가 증가됨에 따라 입력 윈도우 폭은 좁혀져야만 한다. 입력 윈도우 폭은 100 MHz(한 사이클은 10ns임) 동작 동기형 DRAM에서 3 내지 4ns의 범위 내의 값으로 통상 세트된다.

그러나, 상술된 종래의 동기형 DRAM에는 다음과 같은 문제점들이 있다. 즉, 동기형 DRAM을 사용하는 시스템에서, 일반적으로 입력 셋업 타임 및 입력 홀드 타임 중 오직 하나만이 보다 중요한 것으로 고려된다. 입력은 통상 매 클럭 사이클 당 한 번 스위치된다. 예를 들어, 입력 셋업 타임이 보다 중요한 것으로 고려되는 경우에, 입력 신호는 적어도 클럭 신호의 상승 에지로부터 셋업 시간 전에 한번 스위치된다. 또한, 입력 홀드 타임이 보다 중요한 것으로 고려되는 경우에, 입력 신호는 적어도 클럭 신호의 상승 에지로부터 입력 홀드 타임 후에 한 번 스위치된다. 그러나, 동기형 DRAM이 설계되는 경우에, 실제로 입력 셋업 타임 및 입력 홀드 타임 둘 다 최적이 되도록 설계되어 입력 셋업 타임이 보다 중요한 것으로 고려되는 시스템 및 입력 홀드 타임이 보다 중요한 것으로 고려되는 시스템 모두에 대처할 수 있게 된다.

또한, 동기형 DRAM의 제품 등급이 결정될 때 기초가 되는 메인 아이템들은, 동작 주파수인 사이클 타임, 액세스 타임, 및 입력 셋업 타임과 입력 홀드 타임의 결합인 입력 윈도우 폭이다. 입력 셋업 타임 및 입력 홀드 타임은 전원 및 온도에 좌우되는 것 이외에도 프로세스 파라미터들의 변화에 많은 영향을 받는 특성을 갖는다. 이것은 입력 회로(101, 102 또는 131)의 특성들이 전원 레벨 및 온도 및 프로세스 파라미터에 좌우되어 변화하기 때문이다. 예를 들어, 로우 레벨로부터 하이레벨로의 전이 및 하이 레벨로부터 로우 레벨로의 전이간의 상술된 입력 회로의 응답 속도의 차이가 야기되거나, 래치 회로로의 입력 신호의 타이밍과 내부 클럭 신호 타이밍 사이의 편차가 야기된다.

특히, 제조 프로세스 등의 변화를 고려하는 경우, 입력 윈도우 폭은 약 3ns의 한계를 갖는다. 100MHz 이상의 클럭 신호 주파수를 갖는 차후 제품에서는, 최적 입력 셋업 타임 및 입력 홀드 타임을 동시에 설계하는 것이 매우 어렵다. 예를 들어, 5ns의 사이클에 대응하는 200MHz의 클럭 신호 주파수를 갖는 동기형 DRAM에서 입력 윈도우 폭은 약 2ns가 되어야만 한다.

따라서, 하이 클럭 신호 주파수를 갖는 동기형 DRAM의 경우에, 동기형 DRAM이 사이클 타임 및 액세스 타임에 대한 충분한 능력을 갖더라도, 제품 등급이 입력 셋업 타임 및 입력 홀드 타임을 기초로 결정될 가능성이 있다. 즉, 입력 셋업 타임 및 입력 홀드 타임은 하이 클럭 신호 주파수를 갖는 동기형 DRAM에서 동작주파수의 증가에 대항하는 결정소가 된다.

[발명이 이루고자 하는 기술적 과제]

본 발명은 상술된 문제점들을 조명하여 이루어지고, 본 발명의 목적은 상기 문제점이 제거될 수 있도록 입력 래치 회로의 상태가 상태 세팅 회로에 의해 스위치되고, 제품 등급이 입력 셋업 타임 및 입력 홀드 타임을 기초로 결정되는 반도체 메모리 디바이스를 제공하는데 있다.

본 발명의 한 양상을 달성하기 위해, 반도체 메모리 디바이스는 외부 클럭 신호로부터 내부 외부 클럭 신호를 발생시키기 위한 내부 클럭 신호 발생 수단; 입력된 어드레스를 래치하기 위한 어드레스 래치 회로, 입력된 커맨드를 래치하기 위한 커맨드 래치 회로, 및 입력된 기록 데이터를 래치하기 위한 기록 데이터 래치 회로를 포함하는 래칭 수단; 및 상기 어드레스 래치 회로에 의해 래치된 어드레스 키 및 상기 커맨드 래치회로에 의해 래치된 모드 세팅 커맨드에 기초하여, 상기 어드레스 래치 회로, 상기 커맨드 래치 회로, 및 상기 기록 데이터 래칭 회로를 제어함으로써, 상기 내부 클럭신호의 제1타이밍과, 변화될 상기 어드레스, 상기 커맨드, 및 상기 기록 데이터 각각의 제2타이밍 사이의 시차를 선택적으로 연장하는 상태 세팅 수단을 포함한다.

이 경우에, 상태 세팅 수단은 어드레스 키의 적어도 일 비트를 사용하여 시차를 선택적으로 연장하고, 상태 세팅 수단은 어드레스 키의 적어도 일 비트에 대응하는 적어도 하나의 플립플롭을 포함하며, 어드레스 래치 회로, 커맨드 래치 회로 및 기록 데이터 래치 회로를 제어하기 위해 모드 세팅 커맨드에 응답하여 어드레스 키의 적어도 일 비트로부터 모드 신호를 발생시킬 수 있다.

연장된 시차가 입력 홀드 타임에 대응하고, 입력 셋업 타임이 미리 설정되어 있는 경우, 상태 세팅 수단은 입력 홀드 타임 모드를 세팅하기 위해 어드레스 키 및 모드 세팅 커맨드로부터 모드 신호를 발생시키고, 입력 홀드 타임 모드가 세트되지 않을 때 통상 입력 셋업 타임 모드가 세트된다.

어드레스 래치 회로, 커맨드 래치 회로 및 기록 데이터 래치 회로 각각은 내부 클럭 신호에 응답해서 래치 입력을 래치하기 위한 래칭 수단, 및 어드레스, 커맨드 및 기록 데이터 중 대응하는 것을 입력 셋업 타임 모드에서 상기 래칭 수단에 래치 입력으로서 통상 제공하고, 대응하는 것을 지연시켜 지연된 대응하는 것을 입력 홀드 타임 모드에서 래칭 수단에 래치 입력으로서 공급하기 위한 지연 수단을 포함한다.

연장된 시차가 입력 셋업 타임에 대응하고 입력 홀드 타임이 미리 설정되어있는 경우, 상태 세팅 수단은, 입력 셋업 타임 모드를 세팅하기 위해 어드레스 키 및 모드 세팅 커맨드로부터 모드 신호를 발생시키고, 입력 홀드 타임 모드는 입력 셋업 타임 모드가 세트되지 않을 때 통상 세트된다.

어드레스 래치 회로, 커맨드 래치 회로 및 기록 데이터 래치 회로 각각은 래치 클럭 신호에 응답해서 어

드레스, 커맨드 및 기록 데이터 중 대응하는 것을 래치하기 위한 래칭 수단; 및 내부 클럭 신호를 입력 홀드 타임 모드에서 래칭 수단에 래치 클럭 신호로서 통상 제공하고, 내부 클럭 신호를 지연시켜 지연된 내부 클럭 신호를 입력 셋업 타임 모드에서 래칭 수단에 래치 클럭 신호로서 제공하기 위한 지연 수단을 포함한다.

연장된 시차가 입력 셋업 타임 및 입력 홀드 타임에 대응하는 경우, 상태 세팅 수단은 모드 신호가 비활성 상태일 때 입력 셋업 타임 모드를 세트하고, 모드 신호가 활성 상태일 때 입력 홀드 타임을 세트하기 위해 어드레스 키 및 모드 세팅 커맨드로부터 모드 신호를 발생시킨다.

어드레스 래치 회로, 커맨드 래치 회로 및 기록 데이터 래치 회로 각각은, 래치 클럭 신호에 응답해서 래치 입력을 래치하기 위한 래칭 수단; 및 입력 홀드 타임 모드에서 래치 클럭 신호로서 래칭 수단에 통상 통과시키고, 입력 홀드 타임 모드에서 래치 입력으로서 래칭 수단에 지연된 대응하는 것을 제공하기 위해 어드레스, 커맨드 및 기록 데이터 중 대응하는 것을 지연시키고, 입력 셋업 타임 모드에서 래치 입력으로서 래칭 수단에 대응하는 것을 통상 통과시키고, 상기 내부 클럭 신호를 지연시켜 지연된 내부 클럭 신호를 입력 셋업 타임 모드에서 래칭 수단에 래치 클럭 신호로서 제공하기 위한 지연 수단을 포함한다.

본 발명의 다른 특성을 달성하기 위해, 사용자가 입력 셋업 타임 사용 및 입력 홀드 타임 사용 중 하나를 선택할 수 있는 반도체 메모리 디바이스를 제공하는 방법은, 외부 클럭 신호로부터 내부 클럭 신호를 발생시키는 단계; 사용자 선택에 따라 입력 셋업 타임 모드 및 입력 홀드 타임 모드를 세팅하는 단계; 어드레스 키 및 커맨드에 기초하여 모드 세트에 따라, 내부 클럭 신호의 제1타이밍과, 변경될 어드레스, 커맨드 및 기록 데이터 각각의 제2타이밍 사이의 시차를 연장하는 단계; 및 반도체 메모리 디바이스의 메모리 셀 어레이로 액세스하기 위해 연장된 시차를 사용하여 내부 클럭 신호에 응답해서 어드레스, 커맨드 및 기록 데이터를 래치하는 단계를 포함한다.

[발명의 구성 및 작용]

본 발명의 동기형 동적 랜덤 액세스 메모리(DRAM)와 같은 반도체 메모리 디바이스에 대해 첨부된 도면들을 참조하여 기술하겠다.

제4도는 본 발명의 실시예에 따른 동기형 DRAM의 구조를 도시한 블록도이다. 제4도에서, 동기형 DRAM은 어드레스 입력 회로(1), 커맨드 입력 회로(21), 클럭입력 회로(34), 데이터 출력 회로(20), 데이터 입력 회로(32), 내부 클럭 신호 발생회로(1CLK:35), 상태 세팅 회로(SS:33), 래치 회로들(2,5,19,22 및 31), 열 어드레스 버퍼(CAB:3), 열 디코더(CDEC:4), 행 어드레스 버퍼(RAB:7), 행 디코더(RDEC:8), 메모리 셀 어레이(10), 열 어드레스 제어 회로(CA CTRL:11), 행어드레스 제어 회로(RA CTRL:13), 센스 증폭기(SA:16), 데이터 증폭기(DA:18), 기록 제어 회로(WCTRL:26), 판독 제어 회로(RCTRL:27), 논리 회로들(37 및 43), 지연 회로(D:39), 어드레스 입력 단자(45), 커맨드 입력 단자(46), 데이터입력/출력 단자(48), 및 외부 클럭 입력 단자(47)로 구성된다.

제7도는 상태 세팅(55) 회로(33)의 구조의 일례를 도시한 회로도이다. 제7도를 참조하면, 상태 세팅 회로(33)는 D형 플립플롭 회로들(54-1,54-2 및 54-3) 및 논리회로(55)로 구성되어 있다. 어드레스 입력 회로(1)에 어드레스 입력 단자(45)를 통해 입력된 어드레스 키의 3개의 하위 비트들(1A0,1A1 및 1A2)은 각각 D형 플립플롭 회로들(54-1,54-2, 및 54-3)의 D 단자들에 제공된다. 모드 세트 커맨드가 커맨드 입력 단자(46)를 통해 입력 회로(21)로 입력될 때, 래치 회로(22)로부터 출력되는 신호 MODE SET는 각각 D형 플립플롭들(54-1,54-2, 및 54-3)의 클럭 단자들에 제공된다. 논리 회로(55)는 D형 플립플롭들(54-1 및 54-2)의 출력들로부터 제어 신호(CLT1,CLT2 및 CLT3)를 발생시킨다. 신호 MODE는 D형 플립플롭(54-3)의 Q단자로부터 출력된다. 신호 MODE는 어드레스 래치 회로(2), 커맨드 래치 회로(22) 및 기록 데이터 래치 회로(31)에 제공된다. 즉, 이 래치 회로들은 MODE 신호에 의해 제어된다. 제7도는 어드레스 신호들(A0-A2)이 사용되는 일례만을 도시한 것임을 주의하자. 상태 세팅 회로(33)는 제7도에 도시된 회로에만 한정되는 것이 아니다.

제5도는 래치 회로들(2,22 및 31) 각각의 구조의 일례를 도시한 회로도이다. 이 회로 구조에서, 입력 셋업 타임이 선정되어, 입력 신호가 확실하게 래치되게 하는 래칭 동작 마진을 보장한다. 그 결과, 입력 홀드 타임은 보다 짧아지게 된다. 따라서, 입력 홀드 타임이 사용될 때, 입력 홀드 타임의 래칭 동작 마진은 연장된다.

제5도를 참조하면, 이 래치 회로들 각각은 인버터(49), 지연 회로(50), 전송 게이트 또는 통과 트랜지스터로서 각각 동작하는 N 채널 MOS 트랜지스터들(51 및 52), 및 D형 플립플롭(53)으로 구성된다. 신호 MODE는 인버터(49)를 통해 N 채널 MOS 트랜지스터(51)의 게이트에 제공되고, 또한 N 채널 MOS 트랜지스터(52)에 직접 제공된다. 입력 신호는 하나의 경로에서 N 채널 MOS 트랜지스터(51)를 통해 D형 플립플롭(53)의 데이터 단자에 제공되고, 다른 경로에서 N 채널 MOS 트랜지스터(52) 및 지연 회로(50)에 제공되어, D형 플립플롭(53)은 Q 단자로부터 하나의 출력을 출력한다. 내부 클럭 신호(1)는 D형 플립플롭(53)의 클럭 단자에 직접 제공된다.

제5도에 도시된 래치 회로는 입력 신호 및 지연 회로(50)에 의해 입력 신호를 지연시킴으로써 획득된 신호 중 한 신호가 선택되어, 상태 세팅 회로(33)에 의한 신호 MODE 세트에 따라 D형 플립플롭 회로(53)의 데이터 단자에 입력되는 방식으로 구성된다. 내부 클럭 신호 발생 회로(35)에 의해 외부 클럭 신호로부터 발생된 내부 클럭 신호(1)는 D형 플립플롭 회로(53)의 클럭 단자에 제공된다. 즉, MODE 신호가 로우 레벨일 때, N형 MOS 트랜지스터(51)는 인버터(49)에 의해 턴-온 상태로 세트되고, N형 MOS 트랜지스터(52)는 턴-오프 상태로 세트된다. 그 결과, 입력 신호는 내부 클럭 신호(1)에 응답해서 D형 플립플롭 회로(53)에 의한 것과 같이 래치된다. 한편, MODE 신호가 하이 레벨일 때, N형 MOS 트랜지스터(52)는 턴-온 상태로 세트되고, N형 MOS 트랜지스터(51)는 턴-오프 상태로 세트된다. 그 결과, 지연 회로(50)에 의해 입력 신호를 지연시킴으로써 획득된 신호는 내부 클럭 신호(1)에 응답해서 D형 플립플롭 회로(53)에 의해 래치된다. 즉, 입력 홀드 타임은 지연회로(50)의 지연 시간에 대응하는 시간 간격만큼 연장된다.

제6도는 래치 회로들(2,22 및 31) 각각의 구조의 다른 일례를 도시한 회로도이다. 이 회로 구조에서, 입력 홀드 타임이 선정되어, 입력 신호가 확실하게 래치되게 하는 래칭 동작 마진을 연장한다. 그 결과, 입

력 셋업 타임은 보다 짧아지게 된다. 따라서, 입력 셋업 타임이 사용될 때, 입력 셋업 타임의 래칭 동작 마진은 연장된다.

제6도를 참조하면, 이 래치 회로들 각각은 인버터(49), 지연 회로(50), 전송 게이트 또는 통과 트랜지스터로서 각각 동작하는 N 채널 MOS 트랜지스터들(51 및 52), 및 D형 플립플롭(53)으로 구성된다. 신호 MODE는 인버터(49)를 통해 N 채널 MOS 트랜지스터(52)의 게이트에 제공되고, 또한 N 채널 MOS 트랜지스터(51)에 직접 제공된다. 입력 신호는 D형 플립플롭(53)의 데이터 단자에 직접 제공된다. 내부 클럭 신호(1)는 하나의 경로에서 N 채널 MOS 트랜지스터(51) 및 다른 경로에서 N 채널 MOS 트랜지스터(52) 및 지연 회로(50)를 통해 D형 플립플롭(53)의 클럭 단자에 제공되어, D형 플립플롭(53)은 내부 클럭 신호(1) 또는 지연된 내부 클럭 신호(1)에 응답해서 입력 신호를 래치한다.

제6도에 도시된 래치 회로는 내부 클럭 신호(1) 및 지연 회로(50)에 의해 내부클럭 신호(1)를 지연시킴으로써 획득된 클럭 신호 중 한 신호가 선택되어 상태 세팅회로(33)에 의한 MODE 신호 세트에 따라 D형 플립플롭 회로(53)의 클럭 단자에 입력되는 방식으로 구성된다. 입력 신호는 D형 플립플롭(53)의 데이터 단자에 직접 제공된다. 즉, MODE 신호가 로우 레벨일 때, N형 MOS 트랜지스터(52)는 인버터(49)에 의해 턴-온 상태로 세팅되고, N형 MOS 트랜지스터(51)는 턴-오프 상태로 세팅된다. 그 결과, 입력 신호는 지연 회로(50)에 의해 내부 클럭 신호(1)를 지연시킴으로써 획득된 클럭 신호에 응답해서 D형 플립플롭(53)에 의한 것과 같이 래치된다. 즉, 입력 셋업 타임은 지연 회로(50)의 지연 시간에 대응하는 시간 간격만큼 연장된다. 한편, MODE 신호가 하이 레벨일 때, N형 MOS 트랜지스터(51)는 턴-온상태로 세팅되고 N형 MOS 트랜지스터(52)는 턴-오프 상태로 세팅된다. 그 결과, 입력 신호는 내부 클럭 신호(1)에 응답해서 D형 플립플롭 회로(53)에 의해 래치된다.

제5도의 회로 및 제6도의 회로가 제11도에 도시된 바와 같이 결합되면, 내부 클럭 신호(1)의 정상 상승 에지는 실제로 입력 윈도우 폭의 중앙점에 위치하게 되고 입력 셋업 타임과 입력 홀드 타임은 MODE 신호에 따라 연장된다. 즉, 입력 셋업 타임은 MODE 신호가 로우 레벨일 때 연장되고, 입력 홀드 타임은 MODE 신호가 하이 레벨일 때 연장된다.

다음으로, 본 발명의 동기형 DRAM의 동작은 제8(a)도 내지 제8(f)도를 참조하여 기술될 것이다.

타임 t0일 때, 상태 세팅 커맨드로서의 MODE SET 커맨드는 사용자에게 의해서 제8(b)도에 도시된 바와 같이 커맨드 입력 단자(46)로부터 커맨드 입력 회로(21)로 입력되어 디코드되고, 래치 회로(22)에 의해 래치된다. MODE SET 커맨드는 로우로 활성화된 집 선택(CS) 바 신호, 로우로 활성화된 행 어드레스 스트로브(RAS)바 신호, 로우로 활성화된 열 어드레스 스트로브(CAS) 바 신호, 및 로우로 활성화된 기록 인에이블(WE) 바 신호를 포함한다. 'CS 바', 'RAS 바', 'CAS 바' 및 'WE 바' 신호들은 이제부터 각각 'CSB', 'RASB', 'CASB' 및 'WEB'라고 한다. 이 경우에, 신호들(CSB, RASB, CASB 및 WEB)은 모두 로우 레벨이다. MODE SET모드 신호는 제8(d)도에 도시된 바와 같이 타임 t1일 때 하이 레벨로 세팅된다. 커맨드 신호 MODE SET는 상태 세팅 회로(33)에서 래치 회로(22)로부터 D형 플립플롭들(54-1, 54-2 및 54-3)의 클럭 단자들에 제공된다. 또한, 어드레스 키는 사용자에게 의해서 제8(c)도에 도시된 바와 같이 타임 t0일 때 어드레스 입력 단자(45)로부터 어드레스 입력 회로(1)에 입력되어, 래치 회로(2)에 의해 래치된다. 내부 어드레스 신호로서 래치된 어드레스의 3개의 하위 비트들(IA0, IA1 및 IA2)은 D형 플립플롭들(54-1, 54-2 및 54-3)의 데이터 단자들에 제공되고, 타임 t1일 때 커맨드 신호 MODE SET에 응답해서 래치되어, 제8(e)도에 도시된 바와 같이, 하이 레벨의 신호 MODE가 D형 플립플롭(54-3)으로부터 출력된다. 신호 MODE는 어드레스 래치 회로(2), 커맨드 래치 회로(22) 및 데이터 래치 회로(31)에 제공된다. 유사하게, CAS 레이턴시(latency)를 정의하는 논리 제어 신호들(CLT1 내지 CLT3)은 내부 어드레스 비트 신호들(IA0 및 IA1)을 기초로 커맨드 신호 MODE SET에 응답해서 D형 플립플롭들(54-1, 54-2)을 통해 논리 회로(55)로부터 출력된다. 제어 신호들(CLT1 내지 CLT3)은 지연 회로(39)에 제공된다.

다음으로, 제9(a)도 내지 제9(i)도를 참조하여 입력 셋업 타임 및 입력 홀드 타임을 포함하는 활성화 동작에 대해 기술하겠다. 이 예에서, 제5도에 도시된 래치 회로가 사용되고 신호 MODE는 하이 레벨이다. 따라서, 이 설명은 입력 홀드 타임에 관한 것이다. 그러나, 이 설명은 입력 셋업 타임과 동일하다.

활성화 커맨드 신호는 제9(b)도에 도시된 바와 같이 타임 t10일 때 단자(46)에 입력된다. 활성화 커맨드 신호, 즉 열 어드레스 그룹 동작 커맨드 신호는 CSB 신호, RASB 신호, CASB 신호 및 WEB를 포함한다. 이 신호들(CSB 및 RASB)은 로우 레벨이고 신호들(CASB, WEB)은 하이 레벨이다. 활성화 커맨드 신호는 입력회로(21)에 의해 디코드되고, 제5도에 도시된 구조를 갖는 래치 회로(22)에 제공된다. 신호 MODE가 일반적으로 하이 레벨로 세팅되기 때문에, 래치 회로(22)는 내부 클럭 신호(1)에 응답해서 연장된 입력 홀드 타임과 함께 지연 회로(50)에 의해 지연된 활성화 커맨드 신호를 래치한다.

또한, 외부 클럭 신호 CLK는 제9(a)도에 도시된 바와 같이 단자(47)에 외부적으로 입력되고, 내부 클럭 신호 발생 회로(35)에 제공된다. 내부 클럭 신호 발생 회로(35)는 제9(d)도에 도시된 바와 같이 외부 클럭 신호 CLK로부터 내부 클럭 신호(1)(36)를 발생시키고, 내부 클럭 신호(1)(36)는 래치 회로(2, 22 및 31), 논리 회로(37 및 43), 기록 제어 회로(WCTRL:26), 판독 제어 회로(RCTRL:27), 및 지연 회로(D:39)에 제공된다. 논리 회로(37)는 제9(d)도에 도시된 바와 같이 내부 클럭 신호(1)(36)에 응답해서 내부 클럭 신호(2)(38)를 발생시키고, 지연 회로(39)는 내부 클럭신호(1)(38)로부터 내부 클럭 신호들(5)(40), (6)(41) 및 (7)(42)을 발생시키고, 상태세팅 회로(133)로부터 출력된 논리 제어 신호들(CLT1, CLT2, CLT3)을 발생시킨다. 또한, 논리 회로(43)는 내부 클럭 신호(1)(36), 지연 회로(39)로부터 출력된 내부 클럭 신호(7)(42), 및 판독 제어 회로(RCTRL:27)로부터 출력된 내부 클럭 허용 신호(30)로부터 내부 클럭 신호(3)(44)를 발생시킨다.

상술된 동기형 DRAM에서, 상술된 활성화 커맨드 신호는 내부 클럭 신호(1)(36)에 응답해서 래치 회로(32)에서 래치되고 래치된 활성화 커맨드는 제9(g)도 및 제9(h)도에 도시된 바와 같이, 타임 t10일 때 A 뱅크 행 어드레스 허용 신호(14: 'ARAE' 신호라고 함) 및 B 뱅크 행 어드레스 허용 신호(15: 'BRAE' 신호라 칭함)를 발생시키는 행 어드레스 제어 회로(RA CTRL:13)에 제공된다.

또한, 어드레스(X)는 타임 t10일 때 단자(45)로부터 입력 회로(1)에 입력되고 제5도에 도시된 바와 같이 구성된 어드레스 래치 회로(2)에 제공된다. 신호 MODE가 일반적으로 하이 레벨로 세팅되기 때문에, 어드

레스 래치 회로(2)는 내부 클럭신호(1)(36)에 응답해서 연장된 입력 홀드 타임을 사용하여 지연 회로(50)에 의해 지연된 어드레스를 래치한다. 래치된 어드레스(X)는 그 후에 행 어드레스 버퍼(RAB:7)를 통해 행 디코더(RDEC:8)에 제공된다. 행 디코더(RDEC:8)는 제9(i)도에 도시된 바와 같이 행 어드레스를 디코드 하여, 타임 t11일 때 행 라인들 중 하나를 행선택 라인(9)으로서 선택한다.

제4도에 도시된 동기형 DRAM은 상술된 바와 같이 2-뱅크 구조를 갖는다. 행 어드레스 선택 및 프리차지 동작들은 어드레스 선택에 의해 각각의 뱅크들에 대해 독립적으로 실행될 수 있다. 2-뱅크 구조를 갖는 동기형 DRAM은 2개의 행 어드레스용 제어 회로들을 갖는다. 상술된 바와 같이, 신호 ARAE는 A 뱅크 행 어드레스 허용 신호이고, 신호 BRAE는 B 뱅크 행 어드레스 허용 신호이다. 각각의 뱅크들에 대한 활성화 커맨드가 입력될 때, 신호 ARAE 또는 BRAE이 하이 레벨로 세트된다. 제9(g)도에 도시된 신호 파형도는 A 뱅크가 선택될 때의 일례로서, 신호 ARAE가 하이 레벨로 세트된다.

다음으로, 제10(a)도 내지 제10(j)도를 참조하여 동기형 DRAM의 판독 및 기록동작에 대해 설명하겠다.

제10(a)도 내지 제10(j)도에서, 타임 t20일 때, READ 커맨드(판독 동작 커맨드: CBS 및 CASB 신호는 로우 레벨이고, RASB 및 WEB 신호는 하이 레벨임)가 제10(b)도에 도시된 바와 같이 단자(46)에 입력된다. 제10(c)도에 도시된 바와 같이, 어드레스(A1)는 또한 연장된 입력 홀드 타임을 사용하여, 타임 t20일 때 단자(45)에 입력된다. READ 커맨드는 입력 회로(21)에 의해 디코드된 후, 래치 회로(22)에 제공된다. 신호 MODE가 일반적으로 하이 레벨로 세트되기 때문에, 제5도에 도시된 바와 같이 구성된 커맨드 래치 회로(22)는 내부 클럭 신호(1)(36)에 응답해서 연장된 입력 홀드 타임을 사용하여 READ 커맨드를 래치한다. 래치된 READ 커맨드 신호(25)는 역어드레스 제어 회로(CA CTRL:11)에 입력되고, 또한 판독 제어 회로(RCTRL:27)에 송신된다. 열 어드레스 제어 회로(CA CTRL:11)는 READ 커맨드 신호(25)의 입력에 응답해서 열 어드레스 허용 신호(12)를 열 어드레스 버퍼(CAB:3)로 출력한다.

또한, 어드레스(A1)는 입력되어 입력 회로(1)를 통해 제5도에 도시된 바와 같이 구성된 래치 회로(2)에 제공된다. 신호 MODE가 일반적으로 하이 레벨로 세트되기 때문에, 어드레스 래치 회로(2)는 제10(c)도에 도시된 바와 같이 내부 클럭 신호(1)(36)에 응답해서 연장된 입력 홀드 타임을 사용하여 어드레스(A1)를 래치한다. 래치된 어드레스(A1)는 열 어드레스 버퍼(CAB:3)를 통해 열 디코더(CDEC:4)로 제공된다. 열 디코더(4)로부터 출력된 어드레스(A1)는 논리 회로(37)로부터 출력된 내부 클럭 신호(2)(38)에 응답해서 타임 t21일 때 래치 회로(5)(D형 래치 회로)에서 래치되고, 타임 t21일 때 외부 클럭 신호에 대응한다. 그 결과, 제10(h)도에 도시된 바와 같이, 이 어드레스에 대응하는 열 선택 라인(6)이 선택된다. 그렇게 함으로써, 제10(g)도에 도시된 바와 같이 행 어드레스가 타임 t21일 때, 행 디코더(8)로부터 출력되기 때문에 이로부터 판독될 데이터용 메모리 셀들이 선택될 수 있다.

다음으로, 센스 증폭기(16)를 통해 메모리 셀 어레이(10)로부터 판독된 데이터는 제10(i)도에 도시된 바와 같이 데이터 증폭기(18)에 의해 증폭되어 R/W(판독/기록) 버스(17) 상으로 출력된다. R/W 버스(17) 상의 데이터는 제10(f)도에 도시된 외부클럭 신호에 대응하는 내부 클럭 신호(3)(44)에 응답해서, 타임 t22일 때 래치 회로(19)(D형 플립플롭 회로)에 의해 래치되고, 제10(j)도에 도시된 바와 같이 타임 t23일 때 출력 회로(20)를 통해 단자(48)로부터 출력된다.

제10(a)도 내지 제10(i)도에 도시된 파형들은 버스트 길이(판독 또는 기록 동작이 연속적으로 실행될 비트 길이)가 4비트일 때의 파형들이다. 일련의 동작들은 매 사이클 당 다음 비트용 판독 동작을 실행함으로써 병렬로 처리된다. 즉, 제2비트(A2)가 3 클럭의 타임 t21 내지 타임 t23일 때 실행되고, 제3비트(A3)는 3 클럭의 타임 t22 내지 타임 t24일 때 실행되며 제4비트(A4)는 3 클럭의 타임 t23 내지 타임 t25일 때 실행된다.

기록 동작은 상술된 판독 동작의 경우와 거의 동일하다. 제10(b)도, 제10(c)도 및 제10(j)도에 도시된 바와 같이 신호 MODE가 하이 레벨로 세트되기 때문에, 타임 t28일 때, WRITE 커맨드(판독 동작 커맨드, CAS, CASB 및 WEB 신호는 로우 레벨이고, RASB 신호는 하이 레벨임), 기록 데이터(DQ) 및 어드레스(B1)는 연장된 입력 홀드 타임을 사용하여 단자(46), 단자(48) 및 단자(45)에 입력된다.

WRITE 커맨드는 입력 회로(31)를 통해 디코드되어, 래치 회로(22)로 제공된다. 래치 회로(22)는 외부 클럭 신호에 응답해서 발생된 내부 클럭 신호 발생 회로(35)로부터 출력된 내부 클럭 신호(1)(36)에 응답해서 타임 t28일 때 WRITE 커맨드를 래치한다. 그 결과, WRITE 커맨드 신호(24)는 기록 제어 회로(WCTRL:26)로 출력된다.

단자(48)로부터 입력된 기록 데이터(DQ)는 입력 회로(32)를 통해 제5도에 도시된 바와 같이 구성된 래치 회로(31)에 입력된다. 신호 MODE가 일반적으로 하이레벨로 세트되기 때문에, 기록 데이터 래치 회로(31)는 클럭 입력에 응답해서 발생된 내부 클럭 신호 발생 회로(35)로부터 출력된 내부 클럭 신호(1)(36)에 응답해서 타임 t28에서 연장된 입력 홀드 타임을 사용하여 기록 데이터를 래치한다. 래치된 기록 데이터는 기록 제어 회로(WCTRL:26)에 입력된다.

또한, 한편, 어드레스(B1)는 입력 회로(1)를 통해 래치 회로(2)에 입력된다. 신호 MODE가 일반적으로 하이 레벨로 세트되기 때문에, 어드레스 래치 회로(2)는 타임 t28에서 클럭 입력에 응답해서 발생된 내부 클럭 신호 발생 회로(35)로부터 출력된 내부 클럭 신호(1)(36)에 응답해서 연장된 입력 홀드 타임을 사용하여 지연 회로(50)에 의해 지연된 어드레스 신호를 래치한다. 래치된 어드레스(B1)는 열 어드레스 버퍼(3)를 통해 열 디코더(4)에 입력된다.

이 열 디코더(4)로부터 출력된 어드레스(B1)는 타임 t29에서 외부 클럭 신호에 응답해서 논리 회로(37)로부터 출력된 내부 클럭 신호(2)(38)에 응답해서 래치 회로(5)(D형 래치 회로)에서 래치된다. 그 결과, 어드레스(B1)에 대응하는 열 선택 라인(6)은 제10(h)도에 도시된 바와 같이 선택된다. 그렇게 함으로써, 행 디코더가 제10(g)도에 도시된 바와 같이 행 라인들 중 하나를 선택하기 때문에, 기록될 데이터용 메모리 셀 어레이(10)의 메모리 셀이 선택된다. 동시에, 타임 t29에 대응하는 내부클럭 신호(1)(36)에 응답해서, 기록 제어 회로(26)로부터 출력된 기록 데이터는 제10(i)도에 도시된 바와 같이 R/W(판독/기록) 버스(17) 및 센스 증폭기(16)를 통해 메모리 셀 어레이(10)의 메모리 셀 내에 기록된다.

그 후, 열 선택 신호(9)는 타임 t30에 대응하는 클럭 입력에 응답해서 발생된 내부 클럭 신호(2)(38)에 응답해서 비 선택 상태로 세트된 후, 기록 동작이 종료된다.

4-비트 동작은 판독 동작에서와 같이 기록 동작을 위해 병렬로 처리된다. 다시 말하면, 제2비트(B2), 제3비트(B3) 및 제4비트(B4)는 각각 3 클럭들을 갖는 타임 t29 래치 타임 t31, 타임 t30 내지 타임 t32 및 타임 t31 내지 타임 t33에 실행된다.

READ 커맨드가 판독 동작시 입력된 후에 데이터가 제3클럭으로부터 출력되기 때문에, 상술된 동작 모드는 'CAS 레이턴시(3)(CAS 레이턴시는 '3'임)'라고 한다. MODE SET 커맨드(CAS 레이턴시를 세팅하기 위한 커맨드, CBS,RASB,CASB 및 WEB 신호는 로우 레벨임)가 입력될 때, 상태 세팅 회로(33)에 의해 세트된다. 다른 CAS 레이턴시의 동작 모드가 있지만, 본 발명과 직접 관련되지 않기 때문에, 이에 대한 설명은 생략됨을 주의하자.

상술된 바와 같이, 본 발명에 따라, 반도체 메모리 디바이스는 상태 세팅 회로 및 상기 상태 세팅 회로의 출력 신호에 의해 제어되는 래치 회로들을 포함한다. 입력 회로들의 출력 신호 및 출력 신호를 지연시킴으로써 획득되는 신호 중 한 신호는 전송 게이트 스위치에 의해 각각의 래치 회로에서 선택된다. 선택된 신호는 0형 플립플롭 회로에 의해 래치된다. 대안으로, 내부 클럭 신호 및 지연 회로 신호에 의해 내부 클럭 신호를 지연시킴으로써 획득된 신호 중 한 신호가 전송 게이트 스위치에 의해 선택된다.

입력 회로의 출력 신호는 선택된 하나의 신호에 응답해서 래치된다. 따라서, 입력 셋업 타임 및 입력 홀드 타임 중 한 타임은 상태 세팅 커맨드에 의해 세트되고, 어드레스 키는 사용될 시스템의 상태에 의해 좌우된다. 입력 셋업 타임 또는 입력 홀드 타임은 고주파수 제품에서도 제품 등급을 결정하는데 아무런 문제점이 없고, 제품 설계가 용이하게 될 수 있도록 설계를 보다 자유롭게 할 수 있다.

(57) 청구의 범위

청구항 1

반도체 메모리 디바이스에 있어서, 외부 클럭 신호로부터 내부 클럭 신호를 발생시키기 위한 내부 클럭 신호 발생 수단; 입력된 어드레스를 래치하기 위한 어드레스 래치 회로, 입력된 커맨드를 래치하기 위한 커맨드 래치 회로, 및 입력된 기록 데이터를 래치하기 위한 기록 데이터 래치 회로를 포함하는 래칭 수단; 및 상기 어드레스 래치 회로에 의해 래치된 어드레스 키 및 상기 커맨드 래치회로에 의해 래치된 모드 세팅 커맨드에 기초하여, 상기 어드레스 래치 회로, 상기 커맨드 래치 회로, 및 상기 기록 데이터 래치 회로를 제어함으로써 상기 내부 클럭신호의 제1타이밍과, 변화될 상기 어드레스, 상기 커맨드, 및 상기 기록 데이터 각각의 제2타이밍 사이의 시차를 선택적으로 연장하는 세팅 수단을 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 2

제1항에 있어서, 상기 상태 세팅 수단은 어드레스 키의 적어도 일 비트를 사용하여 상기 시차를 선택적으로 연장하는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 3

제2항에 있어서, 상기 상태 세팅 수단은 어드레스 키의 상기 적어도 일 비트에 대응하는 적어도 하나의 플립플롭을 포함하고, 상기 어드레스 래치 회로, 상기 커맨드 래치 회로 및 상기 기록 데이터 래치 회로를 제어하기 위해 상기 모드세팅 커맨드에 응답하여 상기 어드레스 키의 상기 적어도 일 비트로부터 모드 신호를 발생하는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 4

제1항에 있어서, 상기 연장된 시차는 입력 홀드 타임에 대응하고, 입력 셋업 타임은 미리 설정되어 있는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 5

제4항에 있어서, 상기 상태 세팅 수단은, 입력 홀드 타임 모드를 세팅하기 위해 상기 어드레스 키 및 상기 모드 세팅 커맨드로부터 모드 신호를 발생시키고, 상기 입력 홀드 타임 모드가 세트되지 않을 때 통상 입력 셋업 타임 모드가 세트되고, 상기 어드레스 래치 회로, 상기 커맨드 래치 회로 및 상기 기록 데이터 래치 회로 각각은 상기 내부 클럭 신호에 응답해서 래치 입력을 래치하기 위한 래칭 수단; 및 상기 어드레스, 상기 커맨드 및 상기 기록 데이터 중 대응하는 것을 입력 셋업 타임모드에서 상기 래칭 수단에 상기 래치 입력으로서 통상 제공하고, 상기 대응하는 것을 지연시켜 상기 지연된 대응하는 것을 상기 입력 홀드 타임 모드에서 상기 래칭 수단에 상기 래치 입력으로서 공급하기 위한 지연 수단을 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 6

제1항에 있어서, 상기 연장된 시차는 입력 셋업 타임이고 입력 홀드 타임은 미리 설정되어 있는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 7

제6항에 있어서, 상기 상태 세팅 수단은 입력 셋업 타임 모드를 세팅하기 위해 상기 어드레스키 및 상기 모드 세팅 커맨드로부터 모드 신호를 발생시키고, 입력 홀드 타임 모드는 입력 셋업 타임 모드가 세트되어 있지 않을 때 통상 세트되며, 상기 어드레스 래치 회로, 상기 커맨드 래치 회로 및 상기 기록 데이터 래치 회로 각각은 래치 클럭 신호에 응답해서 상기 어드레스, 상기 커맨드 및 상기 기록 데이터 중 대응하는 것을 래치하기 위한 래칭 수단; 및 상기 내부 클럭 신호를 입력 홀드 타임 모드에서 상기 래칭 수단

에 상기 래치 클럭 신호로서 통상 제공하고, 상기 내부 클럭 신호를 지연시켜 상기 지연된 내부 클럭 신호를 상기 입력 셋업 타임 모드에서 상기 래칭 수단에 상기 래치 클럭신호로서 제공하기 위한 지연 수단을 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 8

제1항에 있어서, 상기 연장된 시차는 입력 셋업 타임 및 입력 홀드 타임에 대응하는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 9

제6항에 있어서, 상기 상태 세팅 수단은 모드 신호가 비활성 상태일 때 입력 셋업 타임 모드를 세팅하고, 모드 신호가 활성 상태일 때 입력 홀드 타임 모드를 세팅하기 위해, 상기 어드레스 키 및 상기 모드 세팅 커맨드로부터 모드 신호를 발생시키고, 상기 어드레스 래치 회로, 상기 커맨드 래치 회로 및 상기 기록 데이터 래치회로 각각은 래치 클럭 신호에 응답해서 래치 입력을 래치하기 위한 래칭 수단; 및 입력 홀드 타임 모드에서 상기 래치 클럭 신호로서 상기 래핑 수단에 상기 내부 클럭 신호를 통상 통과시키고, 상기 입력 홀드 타임 모드에서 상기 래치 입력으로서 상기 래칭 수단에 지연된 대응하는 것을 제공하기 위해 상기 어드레스, 상기 커맨드 및 상기 기록 데이터 중 상기 대응하는 것을 지연시키고, 입력 셋업 타임 모드에서 상기 래치 입력으로서 상기 래칭 수단에 대응하는 것을 통상 통과시키고, 내부 클럭 신호를 지연시켜 지연된 내부 클럭 신호를 상기 입력 셋업 타임 모드에서 래칭 수단에 상기 래치 클럭 신호로서 제공하기 위한 지연 수단을 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 10

사용자가 입력 셋업 타임 사용 및 입력 홀드 타임 사용 중 하나를 선택할 수 있는 반도체 메모리 디바이스를 제공하는 방법에 있어서, 외부 클럭 신호로부터 내부 클럭 신호를 발생시키는 단계; 사용자의 선택에 따라 입력 셋업 타임 모드 및 입력 홀드 타임 모드를 세팅하는 단계; 어드레스 키 및 커맨드에 기초하여 모드 세트에 따라, 상기 내부 클럭 신호의 제1타이밍과, 변경될 어드레스, 커맨드 및 기록 데이터 각각의 제2타이밍 사이의 시차를 연장하는 단계; 및 상기 반도체 메모리 디바이스의 메모리 셀 어레이로 액세스하기 위해 연장된 시차를 사용하는 내부 클럭 신호에 응답하여, 상기 어드레스, 상기 커맨드 및 상기 기록 데이터를 래치하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 디바이스 제공 방법.

청구항 11

제10항에 있어서, 상기 세팅 단계는 어드레스 키 및 커맨드를 사용자 선택을 위한 상기 반도체 메모리 디바이스에 입력하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 디바이스 제공 방법.

청구항 12

제10항에 있어서, 사용자는 입력 홀드 타임 모드를 선택하고, 입력 셋업 타임 모드는 상기 반도체 메모리 디바이스에서 통상 세트되는 것을 특징으로 하는 반도체 메모리 디바이스 제공 방법.

청구항 13

제12항에 있어서, 상기 래치 단계는 입력 셋업 타임 모드에서 상기 어드레스 신호, 상기 커맨드 신호 및 상기 기록 데이터 신호 중 적어도 하나를 래치 입력으로서 통상 제공하는 단계; 상기 입력 홀드 타임 모드에서 상기 적어도 하나의 신호를 상기 래치 입력으로서 지연시키는 단계; 및 상기 내부 클럭 신호에 응답하여 상기 래치 입력을 래치하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 디바이스 제공 방법.

청구항 14

제10항에 있어서, 사용자는 입력 셋업 타임 모드를 선택하고, 입력 모드 타임 모드는 상기 반도체 메모리 디바이스에서 통상 세트되는 것을 특징으로 하는 반도체 메모리 디바이스 제공 방법.

청구항 15

제14항에 있어서, 상기 래치 단계는 입력 홀드 타임 모드에서 상기 내부 클럭 신호를 래치 클럭 신호로서 통상 통과시키는 단계; 상기 입력 셋업 타임 모드에서 상기 내부 클럭 신호를 상기 래치 클럭 신호로서 지연시키는 단계; 및 상기 래치 클럭 신호에 응답해서 어드레스, 커맨드 및 기록 데이터 중 적어도 하나를 래치하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 디바이스 제공 방법.

청구항 16

제10항에 있어서, 사용자는 상기 반도체 메모리 디바이스에서 선택 가능한 입력 셋업 타임 모드 및 입력 홀드 타임 모드 중 하나를 선택하는 것을 특징으로 하는 반도체 메모리 디바이스 제공 방법.

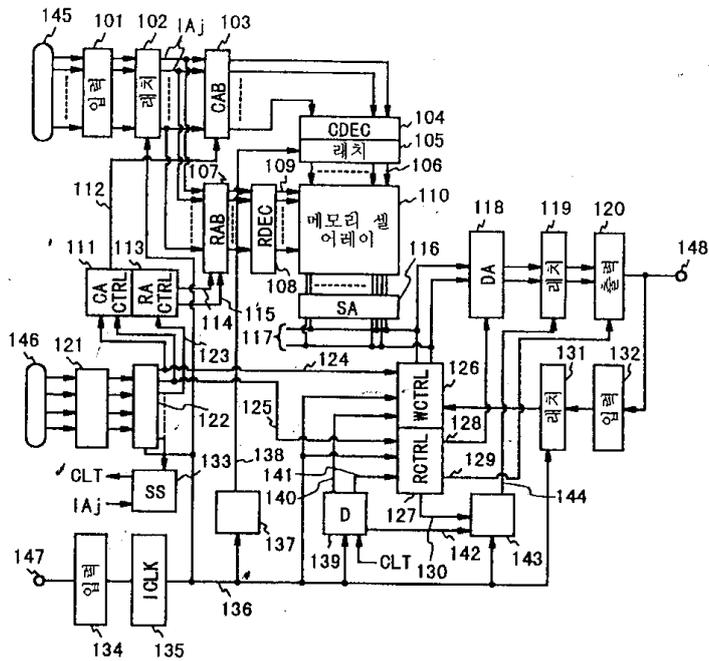
청구항 17

제16항에 있어서, 상기 래치 단계는 입력 홀드 타임 모드에서 상기 내부 클럭 신호를 래치 클럭 신호로서 제공하는 단계; 입력 홀드 타임 모드에서 어드레스 신호, 커맨드 신호 및 기록 데이터 신호 중 적어도 하나를 래치 입력으로서 지연시키는 단계; 상기 입력 셋업 타임 모드에서 상기 적어도 하나의 신호를 상기 래치 입력으로서 통과시키는 단계; 상기 입력 셋업 타임 모드에서 상기 내부 클럭 신호를 상기 래치 클럭 신호로서 지연시키는 단계; 및 상기 래치 입력을 상기 래치 클럭 신호에 응답하여 래치하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 디바이스 제공 방법.

도면

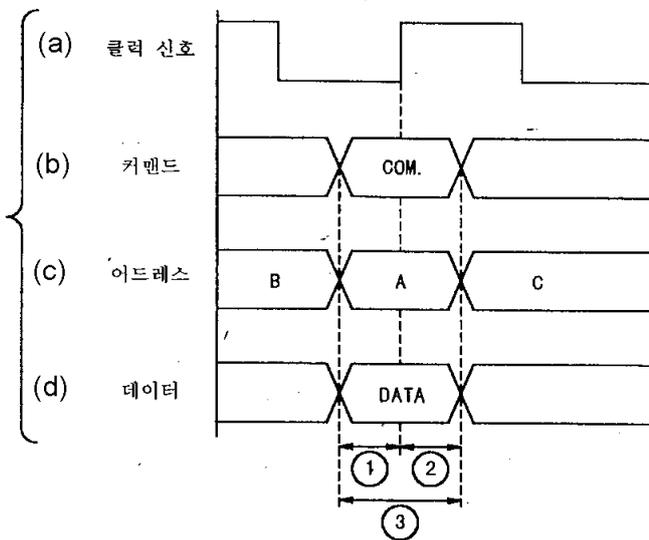
도면1

(종래 기술)



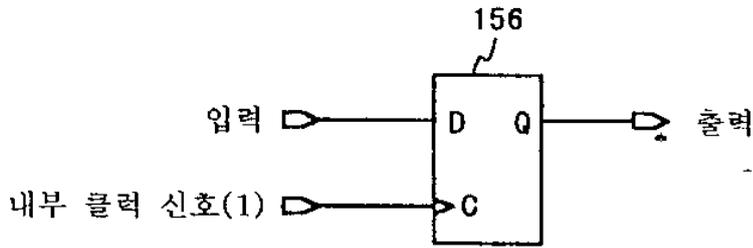
도면2

(종래 기술)

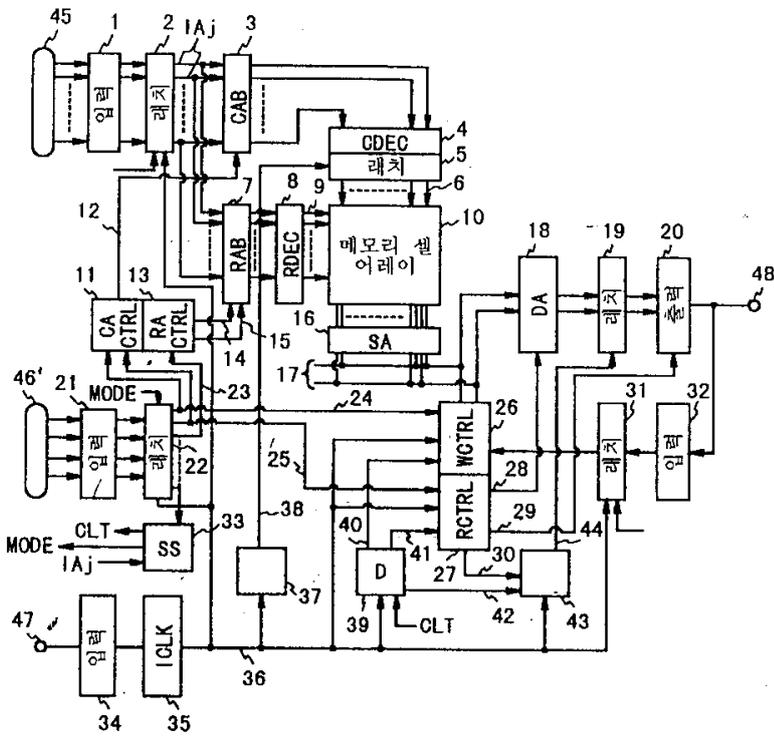


도면3

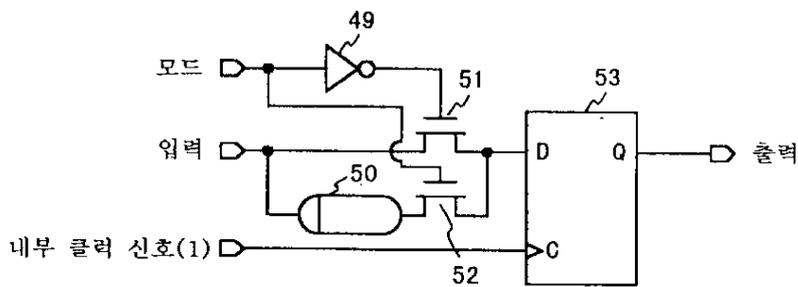
(종래 기술)



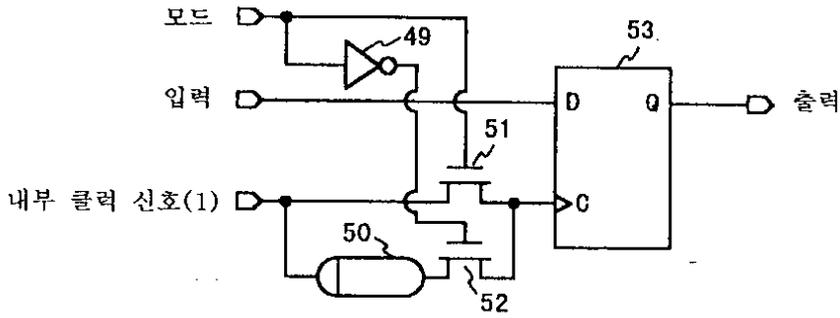
도면4



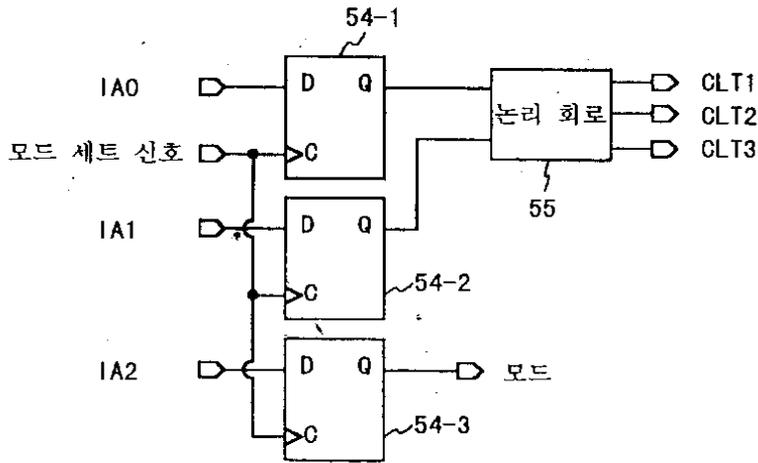
도면5



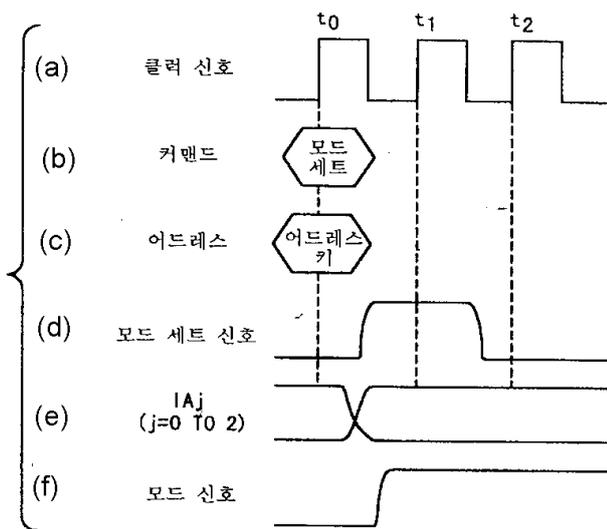
도면6



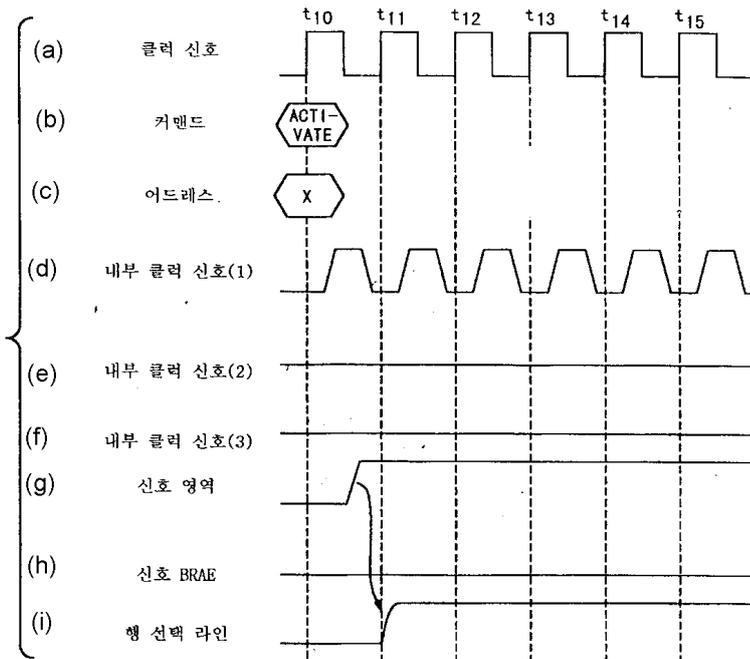
도면7



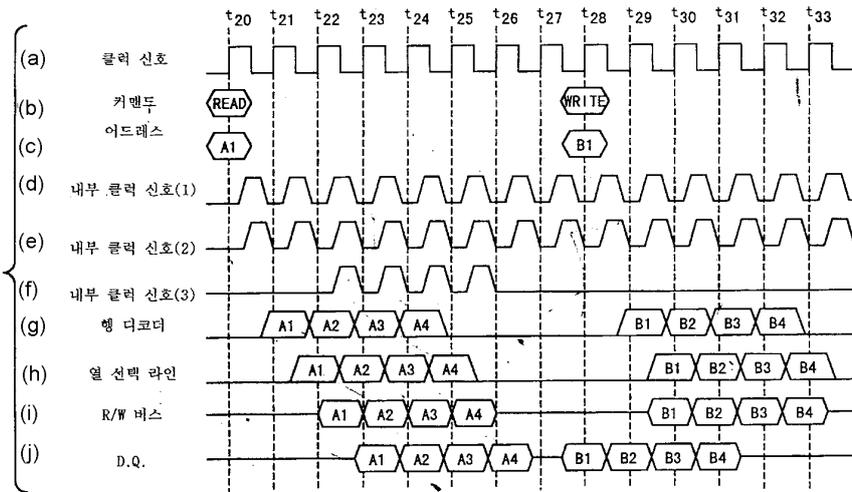
도면8



도면9



도면10



도면11

