



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

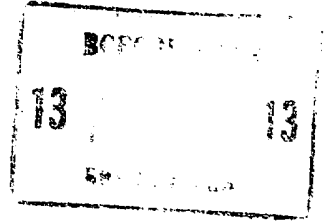
(19) **SU** (11) **1256044** **A1**

(51) 4 G 06 F 15/332

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3856100/24-24

(22) 19.02.85

(46) 07.09.86. Бюл. № 33

(72) В. В. Витязев, А. Г. Уваров, Н. А. Улаев,
С. Ю. Хлудов и В. А. Широков

(53) 681.32(088.8)

(56) Витязев В. В., Степашкин А. И. Синтез структуры цифрового спектрального анализатора с использованием набора фильтров-дискретизаторов. В кн.: Методы представления и аппаратурный анализ случайных процессов и полей. Л., 1980.

Авторское свидетельство СССР
№ 974374, кл. G 06 F 15/332, 1980.

(54) ЦИФРОВОЙ АНАЛИЗАТОР СПЕКТРА

(57) Изобретение относится к специализированным средствам вычислительной техники и может быть использовано при цифровом спектральном анализе многочастотных узкополосных радиосигналов, сигналов связи и управления. Целью изобретения является повышение быстродействия. Поставленная цель достигается тем, что анализатор спектра содержит преобразователь частоты, две группы цифровых фильтров, блок умножения, блок вычисления дискретного преобразования Фурье, четыре коммутатора, три счетчика, пять регистров, два накапливающих сумматора, три умножителя и два блока постоянной памяти с соответствующими связями. 7 ил.

(19) **SU** (11) **1256044** **A1**

Изобретение относится к специализированным средствам вычислительной техники и может быть использовано при цифровом спектральном анализе многочастотных узкополосных сигналов, сигналов связи и управления.

Целью изобретения является повышение быстродействия.

На фиг. 1 представлена блок-схема анализатора спектра; на фиг. 2 — преобразователь частоты и временные диаграммы его работы; на фиг. 3 — блок цифровой фильтрации; на фиг. 4 — временные диаграммы работы блока цифровой фильтрации; на фиг. 5 — формирователь группового сигнала и временные диаграммы его работы; на фиг. 6 — блок-схема блока вычисления дискретного преобразования Фурье; на фиг. 7 — временные диаграммы блока вычисления дискретного преобразования Фурье.

Устройство содержит (фиг. 1) преобразователь 1 частоты, блок 2 цифровой фильтрации, состоящий из двух групп цифровых фильтров, формирователь 3 группового сигнала, блок 4 умножения и блок 5 вычисления дискретного преобразования Фурье.

Преобразователь 1 частоты (фиг. 2) содержит пять регистров 6, три умножителя 7, три блока 8 памяти и два счетчика 9.

Блок 2 цифровой фильтрации (фиг. 3) состоит из двух групп цифровых фильтров и содержит блок 10 памяти коэффициентов, регистр 11, сумматор-вычитатель 12, два счетчика 13 и две группы из k фильтров 14 нижних частот, каждый из которых содержит четыре регистра 15, блок 16 умножения, сумматор 17, блок 18 памяти и счетчик 19.

Формирователь 3 группового сигнала (фиг. 5) содержит четыре коммутатора 20, три умножителя 21, два накапливающих сумматора 22, два блока 23 постоянной памяти (коэффициентов), пять регистров 24 и три счетчика 25.

Блок 4 умножения (фиг. 6) содержит коммутатор 26, умножитель 27, блок 28 памяти коэффициентов, счетчик 29 и регистр 30.

Блок 5 вычисления дискретного преобразования Фурье (фиг. 6) содержит четыре коммутатора 31, узел 32 памяти, одиннадцать регистров 33, два сумматора 34, узел 35 памяти коэффициентов, три счетчика 36, дешифратор 37, сумматор 38 по модулю два, арифметико-логический узел 39 и умножитель 40.

Цифровой анализатор спектра работает следующим образом.

На вход устройства с частотой дискретизации T_1 поступают выборки $x(nT_1)$ входного сигнала. Преобразователь частоты реализует следующий алгоритм цифровой обработки

$$\begin{cases} x_{1\ell}(nT_1) = x(nT_1) \sin Q_{\ell} \frac{2\pi}{M} n; \\ x_{2\ell}(nT_1) = x(nT_1) \cos Q_{\ell} \frac{2\pi}{M} n, \ell = \overline{1, k}, \end{cases}$$

где $x_{1\ell}(nT_1) \dots x_{2\ell}(nT_1)$ — квадратурные составляющие выходного

сигнала преобразователя;

Q_{ℓ} — центральная частота ℓ -го поддиапазона анализируемых частот;

M — число выборок трансформирующей функции на периоде основной частоты (под основной частотой формирующей функции,

равной $2\pi/M$, подразумевается наименьшее значение частоты перестройки задающего генератора преобразователя частоты).

В первом и втором блоках памяти хранятся соответственно M выборок синусной и M выборок косинусной составляющих основной частоты трансформирующей функции

$$\exp\{j \frac{2\pi}{M} n\} = \cos \frac{2\pi}{M} n + j \sin \frac{2\pi}{M} n,$$

а в третий блок памяти введены по второму входу преобразователя коды центральных частот Q_{ℓ} , $\ell = \overline{1, k}$ в порядке возрастания значения индекса ℓ .

Первый счетчик формирует двоичный код номера n текущей выборки входного сигнала $x(nT_1)$, взятого по модулю M , а второй счетчик задает адрес ℓ третьего блока памяти. Цикл работы преобразователя частоты длительностью, равной T_1 , определяется периодическим поступлением управляющего сигнала $У2$ (фиг. 2), который записывает новое текущее значение выборки $x(nT_1)$ в первый регистр 6, устанавливает в исходное нулевое состояние второй счетчик 9 и переводит первый счетчик 9 в состояние, соответствующее текущему значению номера n . В течение всего цикла работы преобразователя значение выборки $x(nT_1)$ постоянно подводится к первому входу первого и второго блоков 7 умножения. На вторые входы блоков 7 через второй и соответственно третий регистры 6 из первого и соответственно второго блоков 8 памяти поступают значения выбора синусной

$\sin Q_{\ell} \frac{2\pi}{M}$ и косинусной $\cos Q_{\ell} \frac{2\pi}{M}$ составляющих

трансформирующей функции. Произведения чисел, полученные на выходе умножителей 7, образуют первую $x_{1\ell}(nT_1)$ и вторую $x_{2\ell}(nT_1)$, $\ell = \overline{1, k}$ группы выходных сигналов преобразователя частоты. Адрес, по которому производится считывание из первого и второго блоков 8 памяти соответствующих выборок синусной и косинусной составляющих Q_{ℓ} -й трансформирующей функции, формируется третьим блоком 7 умножения и в виде произведения nQ_{ℓ} , взятого по модулю (предполагается, что M -кратно степени двойки), через четвертый регистр 6 подается на входы первого и второго блоков 8 памяти.

Блок цифровой фильтрации (фиг. 3) состоит из двух групп однотипных ФНЧ 14, предназначенных для цифровой обработки

соответственно первой $x_{1\ell}(nT_1)$ и второй $x_{2\ell}(nT_1)$ групп входных сигналов. Первая группа ФНЧ включает в себя k фильтров, каждый из которых реализует прямую свертку ℓ -й последовательности входных выборок $x_{1\ell}(nT_1)$ и последовательности выборок импульсной характеристики фильтра $h(n)$ с использованием эффекта прореживания выборок выходного сигнала $y_{1\ell}(nT_1)$ по алгоритму

$$y_{1\ell}(nT_2) = \begin{cases} g_m(nT_1), & n_{\text{mod } v} = v-1, \\ 0, & \text{при остальных } n, m = \\ = 0, N/v-1 \end{cases}$$

$$g_i(nT_1) = x_{1\ell}(nT_1)h(iv - n_{\text{mod } N})_{\text{mod } N} + \\ + g_i(n-1)T_1, \\ i = 0, N/v-1,$$

где $g_i(nT_1)$ — i -я переменная, накапливаемая на интервале времени, длительность которого определяется порядком фильтра N ;

$v = T_2/T_1$ — коэффициент прореживания выборок сигнала на выходе ФНЧ;

N/v — число одновременно накапливаемых переменных $g_i(nT_1)$.

Предполагается, что текущее значение номера n выборки входного сигнала связано с текущим значением номера m выборки выходного сигнала ФНЧ выражением

$$n = mv + n_{\text{mod } v}.$$

Основной цикл работы ФНЧ определяется периодом T_1 поступления в блок 2 цифровой фильтрации выборок группового сигнала $x_{1\ell}(nT_1)$, который задается управляющим сигналом $У_2$ и группой управляющих сигналов $y_{1\ell}$, $\ell = 1, k$. При подаче управляющего сигнала $У_4$ на соответствующий вход первого регистра 15 ℓ -го ФНЧ в него вводится текущее значение выборки $x_{1\ell}(nT_1)$ ℓ -й последовательности первой группы сигналов которое подводится к первому входу блока 16 умножения в течение всего цикла обработки. На второй вход блока 16 умножения через второй регистр 15 подается соответствующее значение выборки $h(iv - n_{\text{mod } N})_{\text{mod } N}$ импульсной характеристики ФНЧ, зависящее от номера i накапливаемой переменной $g_i(nT_1)$ и текущего значения n . Полученное произведение $x_{1\ell}(nT_1) \cdot h(iv - n_{\text{mod } N})_{\text{mod } N}$ с выхода блока 16 умножения поступает на первый вход сумматора 17, на второй вход которого через третий регистр 15 при поступлении управляющего импульса $У_6$ подводится из блока 18 памяти предшествующее значение первой накапливаемой переменной $g_i(nT_1)$. Новое значение переменной $g_i(nT_1)$ с выхода сумматора 17 вводится в блок 18 памяти по адресу первой переменной управляющим сигналом $У_7$. При окончании накопления m -й переменной $g_m(nT_1)$ в момент времени $n_{\text{mod } v} = v-1$, при условии, что $n_{\text{mod } v}/v = m-1$, соответствующее значение переменной $g_m(nT_1)$ принимается за m -ю текущую выборку выходного сигнала $g_m(nT_2)$ и записывается в четвертый регистр 15 управляющим сигналом $У_{10}$. В последующем

цикле обработки (фиг. 4) соответствующий регистр накопитель блока 18 памяти условно обнуляется подачей управляющего импульса $У_{11}$ на третий регистр 15.

В блоке 10 памяти коэффициентов хранится полный N -мерный массив выбора импульсной характеристики ФНЧ $h(n)$. Адрес, по которому производится считывание соответствующей выборки $h(iv - n_{\text{mod } N})_{\text{mod } N}$ импульсной характеристики фильтра задается схемой адресации, включающей в себя регистр 11, сумматор-вычитатель 12 и два счетчика 13. Первый счетчик 13 при подаче управляющего импульса $У_5$ формирует код номера i накапливаемой переменной $g_i(nT_1)$, который с выхода счетчика подводится к первому входу сумматора-вычитателя 12 со сдвигом в сторону старших разрядов на $\log_2 v$ двоичных единиц (предполагается, что коэффициент прореживания кратен степени двойки). На второй вход сумматора-вычитателя 12 с выхода второго счетчика 13 подается код текущего значения n , взятого по модулю N . При поступлении управляющего импульса $У_9$ адрес $(iv - n_{\text{mod } N})$, взятый по модулю N , с выхода сумматора-вычитателя 12 записывается в регистр 11 и определяет в последующем такте обработки значение выборки импульсной характеристики $h(n)$, считываемой из блока 10 памяти коэффициентов.

Вторая группа ФНЧ по аналогичному алгоритму выполняет обработку второй группы сигналов $x_{2\ell}(nT_1)$, $\ell = 1, k$ с выхода преобразователя 1 частоты. По окончании каждого $(v-1)$ -го цикла работы блока 2 цифровой фильтрации одновременно во все выходные регистры ФНЧ записываются m -е текущие значения выходных сигналов $y_{1\ell}(mT_2)$ и $y_{2\ell}(mT_2)$, которые последовательно выбираются формирователем 3 группового сигнала за время цикла его работы длительностью $T_2 = v T_1$.

Формирователь 3 группового сигнала реализует следующий алгоритм работы цифрового устройства:

$$Z_1(mT_2) = \sum_{\ell=0}^{v-1} y_{1\ell}(mT_2) \cos(2\ell+1) \frac{\pi}{K} m + \\ + y_{2\ell}(mT_2) \sin(2\ell+1) \frac{\pi}{K} m;$$

$$Z_2(mT_2) = \sum_{\ell=0}^{v-1} y_{2\ell}(mT_2) \cos(2\ell+1) \frac{\pi}{K} m - \\ - y_{1\ell}(mT_2) \sin(2\ell+1) \frac{\pi}{K} m;$$

где $Z_1(mT_2)$, $Z_2(mT_2)$ — соответственно первый и второй групповые комплексные сигналы, являющиеся квадратурными составляющими комплексного группового сигнала

$$Z(mT_2) = Z_2(mT_2) + jZ_1(mT_2),$$

При поступлении управляющего $У_{13}$ сигнала на вход счетчика 25 формируется соответствующее значение кода адреса ℓ -й коммутируемой переменной $y_{1\ell}(mT_2)$ на входе пер-

вого коммутатора и переменной $y_2(mT_2)$ на входе второго коммутатора 20. Текущее значение выборок $y_1(mT_2)$ и $y_2(mT_2)$ подается на первый вход первого и соответственно второго умножителя 21, на второй вход которых в этот же момент времени с выхода четвертого регистра 24 поступает соответствующее значение выборки косинусной составляющей l -й трансформирующей функции

$$\exp[j(2l+1)\frac{\pi}{K}m] = \cos(2l+1)\frac{\pi}{K}m + \\ + j\sin(2l+1)\frac{\pi}{K}m.$$

При соответствующем значении управляющего сигнала У16 полученные произведения

$$y_1(mT_2)\cos(2l+1)\frac{\pi}{K}m \text{ и } y_2(mT_2)\sin(2l+1)\frac{\pi}{K}m$$

через первый и соответственно второй входы третьего и четвертого коммутаторов 20 подаются на первый вход первого и соответственно второго накапливающих сумматоров 22. При изменении уровня управляющего сигнала У15 на адресном входе блока 23 памяти коэффициентов с выхода последнего управляющим импульсом У14 в регистр 24 вводится соответствующее значение выборки синусной составляющей l -й трансформирующей функции той же частоты. Полученные на выходе первого и второго умножителей 21 произведения $y_1(mT_2)\sin(2l+1)\frac{\pi}{K}m$ и соответственно $y_2(mT_2)\sin(2l+1)\frac{\pi}{K}m$ при изменении уровня управляющего сигнала У16 на входах третьего и четвертого коммутаторов 20 подаются на первые входы соответственно второго и первого накапливающих сумматоров 22. При этом четвертый коммутатор одновременно преобразует прямой код числа $y_1(mT_2)\sin(2l+1)\frac{\pi}{K}m$ в обратный. Процесс накопления в сумматорах 22 заканчивается при поступлении и соответствующей обработке последней k -й комбинации входных выборок: $y_{1k}(mT_2)$ и $y_{2k}(mT_2)$. Полученный результат $Z_1(mT_2)$ и $Z_2(mT_2)$ с выхода первого и соответственно второго накапливающих сумматоров 22 записывается в первый и соответственно второй регистры 24 управляющим импульсом У12. При подаче управляющего импульса содержание накапливающего сумматора 22 обнуляется. Формирователь группового сигнала готов к приему и обработке новой последовательности выборок сигналов $y_{1l}(mT_2)$ и $y_{2l}(mT_2)$.

Последовательность генерации выборок $\cos(2l+1)\frac{\pi}{K}m$ и $\sin(2l+1)\frac{\pi}{K}m$ трансформирующей функции определяется схемой адресации первого блока 23 памяти коэффициентов, которая включает в себя (фиг. 5) третий умножитель 21, второй блок 23 памяти коэффициентов, третий и пятый регистры 24 и второй и третий счетчики 25. Во второй

блок 23 памяти коэффициентов априорно введены коды частот Q_k , $l=1, k$ трансформирующей функции формирователя (в рассматриваемом устройстве принято, что $\Theta_l = (2l+1)\pi/k$, где $2k$ — период основной частоты генератора трансформирующей функции), которые последовательно выводятся в пятый регистр 24 подачей очередного управляющего импульса У13 на соответствующий вход третьего счетчика 25 и управляющего импульса У20 на вход пятого регистра 24. Вторым счетчик 25, управляемый последовательностью импульсов У12, формирует код текущего значения числа m , взятого по модулю $2k$. Произведение чисел $m_{mod 2k}$ и Θ_l , взятое по модулю $2k$, с выхода третьего блока 21 умножения записывается в третий регистр 24 управляющим импульсом У19 и подается на адресные входы первого блока 23 памяти коэффициентов.

Блок 4 (фиг. 6) включающий в себя коммутатор 26, блок 27 умножения, блок 28 памяти коэффициентов, счетчик 29 и регистр 30, реализует следующий алгоритм цифровой обработки

$$S_1(mT_2) \cdot Z_1(mT_2)W(m); \\ S_2(mT_2) \cdot Z_2(mT_2)W(m), m = 0, L-1,$$

где $w(m)$ — L -мерный массив весовых коэффициентов.

Ввод последовательности выборок $Z_1(mT_2)$ $Z_2(mT_2)$ в блок 4 выполняется через коммутатор 26 управляющим сигналом У21. При низком уровне управляющего сигнала У21 на первый вход умножителя 27 подводятся выборки $Z_1(mT_2)$, а при высоком уровне — выборки $Z_2(mT_2)$. Соответствующие значения весовых коэффициентов $W(m)$, $m=0, L-1$, поступающие на второй вход умножителя 27, считываются из блока 28 памяти коэффициентов, управляемого по адресным входам счетчиком 29. Новое значение блока 28 памяти формируется на выходе счетчика 29 при поступлении очередного управляющего импульса У12. После прихода в исходное нулевое состояние импульса У12 счетчик 29 переходит в исходное нулевое состояние и процесс весовой обработки повторяется для следующего L -мерного массива входных данных $Z_1(mT_2)$, $Z_2(mT_2)$, текущее значение выходных переменных $S_1(mT_2)$ и $S_2(mT_2)$, разделенные по времени (фиг. 7), последовательно записываются в выходной регистр 30 управляющим импульсом У22 и поступают в блок БПФ по общему каналу.

При подаче совокупности управляющих сигналов У24—У42 (фиг. 7) блок 5 реализует вычисление коэффициентов Фурье L -мерного комплексного массива входных данных

$$S(mT_2) = S_2(mT_2) + jS_1(mT_2)$$

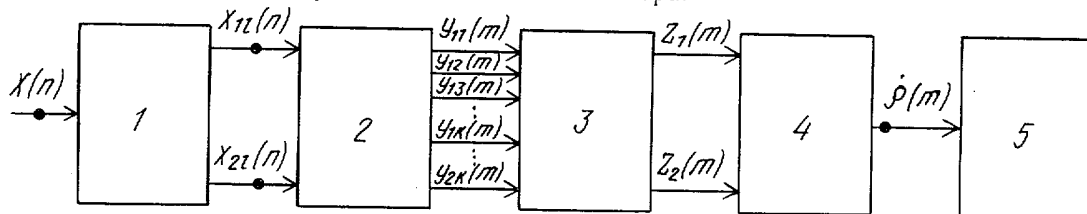
по алгоритму быстрого преобразования Фурье.

Формула изобретения

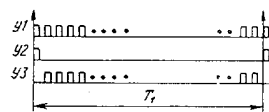
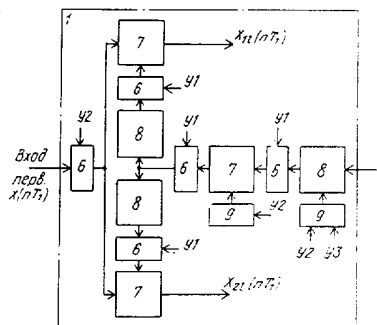
Цифровой анализатор спектра, содержащий преобразователь частоты, выходы си-

нусной и косинусной составляющих i -й частоты ($i = \overline{1, k}$, k — количество анализируемых частот) которого подключены к входам i -х цифровых фильтров соответственно первой и второй групп, блок умножения, выход которого подключен к информационному входу блока вычисления дискретного преобразования Фурье, выход которого является информационным выходом анализатора, информационным входом которого является вход преобразователя частоты, отличающийся тем, что, с целью повышения быстродействия, в него введены четыре коммутатора, три счетчика, пять регистров, два накапливающих сумматора, три умножителя и два блока постоянной памяти, причем выходы i -х цифровых фильтров первой и второй групп подключены к i -м информационным входам соответственно первого и второго коммутаторов, выходы которых подключены к первым входам соответственно первого и второго умножителей, выходы которых подключены соответственно первого — к первым информационным входам третьего и четвертого коммутаторов, второго — к вторым информационным входам третьего и четвертого коммутаторов, выходы которых подключены к входам соответственно первого и второго накапливающих сумматоров, выходы которых подключены к информационным входам соответственно первого и второго регистров, выходы которых подключены соответственно к первому и второму входам блока умножения, информационный выход первого счетчика подключен к управляющим входам первого и второго коммутаторов, информационный выход второго счетчика

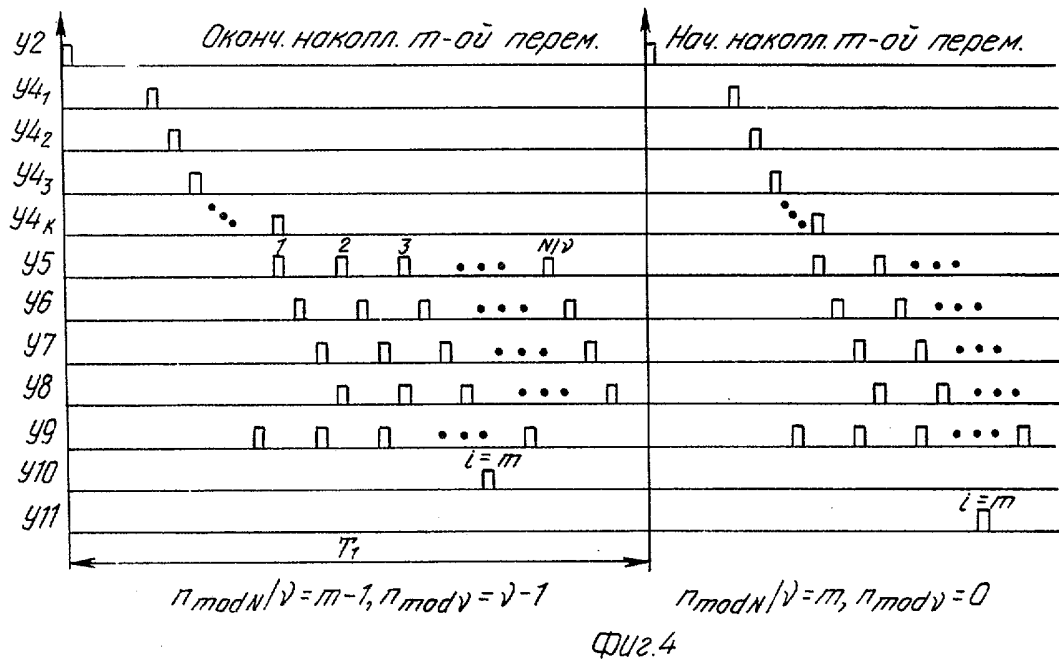
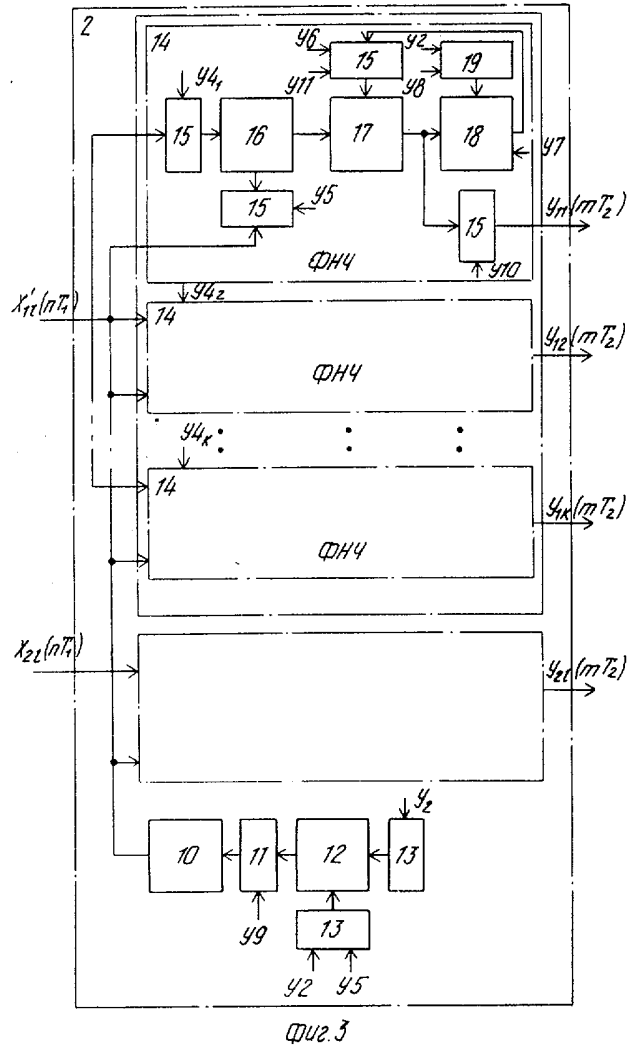
5 подключен к первому входу третьего умножителя, выход которого подключен к информационному входу третьего регистра, выход которого подключен к адресуемому входу первого блока постоянной памяти, выход которого подключен к информационному входу четвертого регистра, выход которого подключен к вторым входам первого и второго умножителей, информационный выход третьего счетчика подключен к адресуемому входу второго блока постоянной памяти, выход которого подключен к информационному входу пятого регистра, выход которого подключен к второму входу третьего умножителя, установочные входы второго и третьего счетчиков, первого и второго регистров объединены и являются первым установочным входом анализатора, счетные входы первого и третьего счетчиков объединены и являются первым тактовым входом анализатора, тактовый вход четвертого регистра является вторым тактовым входом анализатора, вход чтения второго блока постоянной памяти является третьим тактовым входом анализатора, управляющие входы третьего и четвертого коммутаторов объединены и являются четвертым тактовым входом анализатора, тактовые входы первого и второго накапливающих сумматоров объединены и являются пятым тактовым входом анализатора, вторым установочным входом которого являются объединенные между собой установочные входы первого и второго накапливающих сумматоров, а тактовые входы третьего и пятого регистров являются соответственно шестым и седьмым тактовыми входами анализатора.

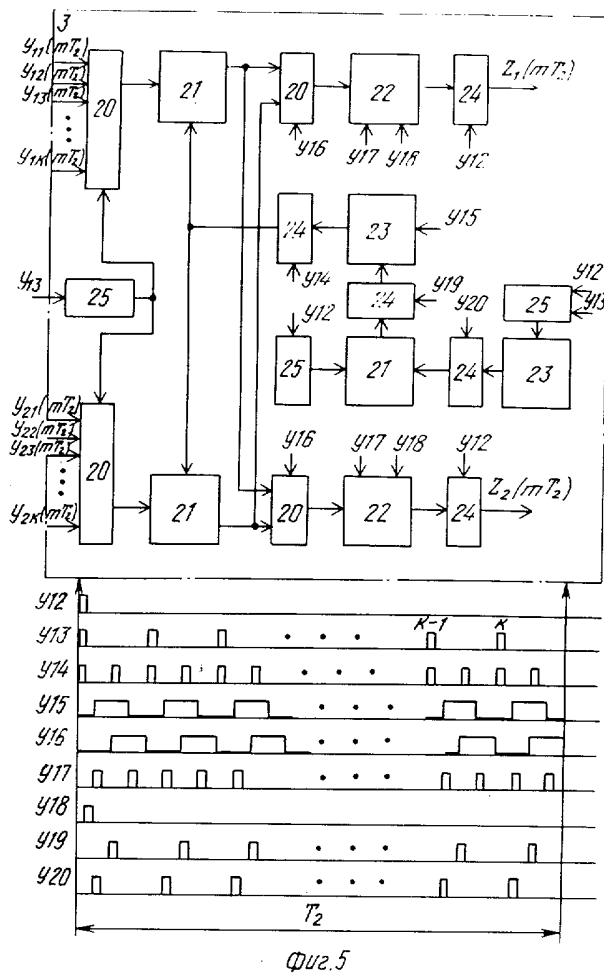


Фиг. 1

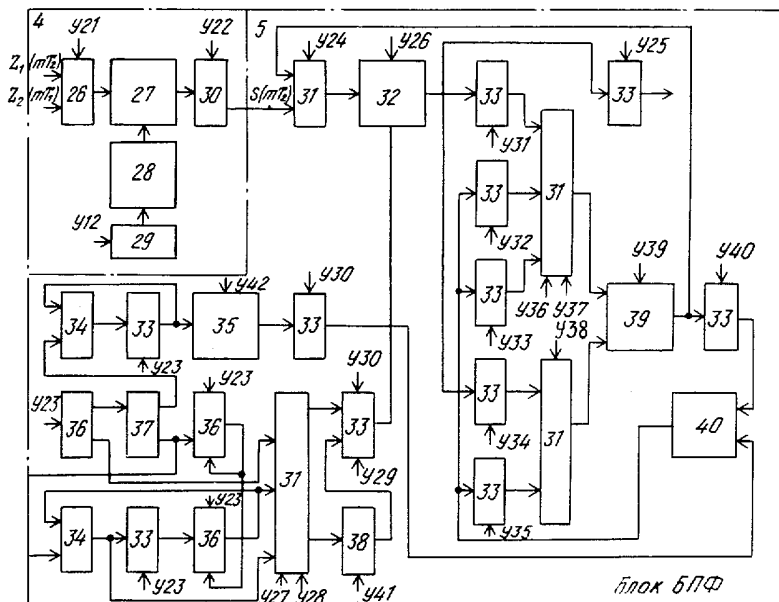


Фиг. 2

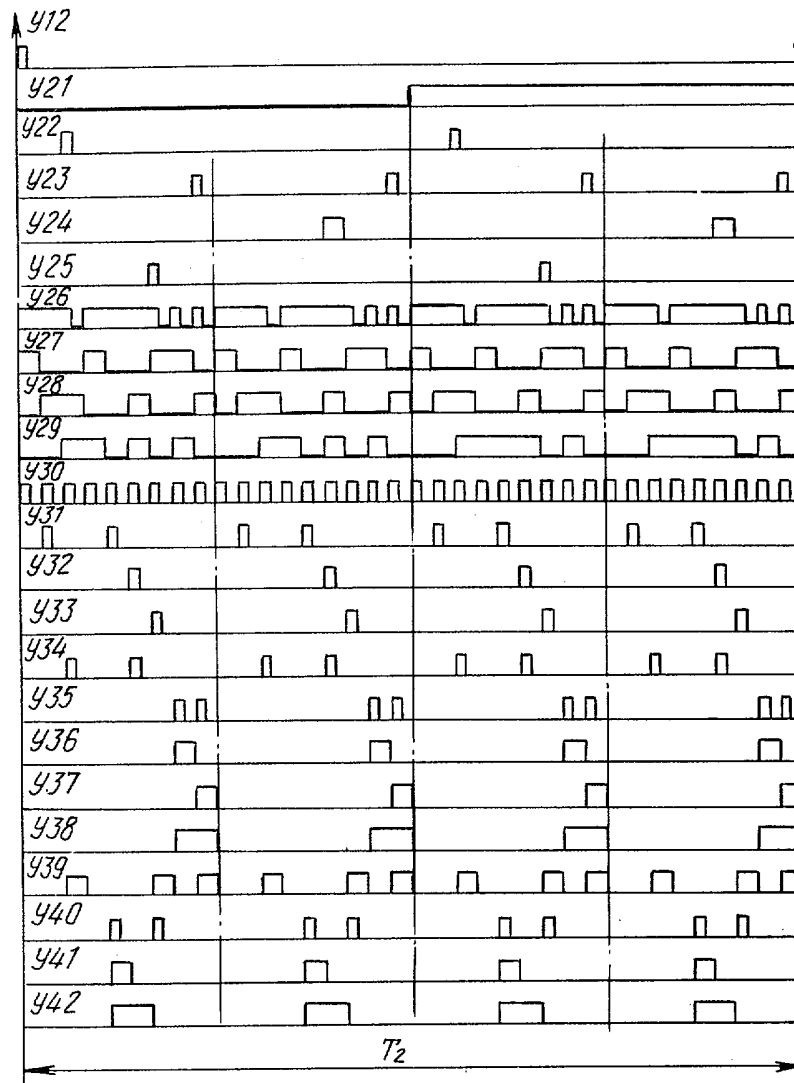




Фиг. 5



Фиг. 6



Фиг. 7

Редактор А. Ворович
Заказ 4825/49

Составитель А. Баранов
Техред И. Верес
Тираж 671

Корректор М. Максимшинцев
Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4