



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년05월19일
(11) 등록번호 10-2111419
(24) 등록일자 2020년05월11일

- (51) 국제특허분류(Int. Cl.)
H01L 23/528 (2006.01) H01L 21/324 (2017.01)
H01L 23/00 (2006.01)
- (52) CPC특허분류
H01L 23/528 (2013.01)
H01L 21/324 (2013.01)
- (21) 출원번호 10-2018-0048996
- (22) 출원일자 2018년04월27일
심사청구일자 2018년04월27일
- (65) 공개번호 10-2019-0055694
- (43) 공개일자 2019년05월23일
- (30) 우선권주장
62/586,345 2017년11월15일 미국(US)
15/886,033 2018년02월01일 미국(US)
- (56) 선행기술조사문헌
KR1020150106815 A*
KR1020080082545 A*
KR1020140016192 A
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
- (72) 발명자
첸 밍-파
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
첸 시엔-웨이
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
(뒷면에 계속)
- (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 9 항

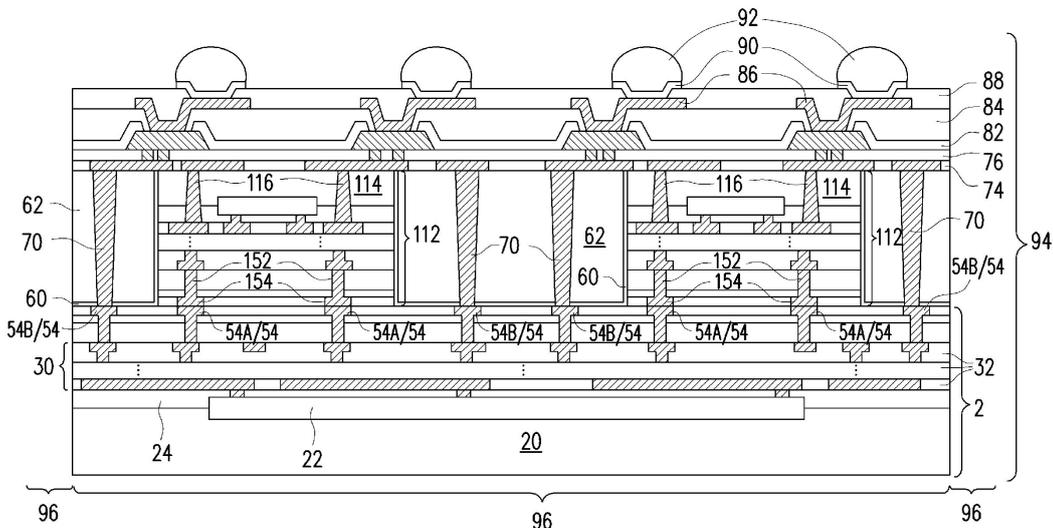
심사관 : 정구원

(54) 발명의 명칭 리세스를 가진 금속 본드 형성

(57) 요약

방법은, 제1 유전체 층을 성막하는 단계 및 제1 유전체 층 내에 제1 금속 패드를 형성하는 단계를 포함하는, 제1 디바이스 다이를 형성하는 단계를 포함한다. 제1 금속 패드는 리세스를 포함한다. 상기 방법은 제2 유전체 층 및 제2 유전체 층 내의 제2 금속 패드를 포함하는 제2 디바이스 다이를 형성하는 단계를 더 포함한다. 제1 디바이스 다이는 제2 디바이스 다이에 본딩되고, 제1 유전체 층은 제2 유전체 층에 본딩되고, 제1 금속 패드는 제2 금속 패드에 본딩된다.

대표도



(52) CPC특허분류

H01L 24/03 (2013.01)

H01L 24/06 (2013.01)

(72) 발명자

치오우 웬-치흐

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

예흐 성-펑

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

명세서

청구범위

청구항 1

방법에 있어서,

제1 디바이스 다이를 형성하는 단계;

제2 디바이스 다이를 형성하는 단계; 및

상기 제1 디바이스 다이를 상기 제2 디바이스 다이에 본딩하는 단계

를 포함하고,

상기 제1 디바이스 다이를 형성하는 단계는,

제1 유전체 층을 성막(deposit)하는 단계; 및

상기 제1 유전체 층 내에 제1 금속 패드 - 상기 제1 금속 패드는 상기 제1 금속 패드의 에지 부분에 인접한 제1 리세스를 포함함 - 를 형성하는 단계

를 포함하고,

상기 제2 디바이스 다이를 형성하는 단계는,

제2 유전체 층을 성막하는 단계; 및

상기 제2 유전체 층 내에 제2 금속 패드 - 상기 제2 금속 패드는 상기 제2 금속 패드의 에지 부분에 인접한 제2 리세스를 포함함 - 를 형성하는 단계

를 포함하고,

상기 제1 유전체 층은 상기 제2 유전체 층에 본딩되고, 상기 제1 금속 패드는 상기 제2 금속 패드에 본딩되며,

상기 본딩하는 단계가 시작되는 시간에, 상기 제1 리세스는 상기 제2 리세스로부터 분리되고, 상기 본딩하는 단계 후에, 상기 제1 리세스는 유지되고 상기 제2 리세스는 사라지는 것인, 방법.

청구항 2

방법에 있어서,

제1 디바이스 다이를 형성하는 단계;

제2 디바이스 다이를 형성하는 단계; 및

상기 제1 디바이스 다이를 상기 제2 디바이스 다이에 본딩하는 단계

를 포함하고,

상기 제1 디바이스 다이를 형성하는 단계는,

제1 유전체 층을 성막(deposit)하는 단계; 및

상기 제1 유전체 층 내에 제1 금속 패드 - 상기 제1 금속 패드는 상기 제1 금속 패드의 에지 부분에 인접한 제1 리세스를 포함함 - 를 형성하는 단계

를 포함하고,

상기 제2 디바이스 다이를 형성하는 단계는,

제2 유전체 층을 성막하는 단계; 및

상기 제2 유전체 층 내에 제2 금속 패드를 형성하는 단계

를 포함하고,

상기 제1 유전체 층은 상기 제2 유전체 층에 본딩되고, 상기 제1 금속 패드는 상기 제2 금속 패드에 본딩되며, 상기 제1 금속 패드는,

확산 장벽; 및

상기 확산 장벽의 대향 부분들(opposite portions) 사이의 구리 함유 물질

을 포함하고, 상기 구리 함유 물질의 에지 부분은 상기 확산 장벽의 상부 에지보다 낮게 리세스되어 상기 제1 리세스를 형성하는 것인, 방법.

청구항 3

방법에 있어서,

제1 디바이스 다이를 형성하는 단계;

제2 디바이스 다이를 형성하는 단계; 및

상기 제1 디바이스 다이를 상기 제2 디바이스 다이에 본딩하는 단계

를 포함하고,

상기 제1 디바이스 다이를 형성하는 단계는,

제1 유전체 층을 성막(deposit)하는 단계; 및

상기 제1 유전체 층 내에 제1 금속 패드 - 상기 제1 금속 패드는 상기 제1 금속 패드의 에지 부분에 인접한 제1 리세스를 포함함 - 를 형성하는 단계

를 포함하고,

상기 제2 디바이스 다이를 형성하는 단계는,

제2 유전체 층을 성막하는 단계; 및

상기 제2 유전체 층 내에 제2 금속 패드를 형성하는 단계

를 포함하고,

상기 제1 유전체 층은 상기 제2 유전체 층에 본딩되고, 상기 제1 금속 패드는 상기 제2 금속 패드에 본딩되며, 상기 본딩하는 단계는,

사전-어닐링(pre-anneal)을 수행하는 단계; 및

어닐링을 수행하는 단계

를 포함하고,

상기 어닐링 동안, 상기 제1 리세스가 감소되는 것인, 방법.

청구항 4

방법에 있어서,

제1 디바이스 다이를 형성하는 단계;

제2 디바이스 다이를 형성하는 단계; 및

상기 제1 디바이스 다이를 상기 제2 디바이스 다이에 본딩하는 단계

를 포함하고,

상기 제1 디바이스 다이를 형성하는 단계는,

제1 유전체 층을 성막(deposit)하는 단계; 및

상기 제1 유전체 층 내에 제1 금속 패드 - 상기 제1 금속 패드는 상기 제1 금속 패드의 에지 부분에 인접한 제1 리세스를 포함함 - 를 형성하는 단계

를 포함하고,

상기 제2 디바이스 다이를 형성하는 단계는,

제2 유전체 층을 성막하는 단계; 및

상기 제2 유전체 층 내에 제2 금속 패드를 형성하는 단계

를 포함하고,

상기 제1 유전체 층은 상기 제2 유전체 층에 본딩되고, 상기 제1 금속 패드는 상기 제2 금속 패드에 본딩되며,

상기 제1 금속 패드를 형성하는 단계는 평탄화를 수행하는 단계를 포함하며, 상기 제1 리세스는 상기 평탄화에 의해 생성되는 것인, 방법.

청구항 5

방법에 있어서,

제1 디바이스 다이를 형성하는 단계;

제2 디바이스 다이를 형성하는 단계; 및

상기 제1 디바이스 다이를 상기 제2 디바이스 다이에 본딩하는 단계

를 포함하고,

상기 제1 디바이스 다이를 형성하는 단계는,

제1 유전체 층을 성막(deposit)하는 단계; 및

상기 제1 유전체 층 내에 제1 금속 패드 - 상기 제1 금속 패드는 상기 제1 금속 패드의 에지 부분에 인접한 제1 리세스를 포함함 - 를 형성하는 단계

를 포함하고,

상기 제2 디바이스 다이를 형성하는 단계는,

제2 유전체 층을 성막하는 단계; 및

상기 제2 유전체 층 내에 제2 금속 패드를 형성하는 단계

를 포함하고,

상기 제1 유전체 층은 상기 제2 유전체 층에 본딩되고, 상기 제1 금속 패드는 상기 제2 금속 패드에 본딩되며,

상기 제2 금속 패드는 상기 제2 금속 패드의 에지에 인접한 제2 리세스를 포함하고, 상기 제1 리세스는, 상기 본딩하는 단계가 시작되는 시간에 상기 제2 리세스에 결합(join)되는 것인, 방법.

청구항 6

삭제

청구항 7

방법에 있어서,

웨이퍼의 상부 표면 상에 유전체 층을 형성하는 단계;

상기 유전체 층을 에칭하여 상기 유전체 층에 트렌치를 형성하는 단계; 및

상기 트렌치 내에 제1 금속 패드를 형성하는 단계

를 포함하고,

상기 제1 금속 패드는,

상기 유전체 층과 접촉하는 확산 장벽; 및

상기 확산 장벽의 대향 부분들 사이의 금속 물질

을 포함하고,

상기 제1 금속 패드의 횡단면도에서, 상기 금속 물질의 상부 표면은 중간 부분, 및 상기 중간 부분보다 낮은 에지 부분들을 포함하고, 상기 에지 부분들은, 리세스를 형성하도록 상기 확산 장벽의 가장 가까운 부분의 상부 에지보다 낮은 것인, 방법.

청구항 8

제7항에 있어서, 상기 제1 금속 패드에 제2 금속 패드를 본딩하는 단계를 더 포함하고, 상기 리세스는, 상기 제2 금속 패드를 상기 제1 금속 패드에 본딩한 후에 크기가 적어도 감소되는 것인 방법.

청구항 9

제7항에 있어서,

상기 리세스 내로 연장하는 유전체 에칭 정지 층(dielectric etch stop layer)을 형성하는 단계; 및

상기 유전체 에칭 정지 층을 관통하여 상기 제1 금속 패드에 연결되는 관통-비아를 형성하는 단계

를 더 포함하는 방법.

청구항 10

디바이스에 있어서,

제1 디바이스 다이; 및

제2 디바이스 다이

를 포함하고,

상기 제1 디바이스 다이는,

제1 유전체 층; 및

제1 금속 패드

를 포함하고,

상기 제1 금속 패드는,

상기 제1 유전체 층에 접촉하는 확산 장벽; 및

상기 확산 장벽의 대향 부분들 사이의 금속 물질

을 포함하고,

상기 제1 금속 패드의 횡단면도에서, 상기 금속 물질의 에지 부분은 상기 확산 장벽의 가장 가까운 부분의 상부 에지로부터 리세스되어 에어 갭을 형성하고,

상기 제2 디바이스 다이는,

상기 제1 유전체 층에 본딩된 제2 유전체 층; 및

금속-대-금속 직접 본딩을 통해 상기 제1 금속 패드에 본딩된 제2 금속 패드

를 포함하는 것인, 디바이스.

발명의 설명

기술 분야

[0001] 우선권 주장 및 상호 참조

[0002] 본 출원은 다음의 가출원된 미국 특허 출원: 2017년 11월 15일자로 출원된 "리세스를 가진 금속 본드 형성 (Forming Metal Bonds with Recesses)"이라는 명칭의 출원 번호 62/586,345호의 이익을 주장하며, 이 출원은 본 명세서에 참고로 포함한다.

배경 기술

[0003] 집적 회로의 패키지는 점점 더 복잡해지고 있으며, 더 많은 기능을 달성하기 위해 동일한 패키지 내에 더 많은 디바이스 다이가 패키징된다. 예를 들어 SoIC(System on Integrate Chip)는 동일한 패키지에 프로세서 및 메모리 큐브와 같은 복수의 디바이스 다이를 포함하도록 개발되었다. SoIC는 서로 다른 기술을 사용하여 형성된 디바이스 다이를 포함할 수 있으며, 동일한 디바이스 다이에 서로 다른 기능이 본딩되어 시스템을 형성할 수 있다. 이는 제조 비용을 절감하고 디바이스 성능을 최적화할 수 있다.

발명의 내용

도면의 간단한 설명

[0004] 본 개시의 양태들은 첨부된 도면과 함께 읽을 때 다음의 상세한 설명으로부터 가장 잘 이해된다. 업계의 표준 관행에 따르면, 다양한 피쳐들이 일정한 비율로 그려지지 않는다는 것을 유의해야 한다. 실제로 다양한 피쳐의 치수는 논의의 명확성을 위해 임의로 늘리거나 줄일 수 있다.

- 도 1 내지 도 14는 일부 실시 예에 따른 패키지 제조의 중간 스테이지의 단면도이다.
- 도 15는 일부 실시 예에 따른 페이스-투-백(face-to-back) 본딩을 통해 형성된 패키지의 단면도를 도시한다.
- 도 16a 및 도 16b 내지 도 27은 일부 실시 예에 따른 금속 본딩의 단면도를 도시한다.
- 도 28은 일부 실시 예에 따라 패키지를 형성하기 위한 공정 흐름을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0005] 다음의 개시는 본 발명의 상이한 피쳐들을 구현하기 위한 많은 상이한 실시 예 또는 예를 제공한다. 본 개시를 간단히 하기 위해 컴포넌트 및 배열의 특정 예가 아래에 설명된다. 이들은 물론 예시일 뿐 제한하려는 것은 아니다. 예를 들어, 이하의 설명에서 제2 피쳐 위의 또는 그 상의(over or on) 제1 피쳐의 형성은 제1 피쳐 및 제2 피쳐가 직접 접촉하여 형성되는 실시 예를 포함할 수 있으며, 제1 및 제2 피쳐가 직접 접촉하지 않도록 제1 피쳐 및 제2 피쳐 사이에 추가 피쳐가 형성될 수 있는 실시 예를 또한 포함할 수 있다. 또한, 본 개시는 다양한 예에서 참조 번호 및/또는 문자를 반복할 수 있다. 이러한 반복은 단순성 및 명료함을 목적으로 하며, 논의된 다양한 실시 예들 및/또는 구성들 간의 관계를 그 자체로 나타내지는 않는다.

[0006] 또한, "밑에 놓인(underlying)", "아래에(below)", "하부(lower)", "위에 놓인(overlying)", "상부(upper)" 등과 같은 공간적으로 상대적인 용어는 도면에 도시된 바와 같이 하나의 요소 또는 피쳐의 다른 요소(들) 또는 피쳐(들)의 관계를 설명하기 위해 설명의 용이함을 위해 본 명세서에서 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시된 방향 뿐만 아니라 사용 또는 작동시 디바이스의 상이한 방향을 포함하도록 의도된다. 장치는 달리 지향될 수도 있고(90도 회전되거나 다른 방향일 수 있음), 본 명세서에서 사용된 공간적으로 상대적인 설명어(descriptor)는 유사하게 이에 따라 해석될 수 있다.

[0007] SoIC(System on Integrate Chip) 패키지 및 그 형성 방법이 다양한 실시 예에 따라 제공된다. SoIC 패키지를 형성하는 중간 스테이지가 일부 실시 예에 따라 예시된다. 일부 실시 예의 몇몇 변형이 논의된다. 다양한 도면 및 예시적인 실시 예 전체에 걸쳐, 유사한 참조 번호는 유사한 요소를 지정하는 데 사용된다. 비록 본 개시의 실시 예의 개념을 설명하기 위해 SoIC 패키지의 형성이 예시로서 사용되었지만, 본 개시의 실시 예들은 금속 패드 및 비아가 서로 본딩되는 다른 본딩 방법 및 구조에 용이하게 적용될 수 있음을 유의해야 한다.

[0008] 도 1 내지 도 14는 본 개시의 일부 실시 예에 따른 SoIC 패키지의 형성에서의 중간 스테이지의 단면도를 도시한다. 도 1 내지 도 14에 도시된 단계들은 또한 도 28에 도시된 공정 흐름(200)에 개략적으로 반영된다.

[0009] 도 1은 패키지 컴포넌트(2)의 형성에서의 단면도를 도시한다. 각각의 공정은 도 28에 도시된 공정 흐름에서 단계(202)로서 도시된다. 본 개시의 일부 실시 예에 따르면, 패키지 컴포넌트(2)는 트랜지스터 및/또는 다이오드

와 같은 능동 디바이스(22) 및 가능하게는 커패시터, 인덕터, 레지스터 등과 같은 수동 디바이스를 포함하는 디바이스 웨이퍼이다. 패키지 컴포넌트(2)는 내부에 다수의 칩(4)을 포함할 수 있으며, 칩(4) 중 하나가 도시되어 있다. 칩(4)은 이후에 대안적으로 (디바이스) 다이로 지칭된다. 본 개시의 일부 실시 예에 따르면, 디바이스 다이(4)는 중앙 처리 장치(Central Processing Unit, CPU) 다이, 마이크로 제어 유닛(Micro Control Unit, MCU) 다이, 입출력(Input-Output, IO) 다이, 베이스-밴드(BaseBand, BB) 다이, 애플리케이션 프로세서(Application processor, AP) 다이 등일 수 있는 로직 다이이다. 디바이스 다이(4)는 또한 동적 랜덤 액세스 메모리(Dynamic Random Access Memory, DRAM) 다이 또는 정적 랜덤 액세스 메모리(Static Random Access Memory, SRAM) 다이와 같은 메모리 다이일 수도 있다.

[0010] 본 개시의 대안적인 실시 예에 따르면, 패키지 컴포넌트(2)는 수동 디바이스(능동 디바이스가 없음)를 포함한다. 다음의 설명에서, 디바이스 웨이퍼는 패키지 컴포넌트(2)로서 논의된다. 본 개시의 실시 예는 또한 인터포저(interposer) 웨이퍼와 같은 다른 유형의 패키지 컴포넌트에도 적용될 수 있다.

[0011] 본 개시의 일부 실시 예에 따르면, 웨이퍼(2)는 반도체 기판(20) 및 반도체 기판(20)의 상부 표면에 형성된 피쳐들을 포함한다. 반도체 기판(20)은 결정질 실리콘, 결정질 게르마늄, 결정질 실리콘 게르마늄, 및/또는 GaAsP, AlInAs, AlGaAs, GaInAs, GaInP, GaInAsP 등과 같은 III-V 화합물 반도체로 형성될 수 있다. 반도체 기판(20)은 또한 벌크 실리콘 기판 또는 SOI(Silicon-On-Insulator) 기판일 수 있다. STI(Shallow Trench Isolation) 영역(도시되지 않음)이 반도체 기판(20) 내의 능동 영역을 고립(isolate)시키기 위해 반도체 기판(20) 내에 형성될 수 있다. 도시되지는 않았지만, 관통-비아(through-via)가 반도체 기판(20) 내로 연장하도록 형성될 수 있고, 관통-비아(through-via)는 웨이퍼(2)의 양면들(opposite sides) 상의 피쳐들을 전기적으로 서로 결합(inter-couple)하는데 사용된다.

[0012] 본 개시의 일부 실시 예에 따르면, 웨이퍼(2)는 반도체 기판(20)의 상부 표면에 형성된 집적 회로 디바이스(22)를 포함한다. 예시적인 집적 회로 디바이스(22)는 CMOS(Complementary Metal-Oxide Semiconductor) 트랜지스터, 레지스터, 커패시터, 다이오드 및/또는 이와 유사한 것을 포함할 수 있다. 집적 회로 디바이스(22)의 세부 사항은 여기에 도시되지 않았다. 대안적인 실시 예에 따르면, 웨이퍼(2)는 인터포저를 형성하는데 사용되며, 여기서 기판(20)은 반도체 기판 또는 유전체 기판일 수 있다.

[0013] ILD(Inter-Layer Dielectric)(24)는 반도체 기판(20) 위에(over) 형성되고, 집적 회로 디바이스(22) 내의 트랜지스터의 게이트 스택 사이의 공간을 채운다(도시되지 않음). 일부 실시 예에 따르면, ILD(24)는 인 실리케이트 유리(Phospho Silicate Glass, PSG), 보로 실리케이트 유리(Boro Silicate Glass, BSG), 붕소 도핑된 포스포 실리케이트 유리(Boron-Doped Phospho Silicate Glass, BPSG), 불소 도핑된 실리케이트 유리(Fluorine-Doped Silicate Glass, FSG), 테트라 에틸 오르소 실리케이트(Tetra Ethyl Ortho Silicate, TEOS), 또는 이와 유사한 것으로 형성된다. ILD(24)는 스핀 코팅(spin coating), FCVD(Flowable Chemical Vapor Deposition), CVD(Chemical Vapor Deposition), PECVD(Plasma Enhanced Chemical Vapor Deposition), LPCVD(Low Pressure Chemical Vapor Deposition) 또는 이와 유사한 것을 사용하여 형성될 수 있다.

[0014] 콘택 플러그(contact plug, 20)가 ILD(24) 내에 형성되고, 집적 회로 디바이스(22)를 위에 놓인(overlying) 금속 라인(34) 및 비아(36)에 전기적으로 연결하는데 사용된다. 본 개시의 일부 실시 예에 따르면, 콘택 플러그(28)는 텅스텐, 알루미늄, 구리, 티타늄, 탄탈륨, 티타늄 질화물, 탄탈륨 질화물, 합금 및/또는 이들의 다중 층으로부터 선택되는 도전성 물질로 형성된다. 콘택 플러그(28)의 형성은 ILD(24)에 콘택 개구부를 형성하는 단계, 콘택 개구부에 도전성 물질(들)을 채우는 단계, 및 콘택 플러그(28)의 상부 표면을 ILD(24)의 상부 표면과 맞추기(level) 위해 (CMP 공정과 같은) 평탄화를 수행하는 단계를 포함할 수 있다.

[0015] ILD(24) 및 콘택 플러그(28) 위에(over) 인터커넥트 구조(30)가 상주한다. 인터커넥트 구조(30)는 유전체 층(32) 및 유전체 층(32)에 형성된 금속 라인(34) 및 비아(36)를 포함한다. 유전체 층(32)은 이후부터 대안적으로 IMD(Inter-Metal Dielectric) 층(32)이라 지칭된다. 본 개시의 일부 실시 예에 따르면, 적어도 유전체 층(32) 중 더 낮은 것은 약 3.0 또는 약 2.5보다 낮은 유전 상수(k 값)를 갖는 로우-k(low-k) 유전체 물질로 형성된다. 유전체 층(32)은 블랙 다이아몬드(Black Diamond)(Applied Materials의 등록 상표), 탄소-함유 로우-k 유전체 물질, HSQ(Hydrogen Silsesquioxane), MSQ(Methylsilsesquioxane) 등으로 형성될 수 있다. 본 개시의 대안적인 실시 예에 따르면, 유전체 층(32)의 일부 또는 전부는 실리콘 산화물, 실리콘 카바이드(silicon carbide, SiC), SiCN(silicon carbo-nitride), SiOCN(silicon oxy-carbo-nitride) 등과 같은 넌 로우-k(non-low-k) 유전체 물질로 형성된다. 본 개시의 일부 실시 예에 따르면, 유전체 층(32)의 형성은 포로젠-함유 유전체 물질을 성막(deposit)한 다음, 경화 공정을 수행하여 포로젠을 제거(drive out)하는 것을 포함하고, 따라서 나머지 유전체

층(32)이 다공성이 된다. 실리콘 카바이드(SiC), 실리콘 질화물 등으로 형성될 수 있는 에칭 정지 층(etch stop layer)(도시하지 않음)은 IMD 층(32) 사이에 형성되며, 간략화를 위해 도시되지 않았다.

[0016] 금속 라인(34) 및 비아(36)는 유전체 층(32)에 형성된다. 동일한 레벨의 금속 라인(34)은 이후부터 집합적으로 금속층으로 지칭된다. 본 개시의 일부 실시 예에 따르면, 인터커넥트 구조(30)는 비아(36)를 통해 상호 연결되는 다수의 금속 층을 포함한다. 금속 라인(34) 및 비아(36)는 구리 또는 구리 합금으로 형성될 수 있으며, 이들은 또한 다른 금속으로 형성될 수 있다. 형성 공정은 단일 다마신(damascene) 및 이중 다마신 공정을 포함할 수 있다. 단일 다마신 공정에서, 먼저 트렌치가 유전체 층(32) 중 하나에 형성되고, 이어서 트렌치가 도전성 물질로 채워진다. 이어서, CMP 공정과 같은 평탄화 공정이 수행되어, 트렌치 내에 금속 라인을 남기고 IMD 층의 상부 표면보다 높은 도전성 물질의 잉여 부분을 제거한다. 이중 다마신 공정에서, 트렌치 및 비아 개구 모두가 IMD 층에 형성되고, 비아 개구는 트렌치 밑에 연결된다. 도전성 물질은 그 후 트렌치 및 비아 개구에 채워져 각각 금속 라인 및 비아를 형성한다. 도전성 물질은 확산 장벽 및 확산 장벽 위의 구리-합유 금속 물질을 포함할 수 있다. 확산 장벽은 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물 등을 포함할 수 있다.

[0017] 금속 라인(34)은 금속 라인(34A)을 포함하는데, 금속 라인(34A)은 때때로 상부 금속 라인(top metal line)으로 지칭된다. 상부 금속 라인(34A)은 상부 금속 층으로 집합적으로 지칭된다. 각 유전체 층(32A)은 USG(Un-doped Silicate Glass), 실리콘 산화물, 실리콘 질화물 등과 같은 넌 로우-k 유전체 물질로 형성될 수 있다. 유전체 층(32A)은 또한 로우-k 유전체 물질로 형성될 수 있고, 이는 하부의 IMD 층(32)의 유사한 물질로부터 선택될 수 있다.

[0018] 본 개시의 일부 실시 예에 따르면, 상부 금속층 위에 유전체 층(38, 40 및 42)이 형성된다. 유전체 층(38 및 42)은 실리콘 산화물, 실리콘 옥시질화물, 실리콘 옥시-카바이드 등으로 형성될 수 있다. 유전체 층(40)은 유전체 층(42)의 유전체 물질과 상이한 유전체 물질로 형성된다. 예를 들어, 유전체 층(42)은 실리콘 질화물, 실리콘 카바이드 등으로 형성될 수 있다.

[0019] 도 2를 참조하면, 비아 개구(44) 및 트렌치(46)가 형성된다. 각각의 공정은 도 28에 도시된 공정 흐름에서 단계(204)로 도시되어 있다. 비아 개구(44) 및 트렌치(46)를 형성하기 위해, 포토 레지스트(도시되지 않음) 및/또는 하드 마스크(도시되지 않음)가 유전체 층(42) 위에 형성되고 패터닝될 수 있어, 비아 개구(44) 및 트렌치(46)의 형성에 도움이 된다. 본 개시의 일부 실시 예에 따르면, 이방성 에칭이 수행되어 트렌치(46)를 형성하고, 에칭은 에칭 정지 층(40)에서 정지한다. 다음으로, 또 다른 이방성 에칭이 수행되어 노출된 에칭 정지 층(40) 및 유전체 층(38)의 아래 놓인 부분을 에칭함으로써 비아 개구(44)를 형성한다. 본 개시의 일부 실시 예에 따라, 에칭 정지 층(40)은 형성되지 않으며, 비아 개구(44) 및 트렌치(46)는 단일 유전체 층에 형성된다. 에칭은 단일 유전체 층의 상부 표면과 하부 표면 사이의 중간 레벨에서 정지하도록 (트렌치(46)를 형성하기 위한) 에칭을 허용하기 위한 시간 모드를 사용하여 수행될 수 있다.

[0020] 도 3은 도전성 물질의 증진을 도시한다. 각각의 공정은 도 28에 도시된 공정 흐름에서 단계(206)로서 도시된다. 먼저 도전성 확산 장벽(48)이 형성된다. 본 개시의 일부 실시 예에 따르면, 확산 장벽(48)은 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물 등으로 형성된다. 확산 장벽(48)은 예를 들어 ALD(Atomic Layer Deposition), PVD(Physical Vapor Deposition) 등을 사용하여 형성될 수 있다. 확산 장벽(48)은 표면 유전체 층(42) 위의 제 1 부분과, 트렌치(46) 및 비아 개구(44)의 바닥 및 측벽 상의 제2 부분을 포함한다.

[0021] 다음으로, 금속 물질(50)이 예를 들어 ECP(Electro-Chemical Plating)을 통해 성막된다. 금속 물질(50)은 트렌치(46) 및 비아 개구(44)의 나머지 부분을 채운다. 금속 물질(50)은 또한 표면 유전체 층(42)의 상부 표면 위에 일부 부분을 더 포함한다. 금속 물질(50)은 구리 또는 구리 합금, 또는 후속 어닐링 공정에서 확산할 수 있는 또 다른 금속 물질을 포함할 수 있어서, 금속-대-금속 직접 본딩이 형성될 수 있다.

[0022] 다음으로, 도 4에 도시된 바와 같이, 유전체 층(42)이 노출될 때까지 CMP 공정과 같은 평탄화 공정이 수행되어, 금속 물질(50) 및 확산 장벽(48)의 잉여 부분을 제거한다. 각각의 공정은 도 28에 도시된 공정 흐름의 단계(208)로서 도시된다. 확산 장벽(48) 및 금속 물질(50)의 나머지 부분은 비아(52) 및 (54A 및 54B)를 포함하는) 금속 패드(54)를 포함한다. 도 4는 본딩을 위한 금속 패드를 도시한다. 금속 라인은 또한 금속 패드(54)로서 동시에 형성될 수 있음을 이해해야 한다. 금속 패드(54)는 디바이스 다이에의 본딩을 위해 사용되는 금속 패드(54A) 및 랜드(land)를 위해 관통-비아를 위해 사용되는 금속 패드(54B)를 포함한다.

[0023] 도 16a는 본 개시의 일부 실시 예에 따른 비아(52) 및 금속 패드(54)의 단면도를 도시한다. 금속 패드(54) 및 비아(52) 각각은 확산 장벽(48)의 부분 및 확산 장벽(48)의 각 부분에 의해 둘러싸인 금속 물질(50)의 일부를

포함한다. 금속 물질(50)은 에지 부분 및 에지 부분 사이의 중간 부분을 포함할 수 있다. 중간 부분의 상부 표면(50A1)은 에지 부분의 상부 표면(50A2)보다 높다. 본 개시의 일부 실시 예에 따라, 금속 물질(50)의 상부 표면(50A)은 만곡된 부분을 포함한다. 중간 부의 상부 표면(50A1)은 만곡되거나 평면일 수 있다. 에지 부분의 상부 표면(50A2)은 연속적으로 만곡될 수 있다(둥글 수 있다). 상부 표면(50A)의 최고점과 최저점 사이의 높이 차이 ΔH 는 약 100Å와 약 500Å 사이의 범위에 있을 수 있고, 약 100Å와 약 200Å 사이의 범위에 있을 수 있다.

[0024] 본 개시의 일부 실시 예에 따르면, 확산 장벽(48)은 상부 에지(48A)를 가지며, 상부 에지(48A)는 CMP 공정에 따라 금속 물질(50)의 상부 표면(50A)의 최고점과 같은 높이이거나 약간 높거나 약간 낮을 수 있다. 에지 표면 부분(50A2)은 리세스(56)가 형성되도록 상부 에지(48A)보다 낮을 수 있다. 일부 실시 예에 따라, 리세스 깊이(D1)는 약 100Å보다 크며, 약 100Å과 약 500Å사이의 범위에 있을 수 있고, 또한 약 100Å과 약 200Å 사이의 범위에 있을 수 있다. 확산 장벽(48)의 상부 에지(48A)는 또한 유전체 층(42)의 상부 표면과 같은 높이이거나 약간 낮을 수 있다. 본드 패드(bond pad)(54)의 평면도에서, 리세스(56)는 본드 패드(54)의 에지 근처의 링을 형성할 수 있다. 리세스(56)에 노출된 확산 장벽(48)의 측벽은 또한 링을 형성할 수 있다.

[0025] 리세스(56)를 달성하기 위해, CMP 공정이 조절된다. 본 개시의 일부 실시 예에 따라, CMP 공정을 위한 슬러리는 옥살산($H_2C_2O_4$) 및 아세트산(CH_3COOH)을 포함한다. 슬러리의 pH 값은 약 4.0 미만으로 조절되고, 옥살산 및 아세트산의 농도를 적당량으로 조절함으로써 달성될 수 있는 약 2.0 내지 약 4.0의 범위에 있을 수 있다. 일부 실시 예에 따라, 슬러리 중의 옥살산의 중량 백분율은 약 0.01% 내지 약 2% 범위이며, 슬러리 중의 아세트산의 중량 백분율은 약 0.1% 및 내지 약 2% 범위에 있다. W_{oxalic}/W_{acetic} 의 비는 약 1:1 내지 약 1:10의 범위 내에 있을 수 있으며, W_{oxalic} 은 슬러리 중의 옥살산의 중량 백분율을 나타내고, W_{acetic} 은 슬러리 중 아세트산의 중량 백분율을 나타낸다. 또한, 슬러리는 Cu-옥살산 킬레이트($Cu-C_2O_4$)와 같은 옥살산 킬레이트(oxalic chelate)를 포함할 수 있다. 옥살산 킬레이트의 중량 백분율은 일부 실시 예에 따라 약 0.01% 내지 약 0.1%의 범위 내에 있을 수 있다. 이러한 공정 조건으로, 도 16a에 도시된 바와 같은 리세스(56)가 형성될 수 있다. 슬러리는 또한 실리콘 산화물 입자, 산화 알루미늄 입자 등과 같은 연마제를 포함할 수 있다. 또한, CMP 동안의 웨이퍼의 온도, 웨이퍼 및 연마 패드의 회전 속도, 슬러리 내의 연마제 등과 같은 공정 조건은 리세스(56)를 형성하도록 조절될 수 있다.

[0026] 본 개시의 대안적인 실시 예에 따라, 도 16b에 도시된 바와 같은 금속 패드(54) 및 비아(52)가 형성된다. 금속 물질(50), 확산 장벽(48), 및 유전체 층(42)의 상부 표면은 평면이거나 또는 (예를 들어, 약 20Å보다 작은 높이 차이로) 실질적으로 평면이다. 본 개시의 일부 실시 예에 따르면, 이러한 프로파일을 얻기 위한 슬러리는 아세트산, 옥살산 및 옥살산 킬레이트를 포함하지 않을 수 있다. 일부 실시 예에 따라 슬러리의 pH 값은 또한 약 7.0 내지 약 10.0의 범위 내에 있다. 슬러리는 또한 실리콘 산화물 입자, 산화 알루미늄 입자 등과 같은 연마제를 포함할 수 있다.

[0027] 디바이스 다이(4)는 또한 일부 실시 예에 따라 유전체 층(38)(도 4)에 형성될 수 있는 알루미늄 또는 알루미늄 구리 패드와 같은 금속 패드를 포함할 수 있다. 알루미늄 패드는 단순화를 위해 도시되지 않았다.

[0028] 본 개시의 일부 실시 예에 따르면, 웨이퍼(2) 내에 폴리머 층과 같은 유기 유전체 물질은 없다. 유기 유전체 층은 일반적으로 높은 열팽창 계수(Coefficient of Thermal Expansion, CTE)를 가지며, 이는 10ppm/°C 이상일 수 있다. 이는 약 3 ppm/°C인 (기관(20)과 같은) 실리콘 기관의 CTE보다 상당히 크다. 따라서, 유기 유전체 층은 웨이퍼(2)의 휨(warp)을 야기하는 경향이 있다. 웨이퍼(2)에 유기 물질을 포함하지 않는 것은 웨이퍼(2) 내의 층간의 CTE 미스매치(mismatch)를 유리하게 감소시키고, 휨의 감소를 초래한다. 또한, 웨이퍼(2) 내에 유기 물질을 포함하지 않으면, (도 10에서 72와 같은) 미세 피치 금속 라인 및 고밀도 본드 패드의 형성이 가능하고, 결과적으로 라우팅 능력이 개선된다.

[0029] 금속 패드(54)와 동시에 동일한 층에 형성된 금속 라인은 도 16a, 도 16b, 도 17a 및 도 17b에 도시된 바와 같이 각각의 금속 패드와 유사한 횡단면 형상을 가질 수 있다. 또한, 앞서 논의된 실시 예에서, 금속 패드(54)는 이중 다마신 공정을 이용하여 형성된다. 본 개시의 대안적인 실시 예에 따르면, 금속 패드(54)는 단일 다마신 공정을 이용하여 형성된다.

[0030] 도 5는 그 안에 디바이스 다이(112)를 포함하는 웨이퍼(100)의 형성을 도시한다. 본 개시의 일부 실시 예에 따르면, 디바이스 다이(112)는 CPU 다이, MCU 다이, IO 다이, 베이스-밴드 다이 또는 AP 다이일 수 있는 로직 다이이다. 디바이스 다이(112)는 또한 메모리 다이일 수 있다. 웨이퍼(100)는 실리콘 기관일 수 있는 반도체 기관(114)을 포함한다. 때로 관통-반도체 비아(through-semiconductor via) 또는 관통-비아(through-via)라고도 불

리는 TSV(Through-Silicon Via)(116)는 반도체 기판을 관통하도록 형성된다. TSV(116)는 반도체 기판(114)의 전면 측(도시된 하부 측) 상에 형성된 디바이스들 및 금속 라인들을 후면으로 연결하는데 사용된다. 또한, 디바이스 다이(112)는 디바이스 다이(112) 내의 능동 디바이스 및 수동 디바이스에 접속하기 위한 인터커넥트 구조(130)를 포함한다. 인터커넥트 구조(130)는 금속 라인 및 비아(도시되지 않음)를 포함한다.

[0031] 디바이스 다이(112)는 유전체 층(138 및 142), 및 유전체 층(138 및 142) 사이에 에칭 정지 층(140)을 포함할 수 있다. 본드 패드(154) 및 비아(152)는 층(138, 140 및 142)에 형성된다. 각각의 공정이 도 28에 도시된 공정 흐름의 단계(210)로서 도시되어 있다. 본 개시의 일부 실시 예에 따르면, 다이(112)와 같은 모든 디바이스 다이는 폴리머와 같은 유기 유전체 물질이 없다. 유전체 층(138 및 142), 본드 패드(154) 및 비아(152)의 물질 및 형성 방법은 디바이스 다이(4)에서의 대응하는 부분과 유사할 수 있으며, 따라서 상세한 설명은 여기에서 반복하지 않는다.

[0032] 도 17a 및 도 17b는 일부 실시 예에 따른 본드 패드(154) 및 비아(152)를 도시한다. 본드 패드(154) 및 비아(152)는 확산 장벽(148) 및 금속 물질(150)을 포함한다. 도 17a의 구조, 물질 및 형성 방법은 도 16a에 도시된 바와 같은 본드 패드(54) 및 비아(52)의 것과 유사할 수 있다. 확산 장벽(148) 및 금속 물질(150) 및 유전체 층(142)의 상부 표면/에지 프로파일은 또한 각각 도 16a의 확산 장벽(48), 금속 물질(50) 및 유전체 층(42)에 대해 도시되고 논의된 것과 유사할 수 있으며, 그러므로 여기서 반복되지 않는다. 리세스(156)가 형성되고, 리세스(156)의 세부 사항은 리세스(56)(도 16a)에 대해 도시되고 논의된 것과 본질적으로 동일할 수 있다. 본드 패드(154)의 바닥에서 볼 때, 리세스(156)는 본드 패드(154)의 에지 근방에 링을 형성할 수 있고, 확산 장벽(148)의 일부 측벽은 또한 리세스(156)에 노출되어 링을 형성할 수 있다. 도 17a에 도시된 구조의 (CMP 공정을 포함하는) 형성 공정은 도 16a를 참조하여 논의된 것과 유사할 수 있다.

[0033] 도 17b의 구조, 물질 및 형성 방법은 도 16b에 도시된 바와 같이 각각 본드 패드(54) 및 비아(52)와 유사하다. 확산 장벽(148) 및 금속 물질(150) 및 유전체 층(142)의 상부 표면/에지 프로파일은 각각 도 16b의 확산 장벽(48), 금속 물질(50) 및 유전체 층(42)에 대해 도시되고 논의된 것과 유사할 수 있으며 따라서 여기서는 반복하지 않는다. 금속 물질(150)에는 리세스가 형성되지 않는다.

[0034] 도 5를 다시 참조하면, 웨이퍼(100)는 복수의 분리된 디바이스 다이(112)로 절단된다(singulated). 도 6은 (112A 및 112B를 포함하는) 디바이스 다이(112)를 디바이스 다이(4)에 본딩하는 것을 도시한다. 각각의 공정은 도 28에 도시된 공정 흐름에서 단계(212)로서 도시되어 있다. 각각의 디바이스 다이(112A 및 112B)는 도 5와 같은 구조를 갖는 것으로 (그리고 논의된 바와 같은 유사한 형성 방법을 사용하여) 형성될 수 있다.

[0035] 디바이스 다이(112A, 112B)는 서로 동일하거나 서로 상이할 수 있다. 예를 들어, 디바이스 다이(112A 및 112B)는 상기 열거된 유형 중에서 선택된 상이한 유형의 다이일 수 있다. 또한, 디바이스 다이(112)는 45nm 기술, 28nm 기술, 20nm 기술 등과 같은 상이한 기술을 사용하여 형성될 수 있다. 또한, 디바이스 다이(112) 중 하나는 디지털 회로 다이일 수 있는 반면, 다른 하나는 아날로그 회로 다이일 수 있다. 다이(4, 112A, 112B)는 조합하여 시스템으로서 기능한다. 시스템의 기능들 및 회로들을 다이(4, 112A, 및 112B)와 같은 상이한 다이들로 분할(split)하는 것은 이러한 다이들의 형성을 최적화할 수 있고, 결과적으로 제조 비용을 감소시킬 수 있다.

[0036] 다이(4, 112A, 112B) 중 적어도 하나는 도 16a 및 도 17a에 도시된 바와 같이 리세스(56/156)를 갖는 본드 패드를 갖는다. 일부 실시 예에 따르면, 다이(4)의 본드 패드(54)는 리세스(56)(도 16a)를 가지며, 디바이스 다이(112A 및 112B) 각각의 본드 패드는 도 17a에 도시된 구조 또는 도 17b에 도시된 구조 중 어느 하나를 가질 수 있다. 본 개시의 대안적인 실시 예에 따르면, 다이(4)의 본드 패드(54)는 (리세스가 없는) 도 16b에 도시된 구조를 가지며, 디바이스 다이(112A 및 112B) 중 하나 또는 둘 모두의 본드 패드(154)는 도 17a에 도시된 바와 같은 리세스를 가진다. 도 18 내지 도 25에서, 도시된 실시 예는 본드 패드(54 및 154) 모두에 리세스를 가지며, 본드 패드(54 및 154) 모두의 어느 한쪽이 또한 리세스가 없을 수 있다는 것을 이해해야 한다.

[0037] 디바이스 다이(112)를 다이(4)에 본딩하는 것(도 6)은 하이브리드 본딩을 통해 달성될 수 있다. 예를 들어, 본드 패드(154)는 금속-대-금속 직접 본딩을 통해 본드 패드(54A)에 본딩된다. 본 개시의 일부 실시 예에 따라, 금속-대-금속 직접 본딩은 구리-대-구리 직접 본딩이다. 본드 패드(154)는 각 본드 패드(54A)의 크기보다 크거나, 동일하거나, 작은 크기를 가질 수 있다. 또한, 유전체 층(142)은 유전체-대-유전체 본딩을 통해 표면 유전체 층(42)에 본딩되며, 이는 예를 들어, Si-O-Si 본드가 생성되는 융합 본딩일 수 있다. 갭(53)은 이웃하는 디바이스 다이(112) 사이에 남겨진다.

[0038] 하이브리드 본딩을 달성하기 위해, 디바이스 다이(112)는 우선 다이(4)에 대해 디바이스 다이(112)를 가볍게 가

압함으로써 유전체 층(42) 및 본드 패드(54A)에 사전 본딩된다(pre-bonded). 모든 디바이스 다이(112)가 사전 본딩된 후, 어닐링이 수행되어 본드 패드(54A) 및 대응하는 위쪽(overlying) 본드 패드(154) 내의 금속의 상호-확산을 야기한다. 어닐링 온도는 약 350°C보다 높을 수 있고, 일부 실시 예에 따라 약 350°C 내지 약 550°C의 범위 내에 있을 수 있다. 어닐링 시간은 약 1.5시간 내지 약 3.0시간 범위 내에 있을 수 있고, 일부 실시 예에 따라 약 1.0시간 내지 약 2.5시간 범위 내에 있을 수 있다. 하이브리드 본딩을 통해, 본드 패드(154)는 금속 상호-확산에 의해 야기되는 직접 금속 본딩을 통해 대응하는 본드 패드(54A)에 본딩된다.

[0039] 도 18은 사전-본딩 이후 및 어닐링 이전의 본드 패드(54 및 154)의 단면도를 도시한다. 일부 실시 예에 따르면, 본드 패드(54, 154)는 동일한 폭을 가지며, 수직으로 정렬된다. 따라서 리세스(56)는 각각의 리세스(156)에 결합된다(joined). 도시된 리세스(56)는 제1 리세스 링의 일부분일 수 있고 도시된 리세스(156)는 제2 리세스 링의 일부분일 수 있으므로, 제1 및 제2 리세스 링은 서로 결합되어, 결합된 리세스 링을 형성할 수 있다. 대안적인 실시 예에 따르면, 본드 패드(54 및 154) 중 하나는 (도 16b 및 도 17b에 도시된 바와 같이) 리세스를 갖지 않으며, 나머지 본드 패드는 리세스를 갖는다.

[0040] 도 19는 어닐링 후의 본드 패드(54, 154)의 단면도를 도시한다. 본드 패드(54 및 154)의 상호-확산으로 인해, 금속 물질(50)은 금속 물질(150)과 결합된다. 리세스(56 및 156)의 형성은 본딩된 구조에서 발생하는 응력을 유리하게 감소시킨다. 예를 들어, 금속 물질(50 및 150)의 열 팽창 계수(CTE)는 유전체 층(42 및 142)의 열팽창 계수(CTE)와 상당히 다르며, 리세스는 (사전-어닐링 및 어닐링과 같은) 열 사이클 동안 금속 물질의 팽창을 위한 약간의 공간을 허용한다. 따라서, 본딩된 구조에 의해 받는 응력이 감소된다.

[0041] 어닐링 후에, 본딩된 구조에 약간의 리세스(56')가 있을 수 있다. 리세스(56')의 형상 및 크기는 금속 물질의 확산으로 인해 리세스(56 및 156)의 형상 및 크기와 상이할 수 있다. 예를 들어, 리세스(56')의 크기는 어닐링 전에 리세스(56 및 156)의 결합된 크기보다 작을 수 있다. 리세스(56')의 높이는 약 50Å보다 클 수 있으며, 약 50Å과 약 500Å 사이의 범위 내에 있을 수 있다. 대안적인 실시 예에 따르면, 어닐링 후에, 리세스들이 사라진다. 확산 장벽(48 및 148)의 형상은 또한 리세스의 감소 및 제거에 적합하도록 변경될 수 있다.

[0042] 도 20은 본드 패드(54)가 본드 패드(154)로부터 수직으로 오정렬된(misaligned) 일부 실시 예에 따른 사전-본딩 후 및 어닐링 전의 본드 패드(54 및 154)의 단면도를 도시한다. 따라서, 리세스(56)는 대응 리세스(156)과 오정렬된다. 도 21은 어닐링 후의 본드 패드(54 및 154)의 단면도를 도시한다. 본드 패드(54 및 154)의 상호-확산으로 인해, 금속 물질(50)은 금속 물질(150)과 결합된다. 단면도에서, 다른 금속 패드의 중간 부분을 향하는 리세스(56 및 156)는 완전히 채워질 수 있거나 감소된 크기로 부분적으로 채워질 수 있다. 대향하는 유전체 층(42 및 142)을 향하는 리세스가 남아 있을 수 있다. 도 19 및 도 21에 도시된 실시 예들은 동일한 패키지 상에 존재할 수 있다는 것을 이해해야 한다. 예를 들어, 회전 오정렬이 발생할 때, 일부 본드 패드는 정렬되어 결과적으로 도 19에 도시된 구조를 갖고, 동일한 패키지 내의 일부 다른 본드 패드는 서로 오정렬되어 결과적으로 도 21에 도시된 구조가 된다.

[0043] 도 22 및 도 23은 어닐링 전후의 본드 패드를 각각 도시하고, 본드 패드(54 및 154)는 정렬되어 있다. 본드 패드(54)는 본드 패드(154)와 상이한 (더 크거나 더 작은) 크기를 가진다. 예를 들어, 도시된 예에서, 본드 패드(154)는 본드 패드(54)보다 크다. 결과적으로, 도 23에 도시된 바와 같이, 본딩 후에, 리세스(56)(도 22)의 크기는 감소되거나 완전히 채워지지만, 리세스(156)는 완전히 채워지지 않는다.

[0044] 도 24 및 도 25는 각각 어닐링 전후의 본드 패드를 도시하며, 본드 패드(54 및 154)는 오정렬된다. 본드 패드(54)는 본드 패드(154)와 상이한 (더 크거나 더 작은) 크기를 가진다. 예를 들어, 도시된 예에서, 본드 패드(154)는 본드 패드(54)보다 크다. 도 25에 도시된 바와 같이, 본딩 이후에, 리세스(56 및 156)(도 24) 둘다 일부 부분이 채워지고 일부 다른 부분은 채워지지 않는다.

[0045] 도 6을 다시 참조하면, 일부 실시 예에 따르면, 본딩 공정 이후에, 예를 들어 약 15 μ m 내지 약 30 μ m의 두께로 얇은 디바이스 다이(112)에 대해 후면 연삭(backside grinding)이 수행될 수 있다. 도 6은 후면 연삭 전의 디바이스 다이(112)의 뒷면인 점선(112-BS1)을 개략적으로 도시한다. 112-BS2는 후면 연삭 후의 디바이스 다이(112)의 뒷면이다. 디바이스 다이(112)의 썬닝(thinning)을 통해, 갭 충진을 수행하기 위해 갭(53)의 중형비가 감소된다. 그렇지 않으면, 갭 충진은 갭(53)의 높은 중형비로 인해 어려울 수 있다. 후면 연삭 후, TSV(116)가 드러날 수 있다. 대안적으로, TSV(116)는 이 때 드러나지 않고, TSV(116)를 덮는 기관의 얇은 층이 있을 때 후면 연삭이 정지된다. 이들 실시 예에 따르면, TSV(116)는 도 8에 도시된 단계에서 드러날 수 있다. 갭(53)의 중형비가 너무 높지 않은 다른 실시 예에서는, 후면 연삭이 스킵된다.

- [0046] 도 7은 유전체 층(62) 및 하부 에칭 정지 층(60)을 포함하는 껍-충진 층의 형성을 도시한다. 각각의 공정은 도 28에 도시된 공정 흐름에서 단계(214)로 도시된다. 에칭 정지 층(60)이 디바이스 다이(112)의 측벽 및 유전체 층(42) 및 본드 패드(54B)의 상부 표면에 양호한 접착성을 갖는 유전체 물질로 형성된다. 본 개시의 일부 실시 예에 따르면, 에칭 정지 층(60)은 실리콘 질화물과 같은 질화물 함유 물질로 형성된다. 에칭 정지 층(60)은, 예를 들면, 수평 부분의 두께 T1A와 수직 부분의 두께 T1B가 실질적으로 서로 동일하고 그 차이(T1A-T1B)가 두 두께 T1A 및 T1B의 약 20%보다 작거나 약 10%보다 작은 절대 값을 가지는, 등각 층(conformal layer)일 수 있다. 성막은 ALD(Atomic Layer Deposition) 또는 CVD(Chemical Vapor Deposition)과 같은 등각 성막 방법을 포함할 수 있다. 본드 패드(54B)가 리세스(56)(도 16a)를 가질 때, 에칭 정지 층(60)은 또한 리세스 내로 연장된다.
- [0047] 유전체 층(62)은 에칭 정지 층(60)의 물질과 상이한 물질로 형성된다. 본 개시의 일부 실시 예에 따르면, 유전체 층(62)은 TEOS로 형성될 수 있는 실리콘 산화물로 형성되는 반면, 실리콘 카바이드, 실리콘 옥시질화물, 실리콘 옥시-카보-질화물, PSG, BSG, BPSG 등과 같은 다른 유전체 물질도 사용될 수 있다. 유전체 층(62)은 CVD, HDPCVD(High-Density Plasma Chemical Vapor Deposition), 유동성(Flowable) CVD, 스핀-온 코팅(spun-on coating) 등을 사용하여 형성될 수 있다. 유전체 층(62)은 나머지 껍(53)을 완전히 채운다(도 6).
- [0048] 도 8을 참조하면, CMP 공정 또는 기계적 연삭 공정과 같은 평탄화 공정이 수행되어 껍-충진 층(60 및 62)의 잉여 부분을 제거함으로써 디바이스 다이(112)가 노출된다. 각각의 공정은 또한 도 28에 도시된 공정 흐름에서 단계(214)로서 도시된다. 또한, 관통-비아(116)가 노출된다. 층(60 및 62)의 나머지 부분은 집합적으로 (껍-충진) 격리 영역(64)으로서 지칭된다.
- [0049] 도 9는 개구부(66)를 형성하기 위한 유전체 층(62)의 에칭을 도시한다. 각각의 공정은 도 28에 도시된 공정 흐름에서 단계(216)로서 도시된다. 본 개시의 일부 실시 예에 따르면, 포토 레지스트(도시되지 않음)가 형성되고 패터닝되고, 패터닝된 포토 레지스트를 에칭 마스크로 사용하여 유전체 층(62)이 에칭된다. 따라서, 개구(66)가 형성되고, 에칭 정지 층으로서 작용하는 에칭 정지 층(60)까지 아래로 연장된다. 본 개시의 일부 실시 예에 따르면, 유전체 층(62)은 산화물을 포함하고, 에칭은 건식 에칭을 통해 수행될 수 있다. 에칭 가스는 NF_3 와 NH_3 의 혼합물, 또는 HF 와 NH_3 의 혼합물을 포함할 수 있다. 다음으로, 에칭 정지 층(60)이 에칭되어, 개구(66)가 유전체 본드 패드(54B)까지 아래로 연장된다. 본 개시의 일부 실시 예에 따르면, 에칭 정지 층(60)은 실리콘 질화물로 형성되고, 에칭은 건식 에칭을 사용하여 수행된다. 에칭 가스는 CF_4 , O_2 및 N_2 의 혼합물, NF_3 및 O_2 의 혼합물, SF_6 , 또는 SF_6 및 O_2 의 혼합물을 포함할 수 있다.
- [0050] 도 10은 개구(66)(도 9)를 채우고 본드 패드(54B)에 연결된 관통-비아(70)의 형성을 도시한다. 각각의 공정은 도 28에 도시된 공정 흐름에서 단계(218)로서 도시된다. 본 개시의 일부 실시 예에 따르면, 관통-비아(70)의 형성은 전기 화학적 도금 공정 또는 무전해(electro-less) 도금 공정과 같은 도금 공정을 수행하는 단계를 포함한다. 관통-비아(70)는 텅스텐, 알루미늄, 구리 등과 같은 금속 물질을 포함할 수 있다. (티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물 등과 같은) 도전성 장벽 층이 또한 금속 물질 아래에 형성될 수 있다. CMP와 같은 평탄화는 도금된 금속 물질의 잉여 부분을 제거하기 위해 수행되고, 금속 물질의 나머지 부분은 관통-비아(70)를 형성한다. 관통-비아(70)는 실질적으로 직선형 및 수직 측벽을 가질 수 있다. 또한, 관통-비아(70)는 테이퍼링된 프로파일을 가질 수 있으며, 상부 폭은 각각의 하부 폭보다 약간 더 크다.
- [0051] 대안적인 실시 예에 따르면, TSV(116)는 디바이스 다이(112)에서 미리 형성되지 않는다. 오히려 이들은 격리 영역(64)의 형성 후에 형성된다. 예를 들어, 개구(66)(도 8)의 형성 이전 또는 이후에, 디바이스 다이(112)가 에칭되어 (도시된 TSV(116)에 의해 점유되는) 추가의 개구를 형성한다. 디바이스 다이(112) 및 개구(66)에서의 추가 개구는 동시에 충전되어 관통 TSV(116) 및 관통-비아(70)를 형성할 수 있다. 결과의 관통-비아(116)는 도 10에 도시된 것과 반대로, 각각의 하부 부분들보다 더 넓은 상부 부분들을 가질 수 있다 .
- [0052] 도 11을 참조하면, 재분배 라인(redistribution line, RDL)(72) 및 유전체 층(74)이 형성된다. 각각의 공정은 도 28에 도시된 공정 흐름에서 단계(220)로서 도시된다. 본 개시의 일부 실시 예에 따르면, 유전체 층(74)은 실리콘 산화물과 같은 산화물, 실리콘 질화물과 같은 질화물 등으로 형성된다. RDL(72)은 개구를 형성하기 위해 유전체 층(74)을 에칭하는 단계, 개구로 도전성 장벽 층을 성막하는 단계, 구리 또는 구리 합금과 같은 금속 물질을 도금하는 단계, 및 금속 물질의 잉여 부분을 제거하기 위해 평탄화를 수행하는 단계를 포함하는 다마신 공정을 사용하여 형성될 수 있다.
- [0053] 도 12는 패시베이션 층, 금속 패드 및 위에 놓인 유전체 층의 형성을 도시한다. 각각의 공정은 도 28에 도시된 공정 흐름에서 단계(220)로서 도시된다. 패시베이션 층(76)(때로는 패시베이션-1로 지칭됨)은 유전체 층(74) 상

부에 형성되고, 비아(78)는 패시베이션 층(76) 내에 형성되어, RDL(72)에 전기적으로 접속된다. 금속 패드(80)는 패시베이션 층(76) 상부에 형성되고 비아(78)를 통해 RDL(72)에 전기적으로 결합된다. 금속 패드(80)는 알루미늄 패드 또는 알루미늄-구리 패드일 수 있고, 다른 금속 물질이 사용될 수 있다.

[0054] 또한, 도 12에 도시된 바와 같이, 패시베이션 층(82)(때로는 패시베이션-2로 지칭됨)이 패시베이션 층(76) 상부에 형성된다. 각각의 패시베이션 층(76 및 82)은 단일 층 또는 복합 층일 수 있고, 비-다공성 물질로 형성될 수 있다. 본 개시의 일부 실시 예에 따라, 패시베이션 층(76 및 82) 중 하나 또는 둘 모두는 실리콘 산화물 층(별도로 도시되지 않음) 및 실리콘 산화물 층 상부의 실리콘 질화물 층(별도로 도시되지 않음)을 포함하는 복합 층이다. 패시베이션 층(76, 82)은 또한 USG(Un-doped Silicate Glass), 실리콘 옥시나이트라이드, 및/또는 이와 유사한 것과 같은 다른 비-다공성 유전체 물질로 형성될 수 있다.

[0055] 다음에, 패시베이션 층(82)의 일부분이 금속 패드(80)의 에지 부분을 덮도록 패시베이션 층(82)이 패터닝되고, 금속 패드(80)의 일부분이 패시베이션 층(82)의 개구를 통해 노출된다. 이어서 폴리머 층(84)이 형성된 후, 패터닝되어 금속 패드(80)를 노출시킨다. 폴리머 층(84)은 폴리이미드, PBO(polybenzoxazole) 등으로 형성될 수 있다.

[0056] 본 개시의 일부 실시 예에 따르면, 금속 패드(80) 아래의 구조는 (폴리머 층과 같은) 유기 물질이 없으므로, 금속 패드(80) 아래의 구조를 형성하는 공정은 디바이스 다이를 형성하는데 사용되는 공정을 채용할 수 있고, 작은 피치 및 라인 폭을 갖는 미세 피치 RDL(예컨대, 72)이 가능해진다.

[0057] 도 13을 참조하면, PPI(Post-Passivation Interconnect)(86)가 형성되고, 이는 금속 시드 층 및 금속 시드 층 상부에 패터닝된 마스크 층(도시되지 않음)을 형성하는 단계와, 패터닝된 마스크 층에서 PPI(86)를 도금하는 단계를 포함할 수 있다. 그 후, 패터닝된 마스크 층 및 패터닝된 마스크 층에 의해 중첩된 금속 시드 층의 부분에는 에칭 공정에서 제거된다. 이어서, PBO, 폴리이미드 등으로 형성될 수 있는 폴리머 층(88)이 형성된다.

[0058] 도 14를 참조하면, UBM(Under-Bump Metallurgies)(90)이 형성되고 UBM(90)은 PPI(86)에 연결하기 위해 폴리머 층(88) 내로 연장된다. 각각의 공정은 또한 도 28에 도시된 공정 흐름에서 단계(220)로 도시된다. 본 개시의 일부 실시 예에 따르면, 각각의 UBM(90)은 장벽 층(도시되지 않음) 및 장벽 층 상부의 시드 층(도시되지 않음)을 포함한다. 장벽 층은 티타늄 층, 티타늄 질화물 층, 탄탈륨 층, 탄탈륨 질화물 층, 또는 티타늄 합금 또는 탄탈륨 합금으로 형성될 수 있다. 시드 층의 물질은 구리 또는 구리 합금을 포함할 수 있다. 은, 금, 알루미늄, 팔라듐, 니켈, 니켈 합금, 텅스텐 합금, 크롬, 크롬 합금 및 이들의 조합과 같은 다른 금속도 또한 UBM(90)에 포함될 수 있다.

[0059] 또한 도 14에 도시된 바와 같이, 전기 커넥터(92)가 형성된다. 각각의 공정은 또한 도 28에 도시된 공정 흐름에서 단계(220)로 도시된다. UBM(90) 및 전기 커넥터(92)를 형성하기 위한 형성 공정은 블랭킷(blanket) UBM 층을 성막하는 단계, (도시되지 않은 포토 레지스트일 수 있는) 마스크를 형성하고 패터닝하는 단계를 포함하고, 블랭킷 UBM 층의 일부는 마스크의 개구를 통해 노출된다. UBM(90)의 형성 후에, 도시된 패키지는 도금 용액(도시되지 않음) 내로 배치되고 도금 단계가 수행되어 UBM(90) 상에 전기 커넥터(92)를 형성한다. 본 개시의 일부 실시 예에 따르면, 전기 커넥터(92)는 후속 리플로우 공정에서 용융되지 않는 비-뿔납 부품(도시되지 않음)을 포함한다. 비-뿔납 부분은 구리로 형성될 수 있고, 따라서 이하 구리 범프로 언급되지만, 이들은 다른 비-뿔납 물질로 형성될 수 있다. 전기 커넥터(92) 각각은 또한 니켈 층, 니켈 합금, 팔라듐 층, 금층, 은층 또는 이들의 다중 층으로부터 선택된 캡 층(들)(도시되지 않음)을 포함할 수 있다. 캡 층(들)은 구리 범프 상부에 형성된다. 전기 커넥터(92)는 Sn-Ag 합금, Sn-Cu 합금, Sn-Ag-Cu 합금 등으로 형성될 수 있는 뿔납 캡을 더 포함할 수 있으며, 무연 또는 납 함유일 수 있다. 이전 단계들에서 형성된 구조는 복합 웨이퍼(94)로서 지칭된다. 복합 웨이퍼(94) 상에 다이-쏘우(die-saw)(절단) 단계가 수행되어, 복합 웨이퍼(94)를 복수의 패키지(96)로 분리한다. 각각의 공정은 도 28에 도시된 공정 흐름에서 단계(222)로 도시된다.

[0060] 도 14에 도시된 패키지는 페이스-투-페이스(face-to-face) 구조를 가지며, 여기서 디바이스 다이(112)는 디바이스 다이(4)의 전면을 향하는 전면을 가진다. 도 15는 페이스-투-백(face-to-back) 구조를 도시하며, 여기서 디바이스 다이(112)는 디바이스 다이(4)의 후면을 향하는 전면을 가진다. 디바이스 다이(4)는 기관(20) 및 유전체 층(17)을 통해 연장되는 TSV(16)를 포함한다. 도 15의 점선 영역(19)은 뿔납 영역과 같은 가능한 전기 커넥터를 나타낸다. 본 개시의 일부 실시 예에 따르면, CMP가 TSV(16) 및 유전체 층(17) 상에서 수행된다. CMP 공정의 세부 사항은 도 16a를 참조하여 논의된 것과 유사할 수 있으며, 따라서 도 25에 도시된 바와 같이 리세스(156)가 형성된다.

- [0061] 도 26 및 도 27은 TSV(16)와 본드 패드(154)의 본딩을 도시하고, 도 26은 어닐링 전의 구조를 도시하고, 도 27은 어닐링 후의 구조를 도시한다. 도 26의 층(49)은 실리콘 산화물, 실리콘 질화물 등으로 형성될 수 있는 유전체 절연 층(dielectric isolation layer)일 수 있다. 리세스(56)는 TSV(16)에 형성될 수 있으며, 리세스는 어닐링 후에 감소되거나 완전히 제거된다. 리세스(156)는 어닐링 후에도 여전히 존재할 수 있다.
- [0062] 본 개시의 실시 예는 몇 가지 유리한 특징을 갖는다. 본드 패드에 리세스를 형성함으로써, 특히 열 사이클에서 본딩된 구조의 응력이 감소된다. 따라서, 본딩 구조의 신뢰성이 향상된다.
- [0063] 본 개시의 일부 실시 예에 따라, 방법은 제1 디바이스 다이를 형성하는 단계; 제2 디바이스 다이를 형성하는 단계; 상기 제1 디바이스 다이를 상기 제2 디바이스 다이에 본딩하는 단계를 포함하고, 상기 제1 디바이스 다이 형성 단계는, 제1 유전체 층을 성막하는 단계; 상기 제1 유전체 층 내에 제1 금속 패드 - 상기 제1 금속 패드는 상기 제1 금속 패드의 에지 부분에 인접한 제1 리세스를 포함함 - 를 형성하는 단계를 포함하고, 상기 제2 디바이스 다이는, 제2 유전체 층; 및 상기 제2 유전체 층 내의 제2 금속 패드를 포함하고, 상기 제1 유전체 층은 상기 제2 유전체 층에 본딩되고, 상기 제1 금속 패드는 상기 제2 금속 패드에 본딩된다. 일 실시 예에서, 상기 제1 금속 패드는, 확산 장벽; 및 상기 확산 장벽의 대향 부분들 사이에 구리 함유 물질을 포함하고, 상기 구리 함유 물질의 에지 부분은 상기 확산 장벽 층의 상부 에지보다 낮게 리세스되어 상기 제1 리세스를 형성한다. 일 실시 예에서, 상기 본딩 단계는, 사전-어닐링을 수행하는 단계; 및 어닐링을 수행하는 단계를 포함하고, 상기 어닐링 동안, 상기 제1 리세스가 감소된다. 일 실시 예에서, 상기 제1 금속 패드를 형성하는 단계는 평탄화를 수행하는 단계를 포함하며, 상기 제1 리세스는 상기 평탄화에 의해 생성된다. 일 실시 예에서, 상기 평탄화는 약 4.0 미만의 pH 값을 갖는 슬러리를 사용하여 수행되는 CMP(Chemical Mechanical Polish)를 포함한다. 일 실시 예에서, 상기 CMP는 아세트산 및 구리 킬레이트를 포함하는 슬러리를 사용하여 수행된다. 일 실시 예에서, 상기 제2 금속 패드는 상기 제2 금속 패드의 에지에 인접한 제2 리세스를 포함하고, 상기 제1 리세스는 상기 본딩이 시작되는 시간에 상기 제2 리세스에 결합(join)된다. 일 실시 예에서, 상기 제2 금속 패드는 상기 제2 금속 패드의 에지에 인접한 제2 리세스를 포함하고, 상기 제1 리세스는 상기 본딩이 시작되는 시간에 상기 제2 리세스로부터 분리되고, 상기 본딩 후에 제1 리세스는 유지되고 제2 리세스는 사라진다.
- [0064] 본 개시의 일부 실시 예에 따라, 방법은 웨이퍼의 상부 표면 상에 유전체 층을 형성하는 단계; 상기 유전체 층을 에칭하여 상기 유전체 층에 트렌치를 형성하는 단계; 및 상기 트렌치 내에 제1 금속 패드를 형성하는 단계를 포함하고, 상기 제1 금속 패드는, 상기 유전체 층과 접촉하는 확산 장벽; 및 상기 확산 장벽의 대향 부분들 사이의 금속 물질을 포함하고, 상기 제1 금속 패드의 단면도에서, 상기 금속 물질의 상부 표면은 중간 부분 및 상기 중간 부분보다 낮은 에지 부분을 포함하고, 상기 에지 부분은 리세스를 형성하도록 상기 확산 장벽의 가장 가까운 부분의 상부 에지보다 낮다. 일 실시 예에서, 상기 방법은, 제2 금속 패드를 상기 제1 금속 패드에 본딩하는 단계를 더 포함하고, 상기 리세스는 크기가 적어도 감소된다. 일 실시 예에서, 상기 방법은, 상기 리세스 내로 연장하는 유전체 에칭 정지 층을 형성하는 단계; 및 상기 유전체 에칭 정지 층을 관통하여 상기 제1 금속 패드에 연결되는 관통-비아를 형성하는 단계를 더 포함한다. 일 실시 예에서, 상기 제1 금속 패드를 형성하는 단계는 CMP를 포함하고, 상기 리세스는 상기 CMP 동안 형성된다. 일 실시 예에서, 상기 CMP는 슬러리를 사용하여 수행되고, 상기 슬러리는 약 2.0 내지 약 4.0 범위의 pH 값을 갖는다. 일 실시 예에서, 상기 금속 물질의 상부 표면은 만족된다.
- [0065] 본 개시의 일부 실시 예에 따라, 디바이스는 제1 디바이스 다이; 및 제2 디바이스 다이를 포함하고, 상기 제1 디바이스 다이는, 제1 유전체 층; 및 제1 금속 패드를 포함하고, 상기 제1 금속 패드는, 상기 제1 유전체 층에 접촉하는 확산 장벽; 및 상기 확산 장벽의 대향 부분들 사이에 금속 물질을 포함하고, 상기 제1 금속 패드의 단면도에서, 상기 금속 물질의 에지 부분은 상기 확산 장벽의 가장 가까운 부분의 상부 에지보다 리세스되어 에어 갭을 형성하고, 상기 제2 디바이스 다이는, 융합 본딩을 통해 상기 제1 유전체 층에 본딩된 제2 유전체 층; 및 금속-대-금속 직접 본딩을 통해 상기 제1 금속 패드에 본딩되는 제2 금속 패드를 포함한다. 일 실시 예에서, 상기 에어 갭은 상기 제2 금속 패드 내로 더 연장된다. 일 실시 예에서, 상기 에어 갭은 상기 확산 장벽의 측벽, 상기 금속 물질의 표면 및 상기 제2 금속 패드의 표면 사이에 형성된다. 일 실시 예에서, 상기 에어 갭은 상기 확산 장벽의 측벽, 상기 금속 물질의 표면 및 상기 제2 유전체 층의 표면 사이에 형성된다. 일 실시 예에서, 상기 에어 갭에 대면하는 상기 금속 물질의 표면은 둥글다(rounded). 일 실시 예에서, 상기 제1 디바이스 다이는 추가 리세스를 포함하는 제3 금속 패드를 더 포함하고, 상기 디바이스는, 상기 추가 리세스 내로 연장되는 유전체 에칭 정지 층; 상기 유전체 에칭 정지 층 상부에서 상기 유전체 에칭 정지 층과 접촉하는 유전체 층; 및 상기 유전체 에칭 정지 층 및 상기 유전체 층을 관통하여 상기 제3 금속 패드에 접속되는 관통-비아를 포함한다.
- [0066] 전술된 내용은 당업자가 본 개시의 양태를 더 잘 이해할 수 있도록 몇몇 실시 예의 특징을 개략적으로

설명한다. 당업자는 본 명세서에서 소개된 실시 예들의 동일한 목적을 수행하고 및/또는 동일한 장점을 달성하기 위한 다른 공정 및 구조를 설계 또는 수정하기 위한 기초로서 본 개시를 용이하게 사용할 수 있음을 이해해야 한다. 또한, 당업자는 그러한 균등 구성이 본 개시의 사상 및 범위를 벗어나지 않는다는 것과, 본 개시의 사상 및 범위를 벗어나지 않고 다양한 변경, 대체 및 변형을 행할 수 있음을 알아야 한다.

- [0067] <부기>
- [0068] 1. 방법에 있어서,
- [0069] 제1 디바이스 다이를 형성하는 단계;
- [0070] 제2 디바이스 다이를 형성하는 단계; 및
- [0071] 상기 제1 디바이스 다이를 상기 제2 디바이스 다이에 본딩하는 단계를 포함하고,
- [0072] 상기 제1 디바이스 다이를 형성하는 단계는,
- [0073] 제1 유전체 층을 성막하는 단계; 및
- [0074] 상기 제1 유전체 층 내에 제1 금속 패드 - 상기 제1 금속 패드는 상기 제1 금속 패드의 에지 부분에 인접한 제1 리세스를 포함함 - 를 형성하는 단계를 포함하고,
- [0075] 상기 제2 디바이스 다이는,
- [0076] 제2 유전체 층; 및
- [0077] 상기 제2 유전체 층 내의 제2 금속 패드를 포함하고,
- [0078] 상기 제1 유전체 층은 상기 제2 유전체 층에 본딩되고, 상기 제1 금속 패드는 상기 제2 금속 패드에 본딩되는 것인 방법.
- [0079] 2. 제1항에 있어서, 상기 제1 금속 패드는,
- [0080] 확산 장벽; 및
- [0081] 상기 확산 장벽의 대향 부분들 사이의 구리 함유 물질을 포함하고,
- [0082] 상기 구리 함유 물질의 에지 부분은 상기 확산 장벽의 상부 에지보다 낮게 리세스되어 상기 제1 리세스를 형성하는 것인 방법.
- [0083] 3. 제1항에 있어서, 상기 본딩하는 단계는,
- [0084] 사전-어닐링을 수행하는 단계; 및
- [0085] 어닐링을 수행하는 단계를 포함하고,
- [0086] 상기 어닐링 동안, 상기 제1 리세스가 감소되는 것인 방법.
- [0087] 4. 제1항에 있어서, 상기 제1 금속 패드를 형성하는 단계는 평탄화를 수행하는 단계를 포함하며, 상기 제1 리세스는 상기 평탄화에 의해 생성되는 것인 방법.
- [0088] 5. 제4항에 있어서, 상기 평탄화는 약 4.0 미만의 pH 값을 갖는 슬러리를 사용하여 수행되는 CMP(Chemical Mechanical Polish)를 포함하는 것인 방법.
- [0089] 6. 제4항에 있어서, 상기 평탄화는 아세트산 및 구리 킬레이트를 포함하는 슬러리를 사용하여 수행되는 CMP를 포함하는 것인 방법.
- [0090] 7. 제1항에 있어서, 상기 제2 금속 패드는 상기 제2 금속 패드의 에지에 인접한 제2 리세스를 포함하고, 상기 제1 리세스는 상기 본딩하는 단계가 시작되는 시간에 상기 제2 리세스에 결합(join)되는 것인 방법.
- [0091] 8. 제1항에 있어서, 상기 제2 금속 패드는 상기 제2 금속 패드의 에지에 인접한 제2 리세스를 포함하고, 상기 제1 리세스는 상기 본딩하는 단계가 시작되는 시간에 상기 제2 리세스로부터 분리되고, 상기 본딩하는 단계 후에, 상기 제1 리세스는 유지되고 상기 제2 리세스는 사라지는 것인 방법.
- [0092] 9. 방법에 있어서,

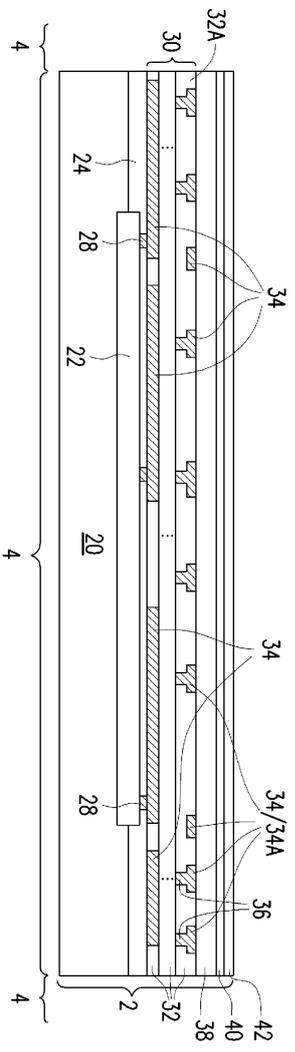
- [0093] 웨이퍼의 상부 표면 상에 유전체 층을 형성하는 단계;
- [0094] 상기 유전체 층을 에칭하여 상기 유전체 층에 트렌치를 형성하는 단계; 및
- [0095] 상기 트렌치 내에 제1 금속 패드를 형성하는 단계를 포함하고,
- [0096] 상기 제1 금속 패드는,
- [0097] 상기 유전체 층과 접촉하는 확산 장벽; 및
- [0098] 상기 확산 장벽의 대향 부분들 사이의 금속 물질을 포함하고,
- [0099] 상기 제1 금속 패드의 단면도에서, 상기 금속 물질의 상부 표면은 중간 부분, 및 상기 중간 부분보다 낮은 에지 부분들을 포함하고, 상기 에지 부분들은 리세스를 형성하도록 상기 확산 장벽의 가장 가까운 부분의 상부 에지보다 낮은 것인 방법.
- [0100] 10. 제9항에 있어서, 제2 금속 패드를 상기 제1 금속 패드에 본딩하는 단계를 더 포함하고, 상기 리세스는, 상기 제2 금속 패드를 상기 제1 금속 패드에 본딩한 후에 크기가 적어도 감소되는 것인 방법.
- [0101] 11. 제9항에 있어서,
- [0102] 상기 리세스 내로 연장하는 유전체 에칭 정지 층(dielectric etch stop layer)을 형성하는 단계; 및
- [0103] 상기 유전체 에칭 정지 층을 관통하여 상기 제1 금속 패드에 연결되는 관통-비아를 형성하는 단계를 더 포함하는 방법.
- [0104] 12. 제9항에 있어서, 상기 제1 금속 패드를 형성하는 단계는 CMP(Chemical Mechanical Polish)를 포함하고, 상기 리세스는 상기 CMP 동안 형성되는 것인 방법.
- [0105] 13. 제12항에 있어서, 상기 CMP는 슬러리를 사용하여 수행되고, 상기 슬러리는 약 2.0 내지 약 4.0 범위의 pH 값을 갖는 것인 방법.
- [0106] 14. 제9항에 있어서, 상기 금속 물질의 상부 표면은 만곡되는 것인 방법.
- [0107] 15. 디바이스에 있어서,
- [0108] 제1 디바이스 다이; 및
- [0109] 제2 디바이스 다이를 포함하고,
- [0110] 상기 제1 디바이스 다이는,
- [0111] 제1 유전체 층; 및
- [0112] 제1 금속 패드를 포함하고,
- [0113] 상기 제1 금속 패드는,
- [0114] 상기 제1 유전체 층에 접촉하는 확산 장벽; 및
- [0115] 상기 확산 장벽의 대향 부분들 사이의 금속 물질을 포함하고,
- [0116] 상기 제1 금속 패드의 단면도에서, 상기 금속 물질의 에지 부분은 상기 확산 장벽의 가장 가까운 부분의 상부 에지로부터 리세스되어 에어 갭을 형성하고,
- [0117] 상기 제2 디바이스 다이는,
- [0118] 상기 제1 유전체 층에 본딩된 제2 유전체 층; 및
- [0119] 금속-대-금속 직접 본딩을 통해 상기 제1 금속 패드에 본딩된 제2 금속 패드를 포함하는 것인 디바이스.
- [0120] 16. 제15항에 있어서, 상기 에어 갭은 상기 제2 금속 패드 내로 더 연장되는 것인 디바이스.
- [0121] 17. 제15항에 있어서, 상기 에어 갭은 상기 확산 장벽의 측벽, 상기 금속 물질의 표면 및 상기 제2 금속 패드의 표면 사이에 형성되는 것인 디바이스.
- [0122] 18. 제15항에 있어서, 상기 에어 갭은 상기 확산 장벽의 측벽, 상기 금속 물질의 표면 및 상기 제2 유전체 층의

표면 사이에 형성되는 것인 디바이스.

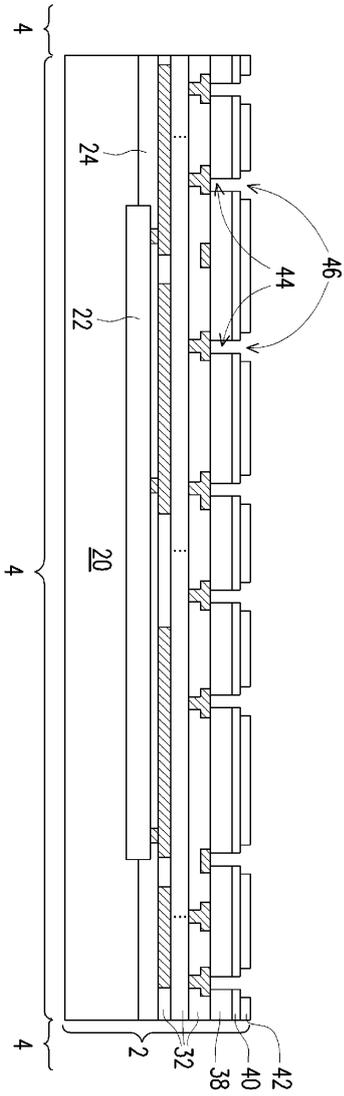
- [0123] 19. 제15항에 있어서, 상기 에어 갭에 대면하는 상기 금속 물질의 표면은 등근 것인 디바이스.
- [0124] 20. 제15항에 있어서, 상기 제1 디바이스 다이는 추가 리세스를 포함하는 제3 금속 패드를 더 포함하고,
- [0125] 상기 디바이스는,
- [0126] 상기 추가 리세스 내로 연장되는 유전체 에칭 정지 층;
- [0127] 상기 유전체 에칭 정지 층 위에서 상기 유전체 에칭 정지 층과 접촉하는 유전체 층; 및
- [0128] 상기 유전체 에칭 정지 층 및 상기 유전체 층을 관통하여 상기 제3 금속 패드에 연결되는 관통-비아를 포함하는 것인 디바이스.

도면

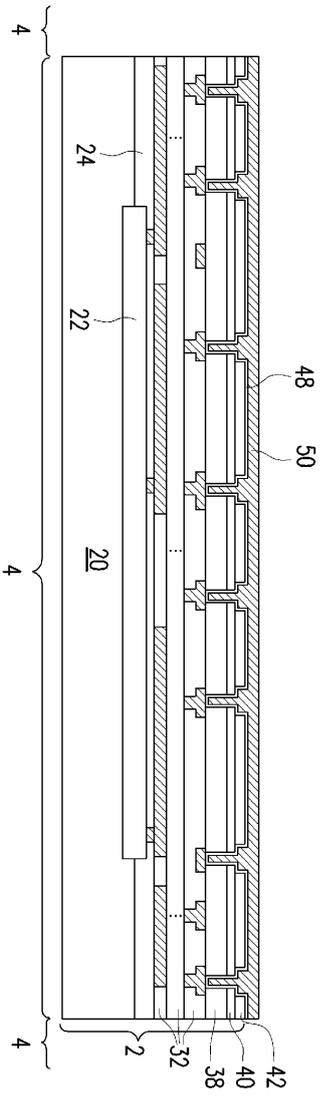
도면1



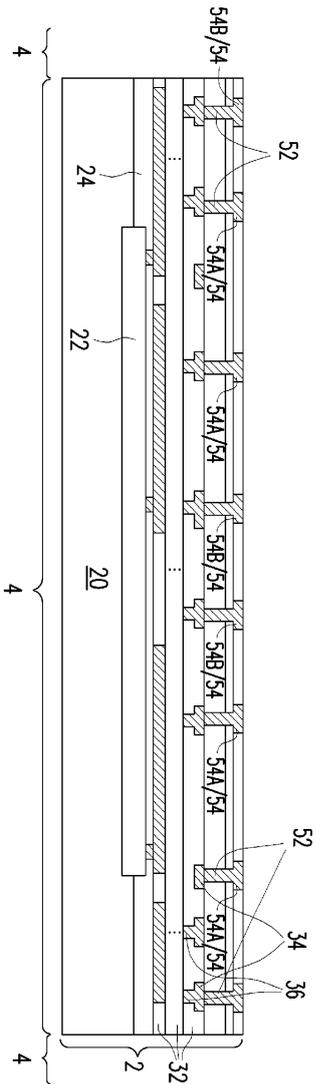
도면2



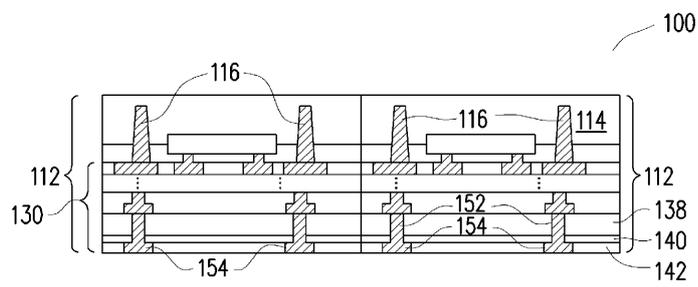
도면3



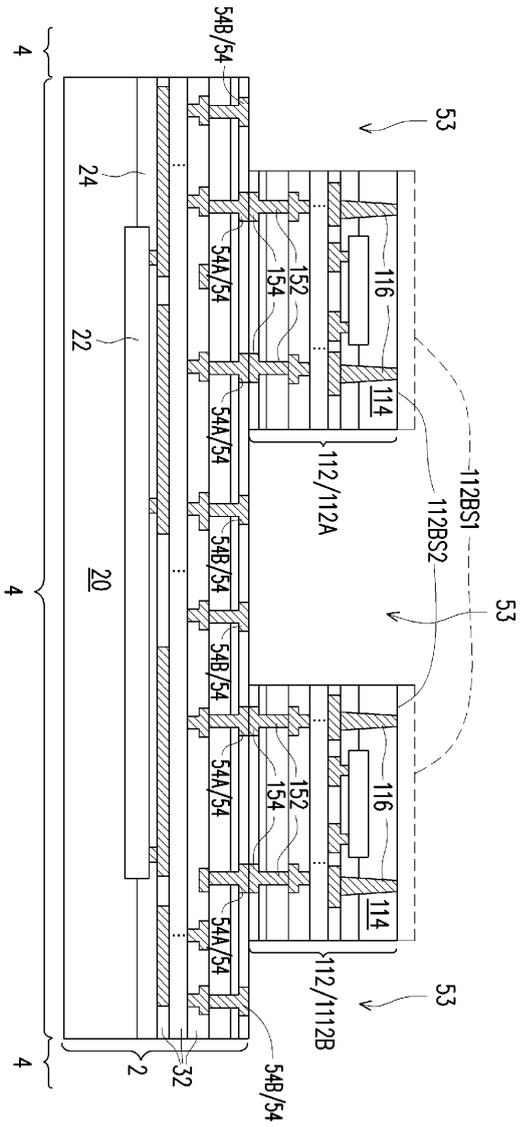
도면4



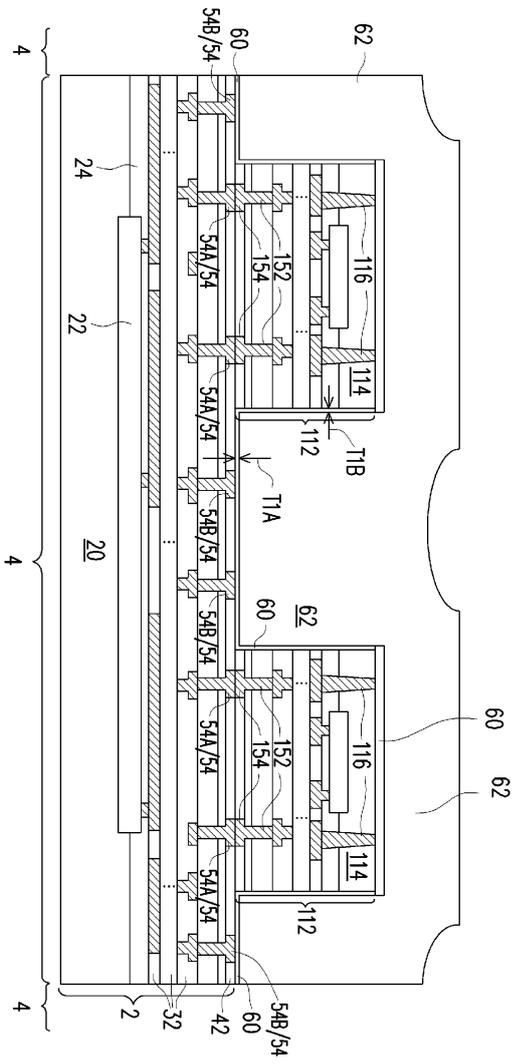
도면5



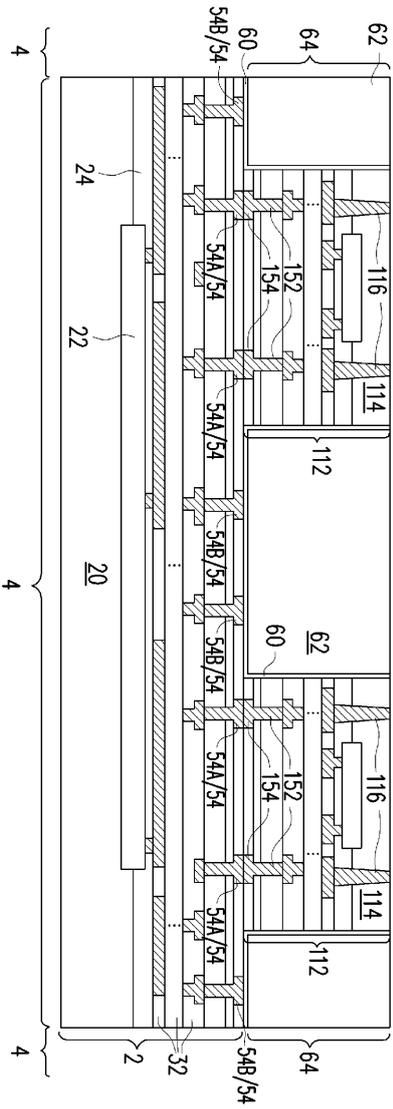
도면6



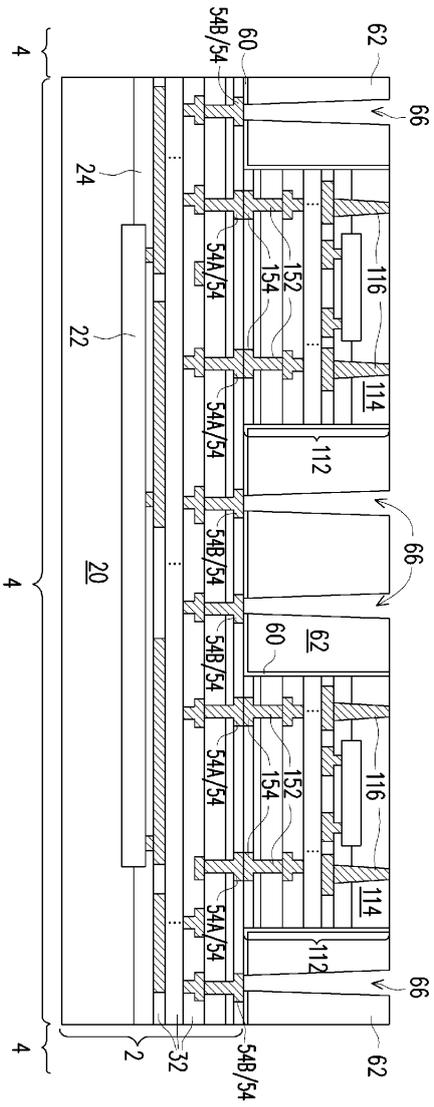
도면7



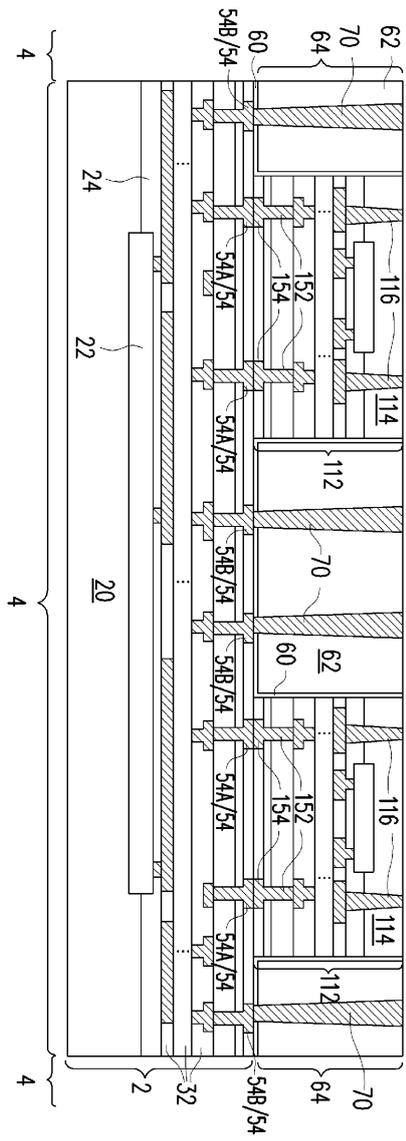
도면8



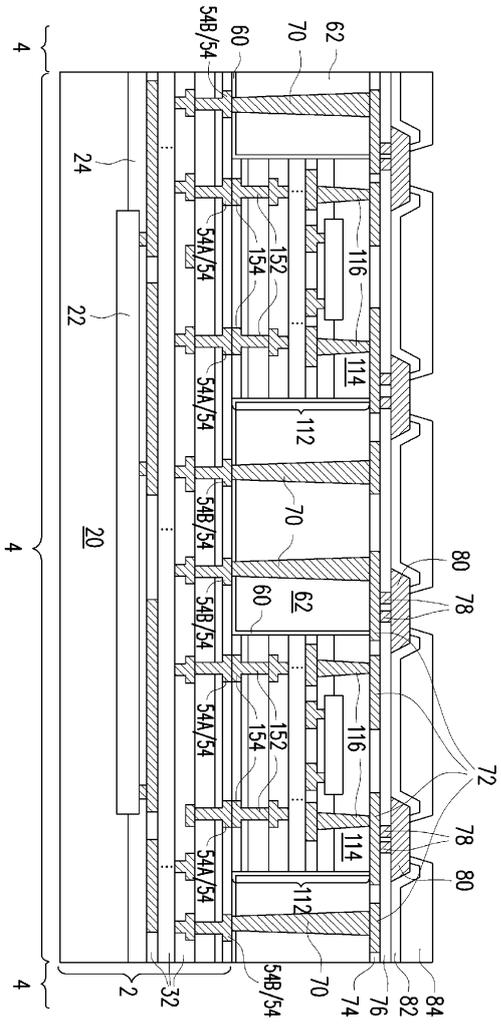
도면9



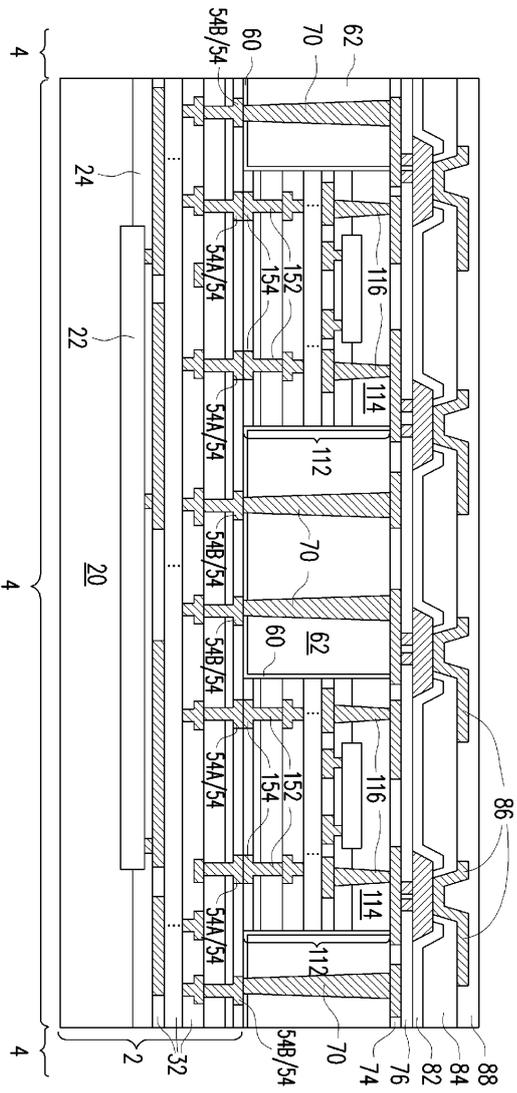
도면10



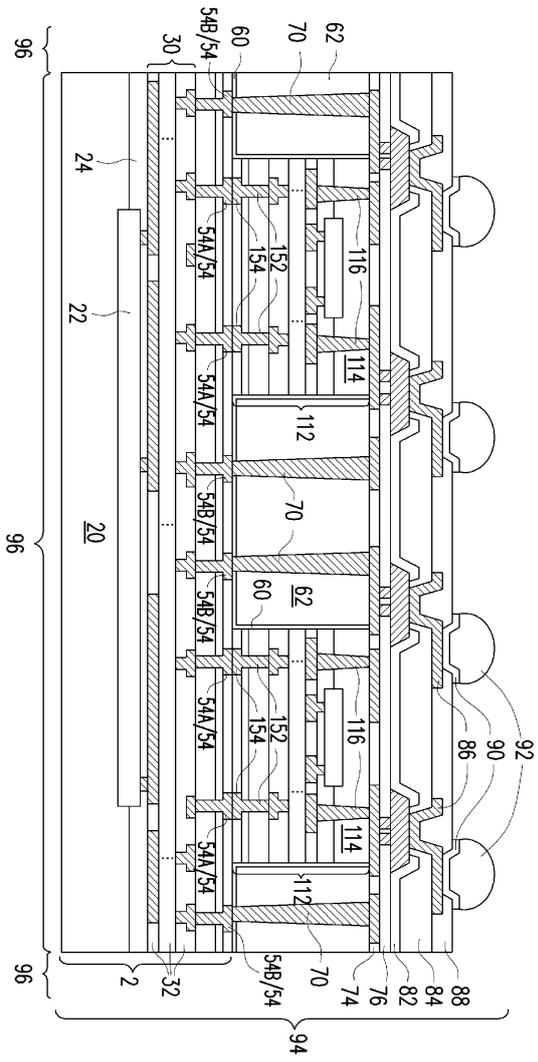
도면12



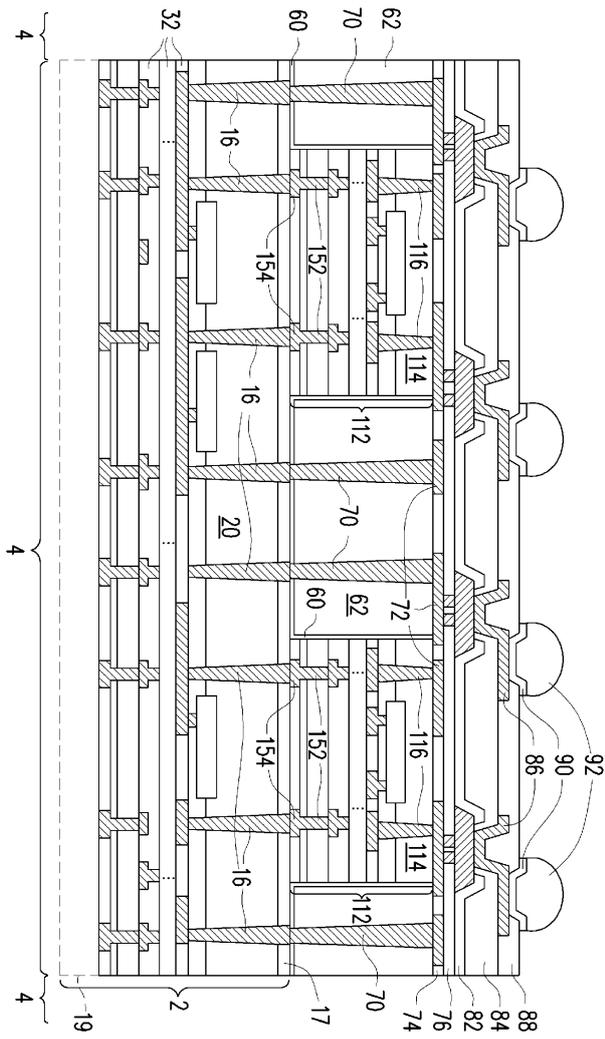
도면13



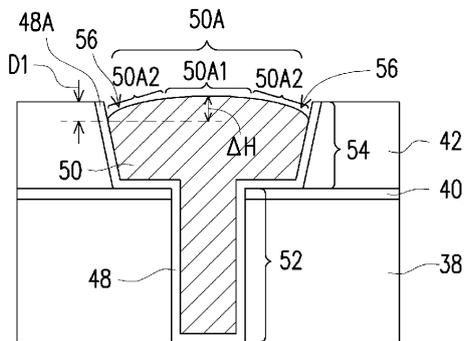
도면14



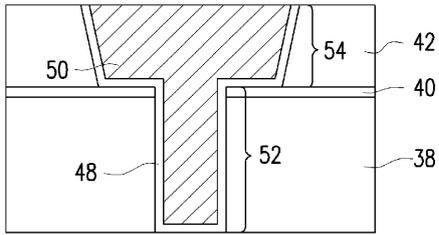
도면15



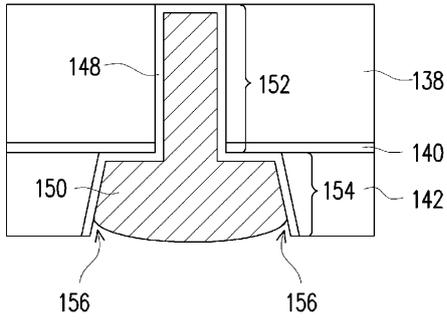
도면16a



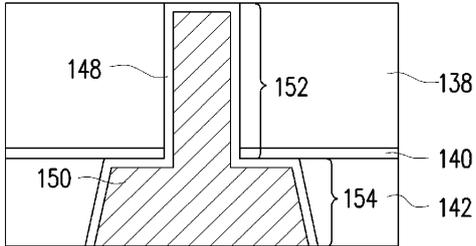
도면16b



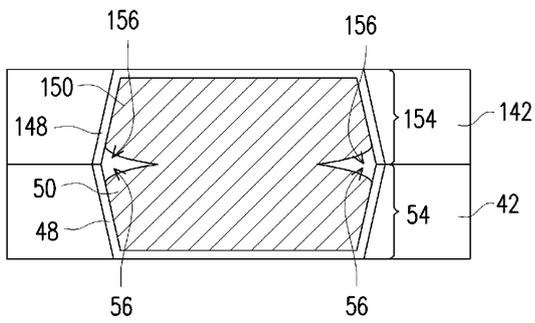
도면17a



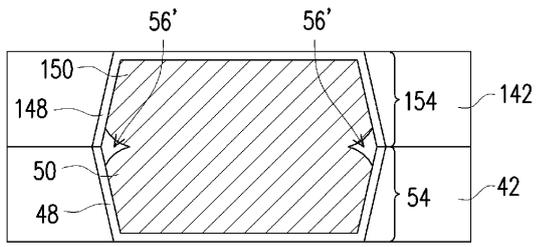
도면17b



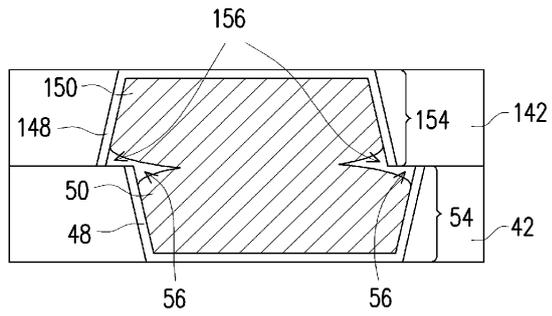
도면18



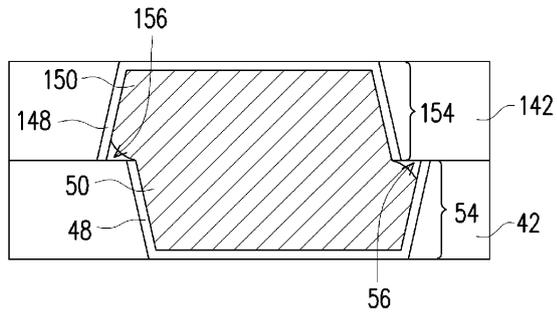
도면19



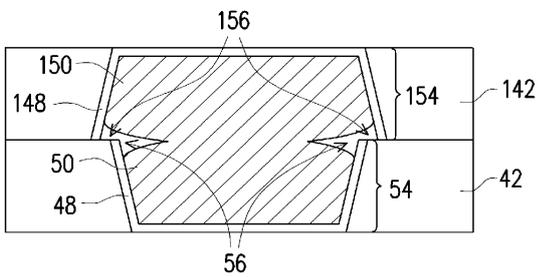
도면20



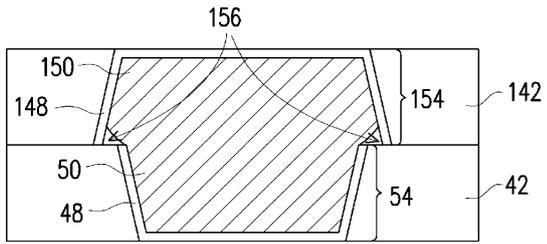
도면21



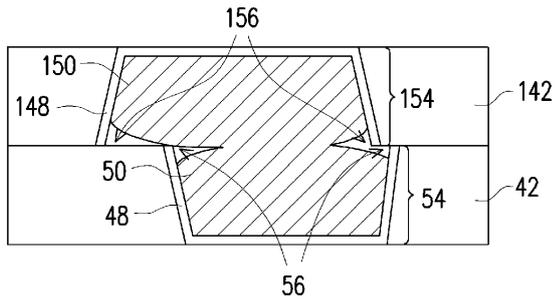
도면22



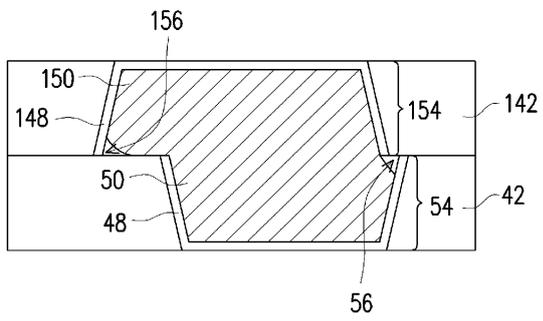
도면23



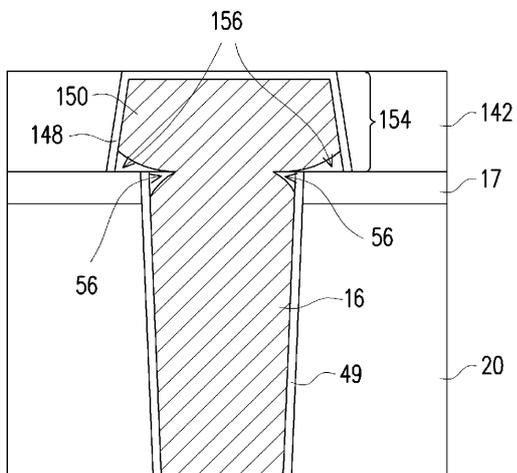
도면24



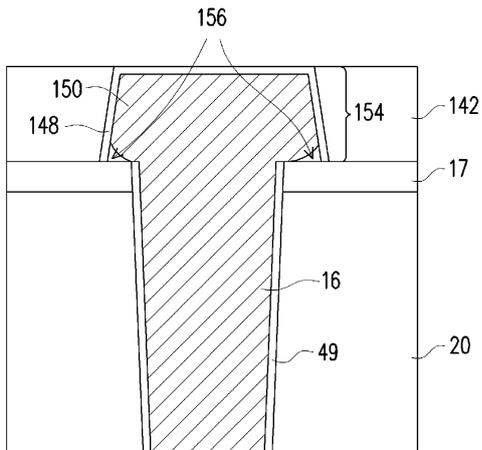
도면25



도면26



도면27



도면28

