



(12)发明专利

(10)授权公告号 CN 107390766 B

(45)授权公告日 2019.07.02

(21)申请号 201710638059.7

审查员 张雷锋

(22)申请日 2017.07.31

(65)同一申请的已公布的文献号

申请公布号 CN 107390766 A

(43)申请公布日 2017.11.24

(73)专利权人 西安矽力杰半导体技术有限公司

地址 710000 陕西省西安市高新区高新六路38号西安腾飞创新中心A座206-207室

(72)发明人 关会丽 何惠森 杨敏 李林喜

(74)专利代理机构 北京睿派知识产权代理事务所(普通合伙) 11597

代理人 刘锋 刘熔

(51)Int.Cl.

G05F 3/26(2006.01)

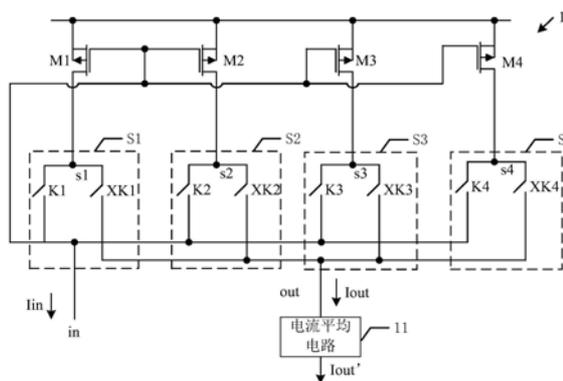
权利要求书1页 说明书6页 附图4页

(54)发明名称

电流镜像电路

(57)摘要

公开了一种电流镜像电路,通过为电流镜像电路中的部分或全部晶体管设置选择电路,在每个子周期中通过选择电路将一部分晶体管作为输入侧的晶体管,将另一部分晶体管作为输出侧的晶体管,并且,在不同的子周期中变换输入侧的晶体管和输出侧的晶体管。由此,可以使得制造工艺造成的晶体管电流误差在整个工作周期内相互补偿,从而降低镜像误差。



1. 一种电流镜像电路,包括:
N个晶体管,控制端连接到电流输入端,第一端连接到公共端;以及
M个选择电路,被配置为受控将对应的晶体管的第二端连接到所述电流输入端或电流输出端,以使得在不同的周期中变换输入侧的晶体管和输出侧的晶体管;
电流平均电路,用于对所述电流输出端的输出电流进行平均;
其中,N为大于等于2的整数,M为小于等于N大于等于2的整数。
2. 根据权利要求1所述的电流镜像电路,其特征在于,所述M个选择电路在每一个子周期内将n个晶体管的第二端连接到所述电流输入端,将M-n个晶体管的第二端连接到所述电流输出端,并在不同的子周期变换连接到电流输入端的晶体管和连接到电流输出端的晶体管;
其中,n为大于等于1的整数。
3. 根据权利要求2所述的电流镜像电路,其特征在于,所述M个选择电路被配置为在每一个子周期内选择不同的晶体管组合连接到所述电流输入端。
4. 根据权利要求2所述的电流镜像电路,其特征在于,每个工作周期被划分为 $M!/(M-n)!$ 个子周期。
5. 根据权利要求4所述的电流镜像电路,其特征在于,每个所述子周期的时间相等。
6. 根据权利要求1所述的电流镜像电路,其特征在于,每个所述选择电路包括:
第一开关,连接在所述选择电路的输入端和所述电流输入端之间;以及
第二开关,连接在所述选择电路的输入端和所述电流输出端之间;
其中,所述第一开关和第二开关交替导通和关断以选择性地所述选择电路的输入端连接到所述电流输入端或所述电流输出端。
7. 根据权利要求2所述的电流镜像电路,其特征在于,M等于N,所述M个选择电路与所述N个晶体管一一对应,且n等于1;
每个工作周期被划分为N个子周期,所述M个选择电路受控使得在每一个子周期中,被连接到所述电流输入端的晶体管不同。
8. 根据权利要求2所述的电流镜像电路,其特征在于,M等于N,所述M个选择电路与所述N个晶体管一一对应,且n等于N-1;
每个工作周期被划分为N个子周期,所述M个选择电路受控使得在每一个子周期中,被连接到所述电流输出端的晶体管不同。
9. 根据权利要求4所述的电流镜像电路,其特征在于,所述工作周期为模数转换器或数模转换器的采样周期。
10. 根据权利要求1所述的电流镜像电路,其特征在于,所述晶体管为双极性晶体管或金属氧化物半导体场效应晶体管。

电流镜像电路

技术领域

[0001] 本发明涉及电子电路技术,具体涉及一种电流镜像电路。

背景技术

[0002] 电流镜像电路也称为镜像电流源,用于在电流输入端输入一个参考电流时在电流输出端输出一个方向相同,大小成比例的镜像电流。现有的电流镜像电路的电路图如图1所示,其利用晶体管栅极电压相等时沟道电流也相等的原理来对输入的参考电流进行复制。同时,通过调节输入一侧的晶体管和输出一侧的晶体管的数量比例,可以调节镜像电流和参考电流的比值。

[0003] 但是,由于制造工艺精度的原因,电流镜像电路中的晶体管的实际尺寸并不完全一致,并且这种不一致存在随机性且无法完全消除。晶体管尺寸的不一致会使得每个晶体管的沟道电流存在差异,从而使得镜像电流与预期的电流存在误差。现有技术通常在通常通过增加晶体管的器件面积来改善这种尺寸的不一致,但是,这对于小电流工作的场合效果并不明显。

发明内容

[0004] 有鉴于此,本公开提供一种电流镜像电路,以有效地降低镜像误差。

[0005] 本公开实施提供的电流镜像电路包括:

[0006] N个晶体管,控制端连接到电流输入端,第一端连接到公共端;以及

[0007] M个选择电路,被配置为受控将对应的晶体管的第二端连接到所述电流输入端或电流输出端;

[0008] 其中,N为大于等于2的整数,M为小于等于N大于等于2的整数。

[0009] 优选地,所述M个选择电路在每个子周期内将n个晶体管的第二端连接到所述电流输入端,将M-n个晶体管的第二端连接到所述电流输出端,并在不同的子周期变换连接到电流输入端的晶体管和连接到电流输出端的晶体管;

[0010] 其中,n为大于等于1的整数。

[0011] 优选地,所述M个选择电路被配置为在每个子周期内选择不同的晶体管组合连接到所述电流输入端。

[0012] 优选地,每个工作周期被划分为 $M!/(M-n)!n!$ 个子周期。

[0013] 优选地,每个所述子周期的时间相等。

[0014] 优选地,每个所述选择电路包括:

[0015] 第一开关,连接在所述选择电路的输入端和所述电流输入端之间;以及

[0016] 第二开关,连接在所述选择电路的输入端和所述电流输出端之间;

[0017] 其中,所述第一开关和第二开关交替导通和关断以选择性地所述选择电路的输入端连接到所述电流输入端或所述电流输出端。

[0018] 优选地,M等于N,所述M个选择电路与所述N个晶体管一一对应,且n等于1;

[0019] 每个工作周期被划分为N个子周期,所述M个选择电路受控使得在每个子周期中,被连接到所述电流输入端的晶体管不同。

[0020] 优选地,M等于N,所述M个选择电路与所述N个晶体管一一对应,且n等于N-1;

[0021] 每个工作周期被划分为N个子周期,所述M个选择电路受控使得在每个子周期中,被连接到所述电流输出端的晶体管不同。

[0022] 优选地,所述工作周期为模数转换器或数模转换器的采样周期。

[0023] 优选地,所述晶体管为双极性晶体管或金属氧化物半导体场效应晶体管。

[0024] 优选地,所述电流镜像电路还包括:

[0025] 电流平均电路,用于对所述电流输出端的输出电流进行平均。

[0026] 通过为电流镜像电路中的部分或全部晶体管设置选择电路,在每个子周期中通过选择电路将一部分晶体管作为输入侧的晶体管,将另一部分晶体管作为输出侧的晶体管,并且,在不同的子周期中变换输入侧的晶体管和输出侧的晶体管。由此,可以使得由于制造工艺造成的晶体管电流误差在整个工作周期内相互补偿,从而降低镜像误差。

附图说明

[0027] 通过以下参照附图对本发明实施例的描述,本发明的上述以及其它目的、特征和优点将更为清楚,在附图中:

[0028] 图1是现有的电流镜像电路的电路图;

[0029] 图2是本发明第一实施例的电流镜像电路的电路图;

[0030] 图3是本发明第一实施例的电流镜像电路的工作波形图;

[0031] 图4是本发明第二实施例的电流镜像电路的工作波形图;

[0032] 图5是本发明第三实施例的电流镜像电路的电路图。

具体实施方式

[0033] 以下基于实施例对本发明进行描述,但是本发明并不仅仅限于这些实施例。在下文对本发明的细节描述中,详尽描述了一些特定的细节部分。对本领域技术人员来说没有这些细节部分的描述也可以完全理解本发明。为了避免混淆本发明的实质,公知的方法、过程、流程、元件和电路并没有详细叙述。

[0034] 此外,本领域普通技术人员应当理解,在此提供的附图都是为了说明的目的,并且附图不一定是按比例绘制的。

[0035] 同时,应当理解,在以下的描述中,“电路”是指由至少一个元件或子电路通过电气连接或电磁连接构成的导电回路。当称元件或电路“连接到”另一元件或称元件/电路“连接在”两个节点之间时,它可以是直接耦接或连接到另一元件或者可以存在中间元件,元件之间的连接可以是物理上的、逻辑上的、或者其结合。相反,当称元件“直接耦接到”或“直接连接到”另一元件时,意味着两者不存在中间元件。

[0036] 除非上下文明确要求,否则整个说明书和权利要求书中的“包括”、“包含”等类似词语应当解释为包含的含义而不是排他或穷举的含义;也就是说,是“包括但不限于”的含义。

[0037] 在本发明的描述中,需要理解的是,术语“第一”、“第二”等仅用于描述目的,而不

能理解为指示或暗示相对重要性。此外,在本发明的描述中,除非另有说明,“多个”的含义是两个或两个以上。

[0038] 图2是本发明第一实施例的电流镜像电路的电路图。如图2所示,本实施例的电流镜像电路1包括4个晶体管M1-M4和4个选择电路S1-S4。选择电路S1-S4与晶体管M1-M4一一对应设置。在本实施例中,采用金属氧化物半导体场效应晶体管(MOSFET)来搭建电流镜像电路。但是,本领域技术人员容易理解,其它类型的晶体管(例如,双极性晶体管(BJT))也可以用于构建本实施例的电流镜像电路。晶体管M1-M4的栅极(也即,控制端)相互连接,并连接到电流输入端in。晶体管M1-M4的源极与连接到上拉电压端。在本实施例中,以采用P沟道MOSFET来作为电流镜像电路的晶体管,这需要将上拉电压端作为公共端。但是,本领域技术人员也可以根据需要使用具有N沟道MOSFET结构的共源共栅电流镜像电路,这时,公共端为接地端。

[0039] 选择电路S1-S4的输入端s1-s4分别与晶体管M1-M4的漏极连接,输出端分别与电流镜像电路1的电流输入端in和电流输出端out连接,受控分别将晶体管M1-M4的漏极连接到电流输入端in或电流输出端out。在本实施例中,选择电路Si包括第一开关Ki和第二开关XKi, $i=1,2,\dots,4$ 。第一开关Ki连接在选择电路Si的输入端si和电流输入端in之间。第二开关XKi连接在选择电路Si的输入端si和电流输出端out之间。第一开关Ki和第二开关XKi受控交替导通和关断,以选择性地将与选择电路Si连接的晶体管Mi的漏极连接到所述电流输入端i或所述电流输出端o。

[0040] 在选择电路Si将输入端si连接到电流输入端in时,晶体管Mi的漏极被连接到电流输入端in,使得晶体管Mi成为电流镜像电路1的输入侧的晶体管。在选择电路Si将输入端si连接到电流输出端out时,晶体管Mi的漏极被连接到电流输出端out,使得晶体管Mi作为电流镜像电路1的输出侧的晶体管。由此,通过控制选择电路S1-S4,就可以改变电流镜像电路的连接关系,使得晶体管M1-M4在不同的时间周期内在电路中起不同的作用。

[0041] 进一步地,电流镜像电路1还可以包括电流平均电路11,其用于对电流输出端out的输出电流Iout进行平均,输出平均后的输出电流Iout' (也即,镜像电流)。

[0042] 以下以放大倍数为3的电流镜像为例来对本实施例的误差进行分析。为了实现镜像电路Iout是参考电流Iin的3倍,需要输入侧的晶体管和输出侧的晶体管数量比值为1:3。由此,如图3所示,可以将一个工作周期分为4个子周期。在本实施例中,一个工作周期可以为电流镜像电路的工作场景涉及的时间周期。例如,在被用于模数转换器或数模转换器时,工作周期可以为上述电路的采样周期。又例如,在被用于开关型变换器的控制电路时,工作周期可以为上述电路的开关周期。时刻t1-t2为第一个子周期。在第一个子周期中,选择电路S1将晶体管M1的漏极连接到电流输入端in(第一开关K1导通,同时第二开关XK1关断),选择电路S2-S4将晶体管M2-M4的漏极连接到电流输出端out。时刻t2-t3为第二个子周期。在第二个子周期中,选择电路S2将晶体管M2的漏极连接到电流输入端in(第一开关K2导通,同时第二开关XK2关断),选择电路S1,S3-S4将晶体管M1,M3-M4的漏极连接到电流输出端out。时刻t3-t4为第三个子周期。在第三个子周期中,选择电路S3将晶体管M3的漏极连接到电流输入端in(第一开关K3导通,同时第二开关XK3关断),选择电路S1-S2,S4将晶体管M1-M2,M4的漏极连接到电流输出端out。时刻t4-t5为第四个子周期。在第四个子周期中,选择电路S4将晶体管M3的漏极连接到电流输入端in(第一开关K4导通,同时第二开关XK4关断),选择电

路S2-S4将晶体管M2-M4的漏极连接到电流输出端out。

[0043] 由此,在每个子周期内,电流镜像电路1中输入侧有1个晶体管,输出侧有3个晶体管,使得输出电流Iout可以大致是参考电流Iin的3倍。同时,在不同的子周期内,作为输入侧晶体管的晶体管均不相同,由此,可以弥补由于尺寸误差导致的镜像误差。

[0044] 假设晶体管M1-M4的设计尺寸相同,但是,由于制造工艺误差,晶体管M2-M4与晶体管M1的尺寸误差均为-A%。此时,镜像电流Iout'和参考电流Iin的在整个工作周期内满足:

$$[0045] \quad \begin{aligned} I_{out}'/I_{in} &= \frac{1}{4} \left(\frac{3-3A\%}{1} + 3 * \frac{3-2A\%}{1-A\%} \right) \\ &= 3 * \left(1 + \frac{0.25A\% * A\%}{1-A\%} \right) \end{aligned}$$

[0046] 也即,由于尺寸的差异,在相同的栅极电压下,晶体管M1流过的电流为I,晶体管M2-M4流过的电流为I*(1-A%)。因此,在第一子周期内,当参考电流Iin流过晶体管M1,而输出电流Iout流过晶体管M2-M4时,Iout/Iin=(3-3A%)/1。在第二至第四子周期内,当参考电流Iin流过晶体管M2-M4之一,而输出电流Iout流过其它晶体管时,Iout/Iin=(3-2A%)/(1-A%)。因此,根据上式,镜像电流 Iout' 与预期值 3Iin 的误差范围满为+ $\frac{0.25A\% * A\%}{1-A\%}$ 。

如果A%为10%,则本实施例的电流镜像电路的镜像误差仅为+0.28%。

[0047] 作为对比,如果图1中的电流镜像电路存在相同的尺寸误差,则镜像电流Iout和参考电流Iin的比值满足:Iout/Iin=3*(1-A%)。镜像误差为A%。如果A%为10%,则镜像误差为-10%。

[0048] 由此可见,本实施例的电流镜像电路的镜像误差绝对值远小于现有技术的电流镜像电路。

[0049] 假设晶体管M2-M4与晶体管M1的尺寸误差均为+A%。基于类似的分析,对于本实施例的电流镜像电路,输出电流Iout和参考电流Iin在整个工作周期的平均值的比值(也即,镜像电流与参考电流的比值)满足:

$$[0050] \quad \begin{aligned} I_{out}'/I_{in} &= \frac{1}{4} \left(\frac{3+3A\%}{1} + \frac{3+2A\%}{1+A\%} + \frac{3+2A\%}{1+A\%} + \frac{3+2A\%}{1+A\%} \right) \\ &= 3 * \left(1 + \frac{0.25A\% * A\%}{1+A\%} \right) \end{aligned}$$

[0051] 因此,镜像误差为+ $\frac{0.25A\% * A\%}{1+A\%}$ 。如果A%为10%,则镜像误差仅为+0.23%。

[0052] 作为对比,如果图1中的电流镜像电路存在相同的尺寸误差,则镜像电流Iout和参考电流Iin的比值满足:Iout/Iin=3*(1+A%)。镜像误差为A%。如果A%为10%,则镜像误差为+10%。

[0053] 虽然本实施例以将工作周期分为4个子周期为例进行说明,应理解,也可以将工作周期分为8个子周期或4N个子周期来进行。同时,各子周期的持续时间可以相同也可以不同。

[0054] 同时,在本实施例中,选择电路S1-S4依次改变状态,从而依次改变晶体管M1-M4的连接关系,但是,也可以按照其它顺序来进行控制,只要保证部分子周期中输入侧的晶体管发生变化,就可以一定程度地降低镜像误差。

[0055] 在本发明的第二实施例中,电流镜像电路的镜像电流被设置为小于参考电流。本实施例的电流镜像电路的电路结构与第一实施例相同,而选择电路S1-S4的控制方式不同。

[0056] 图4是本发明第二实施例的电流镜像电路的工作波形图。在本实施例中,将一个工作周期分为4个子周期。时刻t1-时刻t2为第一个子周期。在第一个子周期中,选择电路S1将晶体管M1的漏极连接到电流输出端out(第一开关K1关断,同时第二开关XK1导通),选择电路S2-S4将晶体管M2-M4的漏极连接到电流输入端in。时刻t2-t3为第二个子周期。在第二个子周期中,选择电路S2将晶体管M2的漏极连接到电流输出端out(第一开关K2关断,同时第二开关XK2导通),选择电路S1,S3-S4将晶体管M1,M3-M4的漏极连接到电流输入端in。时刻t3-t4为第三个子周期。在第三个子周期中,选择电路S3将晶体管M3的漏极连接到电流输出端out(第一开关K3关断,同时第二开关XK3导通),选择电路S1-S2,S4将晶体管M1-M2,M4的漏极连接到电流输入端in。时刻t4-t5为第四个子周期。在第四个子周期中,选择电路S4将晶体管M3的漏极连接到电流输出端out(第一开关K4关断,同时第二开关XK4导通),选择电路S2-S4将晶体管M2-M4的漏极连接到电流输入端in。

[0057] 由此,在每个子周期内,电流镜像电路1中输入侧有3个晶体管,输出侧有1个晶体管,使得输出电流Iout可以大致是参考电流Iin的1/3。同时,在不同的子周期内,作为输入侧晶体管的晶体管均不相同,由此,可以弥补由于尺寸误差导致的镜像误差。

[0058] 假设晶体管M1-M4的设计尺寸相同,但是,由于制造工艺误差,晶体管M2-M4与晶体管M1的尺寸误差均为-A%。此时,镜像电流Iout'和参考电流Iin的在整个工作周期内满足:

$$[0059] \quad I_{out}'/I_{in} = \frac{1}{4} \left(\frac{1}{3-3A\%} + \frac{1-A\%}{3-2A\%} * 3 \right) = \frac{1}{3} \left[1 + \frac{0.25 * A\% * A\%}{(3-2A\%)*(1-A\%)} \right]$$

$$[0060] \quad \text{也即, 镜像误差为} + \frac{0.25 * A\% * A\%}{(3-2A\%)*(1-A\%)}。$$

[0061] 假设假设晶体管M1-M4的设计尺寸相同,但是,由于制造工艺误差,晶体管M2-M4与晶体管M1的尺寸误差均为+A%。此时,镜像电流Iout'和参考电流Iin的在整个工作周期内满足:

$$[0062] \quad I_{out}'/I_{in} = \frac{1}{4} \left(\frac{1}{3+3A\%} + \frac{1+A\%}{3+2A\%} * 3 \right) = \frac{1}{3} \left[1 + \frac{0.25 * A\% * A\%}{(3+2A\%)*(1+A\%)} \right]$$

$$[0063] \quad \text{也即, 镜像误差为} + \frac{0.25 * A\% * A\%}{(3+2A\%)*(1+A\%)}$$

[0064] 由此可见,在对电流进行镜像缩小时,本实施例的电流镜像电路也可以大幅降低镜像误差。

[0065] 上述实施例均以输入侧晶体管或输出侧晶体管为1个为例进行说明,但是应理解,输入侧晶体管的数量和输出侧晶体管的数量可以根据需要来设定。例如,在晶体管数量为N(N为大于等于2的整数)的情况下,可以设置n个晶体管(1≤n<N)作为输入侧晶体管,N-n个晶体管作为输出侧晶体管。相应地,配置对应数量的选择电路连接到晶体管的漏极,在不同的子周期改变作为输入侧晶体管的晶体管组合,从而对镜像误差进行补偿。同时,镜像电流和参考电流的比值满足:N-n/n。以进行镜像放大的电流镜像电路为例,如果每一个子周期对应一种晶体管组合方式,则需要将工作周期划分为N!/ (N-n) !n!个子周期。

[0066] 同时,也本公开的技术方案并不要求对所有的晶体管均配置对应的选择电路。图5是本发明第三实施例的电流镜像电路的电路图。如图5所示,本实施例的电流镜像电路2包括晶体管M1-M4和选择电路S1-S3。晶体管M1-M4的栅极(也即,控制端)相互连接,并连接到电流输入端in。晶体管M1-M4的源极与连接到上拉电压端。

[0067] 同样地,本实施例的电流镜像电路还可以包括电流平均电路21,其用于对电流输出端out的输出电流Iout进行平均,获得镜像电流Iout'。

[0068] 选择电路的S1-S3的输入端s1-s3分别与晶体管M1-M3的漏极连接,输出端分别与电流镜像电路1的电流输入端in和电流输出端out连接,受控将晶体管M1-M3的漏极连接到电流输入端in或电流输出端out。在本实施例中,选择电路Si包括第一开关Ki和第二开关XKi, $i=1,2,3$ 。第一开关Ki连接在选择电路Si的输入端si和电流输入端in之间。第二开关XKi连接在选择电路Si的输入端si和电流输出端out之间。第一开关Ki和第二开关XKi受控交替导通和关断,以选择性地将与选择电路Si连接的晶体管Mi的漏极连接到所述电流输入端i或所述电流输出端o。

[0069] 晶体管M4的漏极直接连接到电流输出端out。由此,晶体管M4始终作为输出侧的晶体管使用。

[0070] 由此,可以将工作周期分为3个子周期,分别在不同的子周期依次将晶体管M1-M3作为输入侧的晶体管,从而可以一定程度补偿镜像误差。

[0071] 本实施例的优势在于可以减少电路的器件数量,在对精度要求相对较低或制造工艺误差较小时,可以兼顾电路规模和镜像误差。

[0072] 类似地,在晶体管数量和选择电路不相等时,输入侧晶体管的数量和输出侧晶体管的数量可以根据需要来设定。也即,在存在N个晶体管的前提下,通过M个选择电路来改变对应的M个晶体管的连接关系,从而减小镜像误差。由此,如果每一个子周期对应一种晶体管组合方式,则需要将工作周期划分为 $M!/(M-n)!n!$ 个子周期。

[0073] 本公开的技术方案通过为电流镜像电路中的部分或全部晶体管设置选择电路,在每个子周期中通过选择电路将一部分晶体管作为输入侧的晶体管,将另一部分晶体管作为输出侧的晶体管,并且,在不同的子周期中变换输入侧的晶体管和输出侧的晶体管。由此,可以使得由于制造工艺造成的晶体管电流误差在整个工作周期内相互补偿,从而降低镜像误差。

[0074] 以上所述仅为本发明的优选实施例,并不用于限制本发明,对于本领域技术人员而言,本发明可以有各种改动和变化。凡在本发明的精神和原理之内所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

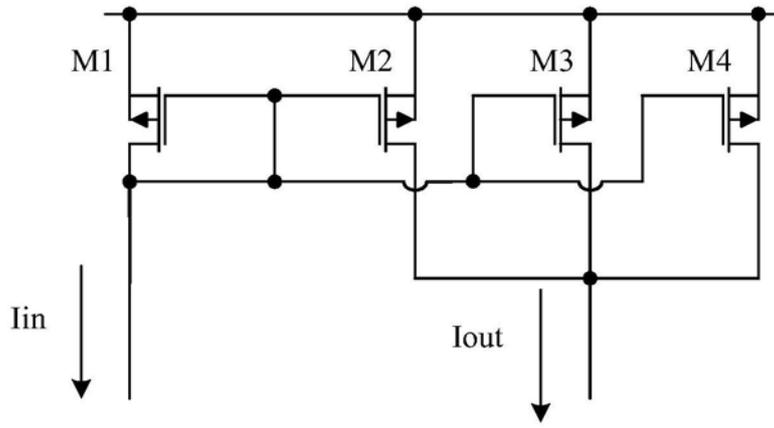


图1

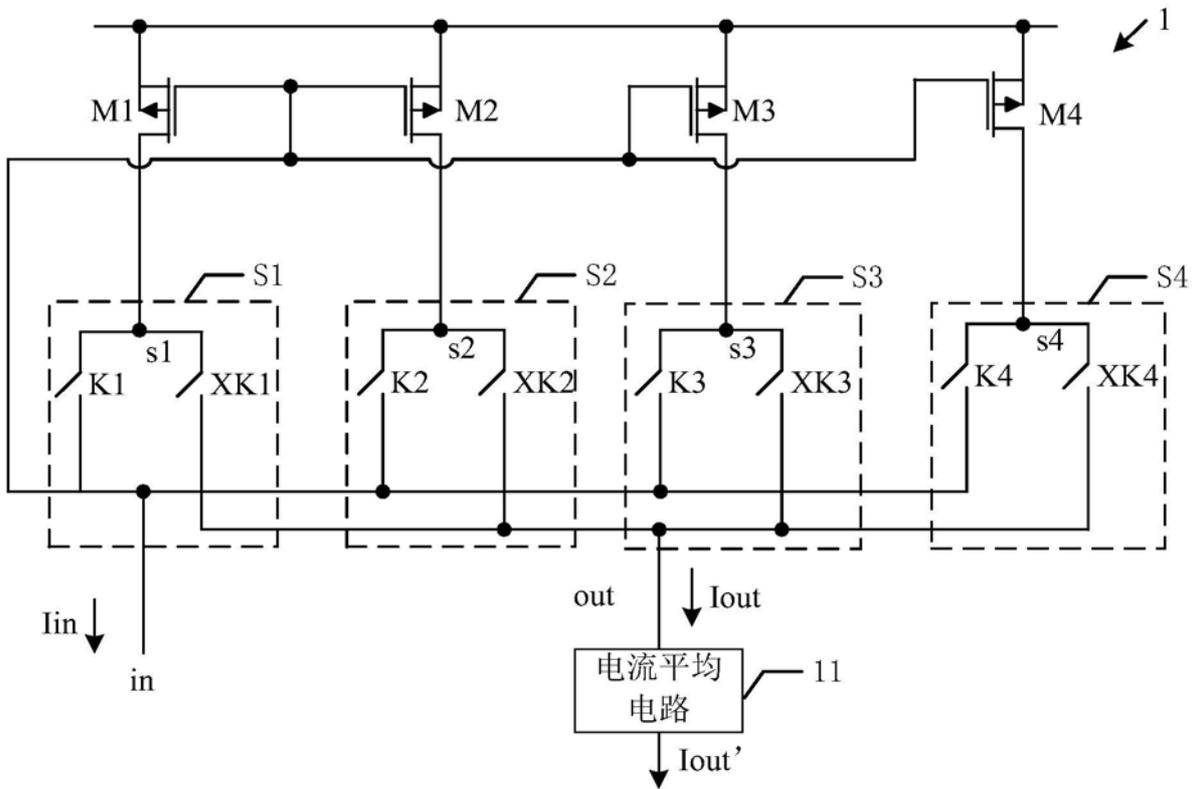


图2

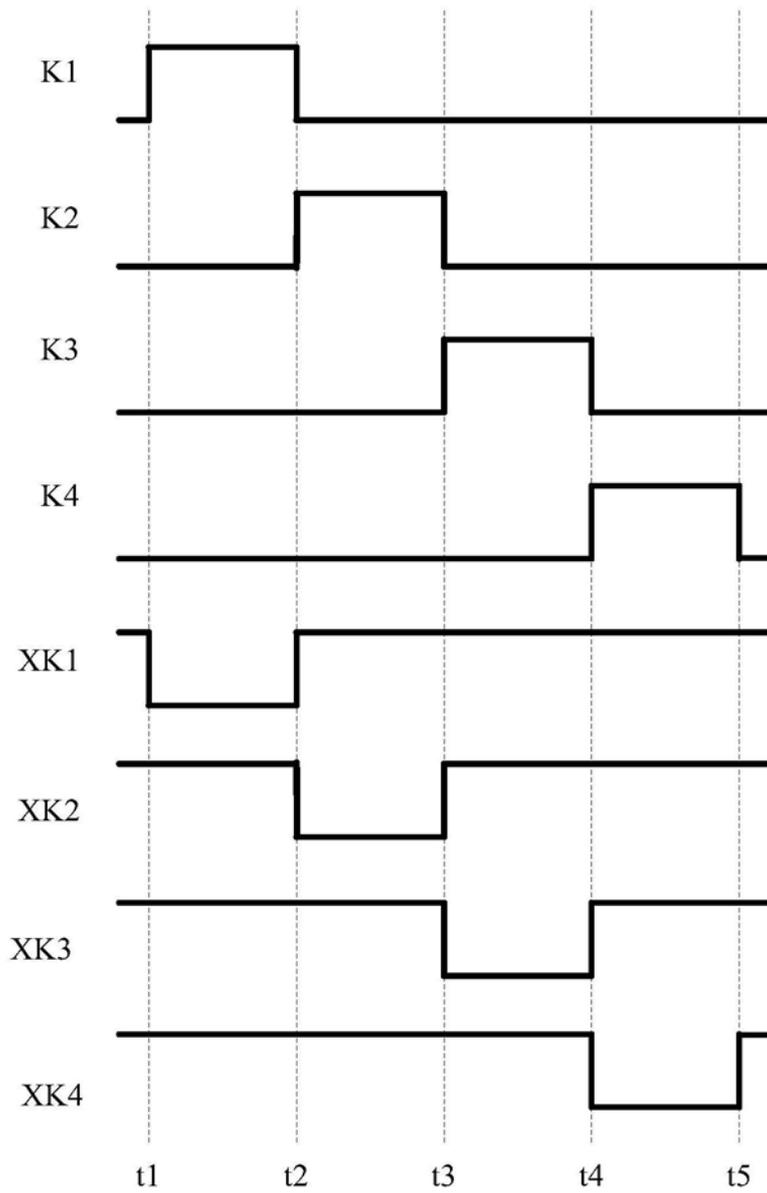


图3

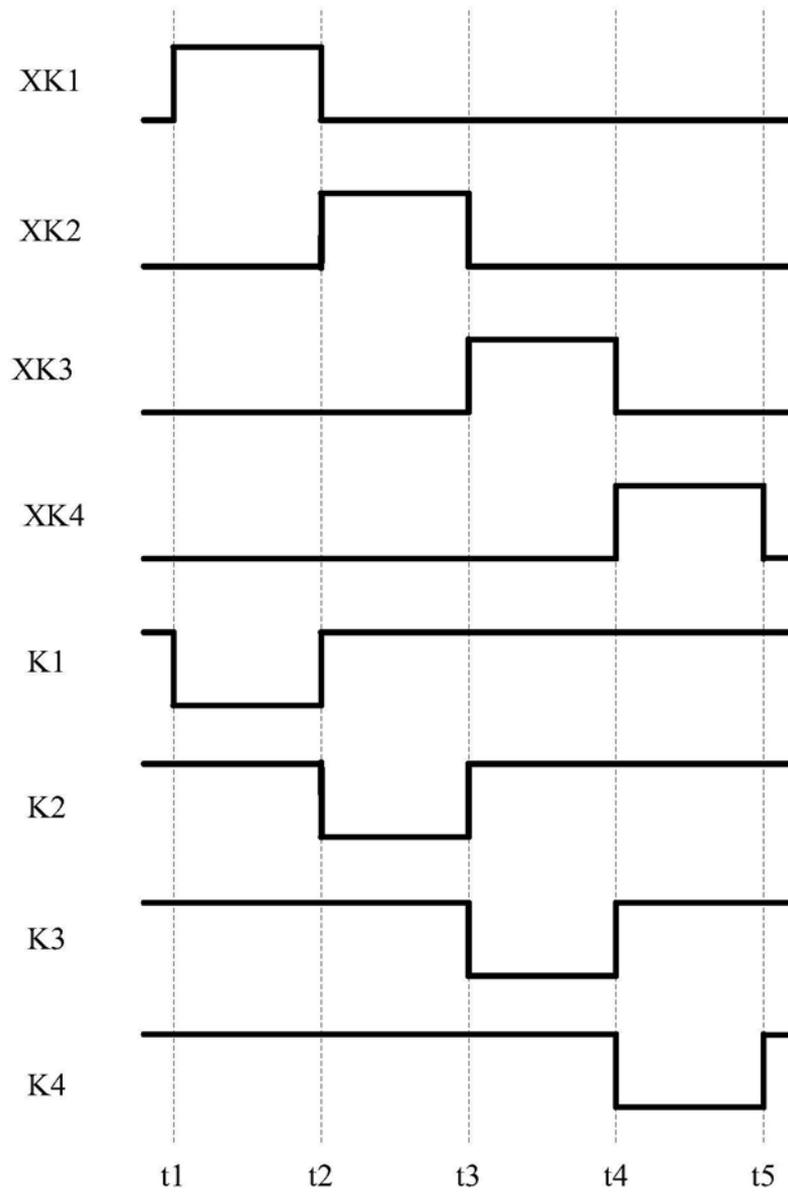


图4

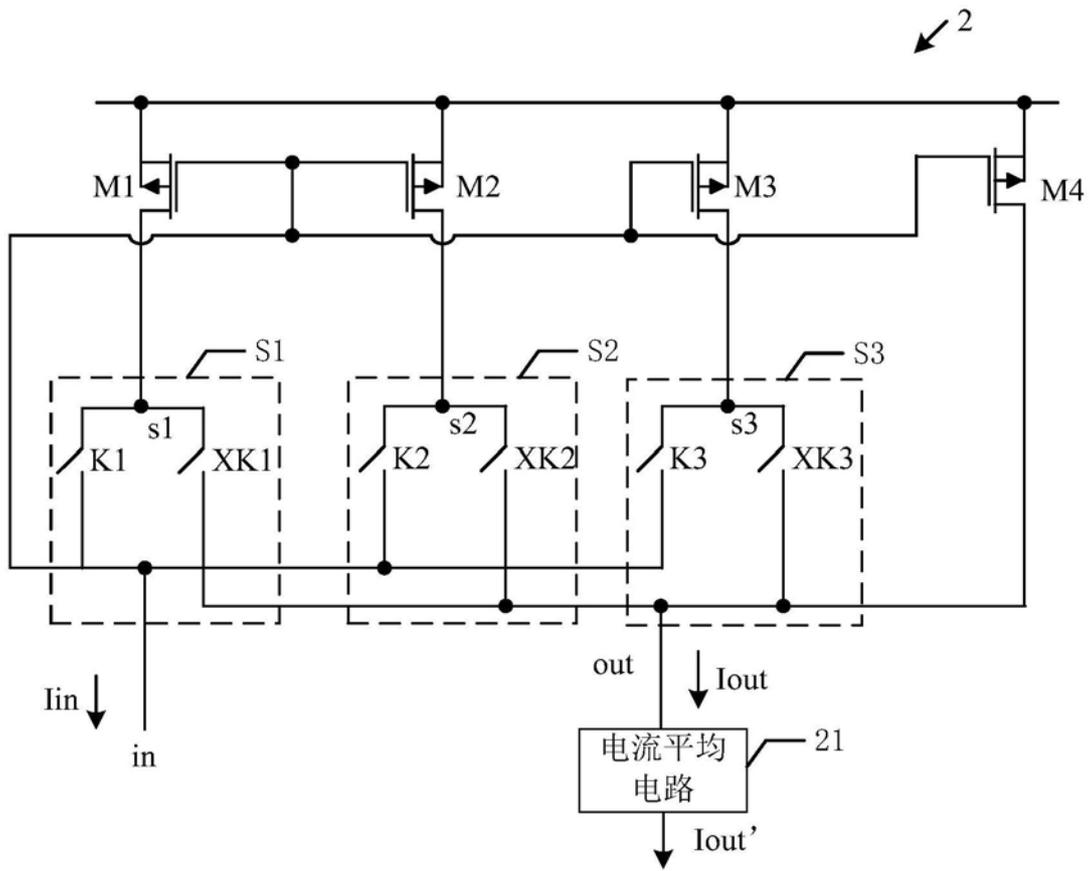


图5