



**색인어**

임프린트, 인쇄회로기판, 액상 수지, 전도성 금속

**명세서**

**도면의 간단한 설명**

도 1a 내지 1e는 종래기술에 따른 임프린트법을 이용한 인쇄회로기판의 제조과정을 개략적으로 나타낸 단면도이다.

도 2a 내지 2f는 본 발명에 따른 임프린트법을 이용한 인쇄회로기판의 제조과정을 개략적으로 나타낸 단면도이다.

※ 도면의 주요 부분에 대한 부호의 설명 ※

10 : 몰드 11 : 수지 절연층

12 : 전도성 금속층 13 : 비아홀

14 : 회로패턴 15 : 금속 도금층

16 : 연마기

20 : 몰드 21 : 수지 절연층

22 : 전도성 금속층 23 : 비아홀

24 : 회로패턴 25 : 금속 도금층

26 : 연마기

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 임프린트법을 이용한 고분해능 인쇄회로기판의 제조방법에 관한 것이다. 보다 구체적으로는, 몰드의 구조물 상에 액상 수지를 도포하여 반경화 상태를 거친 후 전도성 금속을 적층하여 몰드에 가해지는 응력을 원천적으로 제거함으로써 경제적이고 효율적인 공정을 통해서 고밀도 배선기판에 대응 가능한 파인 패턴을 구현할 수 있을 뿐만 아니라, 액상의 수지를 몰드에 도포함으로써 기존의 공정에서 문제가 되었던 에어 트랩(air trap)의 고질적인 불량요인을 제거할 수 있는 임프린트법을 이용한 고분해능 인쇄회로기판의 제조방법에 관한 것이다.

현재 전자 전기 기술은 21세기 고도 정보 통신 사회의 구현에 발 맞추기 위하여 더 많은 용량의 정보 저장, 더 빠른 정보 처리와 전송, 더 간편한 정보 통신망의 구축을 위해 빠르게 발전해가고 있다.

특히, 주어진 정보 전송 속도의 유한성이라는 조건 하에서, 이러한 요구 조건을 충족시킬 수 있는 한 방법으로서 그 구성 소자들을 가능한 더욱 작게 구현하는 동시에 신뢰성을 높여 새로운 기능성을 부여하는 것이 제안되고 있다.

상술한 바와 같이 전자제품의 경박 단소화 추세에 따라 인쇄회로기판 역시 미세 패턴(fine pattern)화, 소형화 및 패키지가 동시에 진행되고 있다.

지금까지 가장 널리 사용되고 있는 미세 구조 제작 기술 중의 하나는 포토리소그래피(photolithography)로서, 포토 레지스트 박막이 입혀진 기판 위에 패턴을 형성시키는 방법이다.

이때 형성되는 패턴의 크기는 광학적 회절 현상에 의해 제한을 받게 되며, 분해능은 포토레지스트의 두께와 사용 광선의 파장에 의하여 결정된다.

따라서, 구성 소자의 집적도가 높아질수록 미세 패턴을 형성하기 위해 파장이 짧은 노광 기술이 요구된다.

그런데, 구성 소자의 집적도가 커짐에 따라 광학적 방법에 의한 포토레지스트 패턴 형성 방법은 다음과 같은 문제점이 발생된다.

우선, 빛을 사용하여 포토레지스트를 패터닝하므로 빛에 의한 간섭효과의 영향으로 포토레지스트 패턴 자체 또는 패턴 사이에서 물리적인 형태가 달라지게 된다.

여기서, 주로 문제가 되는 것은 포토레지스트 패턴의 CD(critical dimension)의 불균일한 변화이다. 포토레지스트 패턴의 CD가 전체적으로 균일하지 않고 하부막의 영역에 따라 달라지게 되면, 포토레지스트 패턴을 마스크로 하여 패터닝되어 형성되는 물질층 패턴도 처음에 원하던 형태와는 다른 형태로 형성된다.

또 다른 문제점은 공정중에 발생하는 불순물과 포토레지스트가 반응하여 포토레지스트가 침식되어 포토레지스트 패턴이 변하게 된다.

상기 포토레지스트의 침식은 포토레지스트 패턴을 마스크로 하여 패터닝되어 형성되는 물질층 패턴도 처음에 원하던 형태와는 다른 형태를 갖게 된다.

최근에는 인쇄회로기판의 집적도가 더욱 높아지는 추세이며 그에 따라 미세 패턴을 형성하는 방법에 대한 연구가 더욱 활발해지고 있다.

한편, 원자/분자 크기에서 근본적인 물질의 특정한 용도를 결정할 수 있는 구조와 조성을 제어/조작하는 기술의 하나로서, 폴리머(polymer) 물질을 사용하는 방법이 있다.

상기 폴리머는 선택적인 에칭 레지스터, 광학 디바이스, 생화학적 센서, 나아가 티슈 엔지니어링에까지 이르는 폭넓은 응용범위를 가지고 있어 차세대 신소재 개발에 큰 영향을 줄 수 있을 것으로 기대되어 최근 많은 관심의 대상이 되고 있다.

특히, 나노 미터(nanometer) 크기의 미세 패턴을 폴리머 박막을 이용하여 형성하는 데 있어서, 종래 임프린트 방법을 이용하는 방법이 있다.

상기 나노 스케일로 각인하는 방법(nanoimprint)는 미국 프린스턴 대학교의 스테판 초우(Stephen Chou) 등(미국 특허 제 5,772,905호)에 의하여 발명된 방법으로 상대적 강도가 강한 물질의 표면에 필요로 하는 형상을 미리 제작하여 이를 다른 물질 위에 마치 도장을 찍듯이 찍어서 패터닝을 시킴으로써 반도체 등의 미세 패턴을 형성하는 유력한 방법으로 알려져 있다. 동 발명자들은 동일한 기술을 응용하여 나노-캡팩트 광학 디스크(미국 특허 제6,518,189호) 등에 대한 응용도 제안하고 있다. 이러한 나노 임프린트 방법은 생산성이 낮다는 문제점을 극복하여 나노 크기의 미세 패턴을 대량 제조할 수 있다는 장점이 있다.

이와 관련하여, 도 1a 내지 도 1e를 참조하여 종래기술에 따른 임프린트법을 이용하여 인쇄회로기판을 제조하는 과정을 간략하게 살펴보면 다음과 같다.

우선, 원하는 형상의 미세 패턴을 얻기 위하여, 형성하고자 하는 복수의 비아 및 패턴에 대응되는 구조물이 형성된 몰드(10)를 제작한다. 상기 제작된 몰드(10)의 재질은 실리콘 또는 금속 또는 다이아몬드 또는 석영 유리와 같이 재질의 강도가 높은 것으로 한다. 한편, 전도성 금속층(12)의 상면에 반경화된 수지 절연층(11)이 적층된 기판을 준비한다(도 1a 참조).

다음으로, 상기 몰드(10)를 상기 기판의 수지 절연층(11)에 압착시킨 후(도 1b 참조), 상기 기판으로부터 몰드(10)를 분리하여 기판의 수지 절연층(11)에 몰드(10)의 구조물에 대응하는, 원하는 형상의 비아(13) 및 미세 패턴(14)을 각인시킨다(도 1c 참조).

다음으로, 상기 비아(13) 및 미세 패턴(14)이 각인된 수지 절연층(11)을 전도성 금속으로 도금(15)하여 상기 비아홀(13) 및 미세 패턴(14)의 내벽을 충전시킨다(도 1d 참조).

마지막으로, 통상의 표면연마 공정을 통해서 연마기(16)로 연마하여 표면을 평탄화시키는 동시에, 수지 절연층(11) 상에 형성된 도금층(15)을 제거하여 회로간의 전기적 접속을 위한 비아 및 회로 패턴을 형성시킨다.

이와 같은 방법으로 수지 절연층(11)에 미세 패턴을 형성할 경우에는 앞서 설명한 포토 레지스트 패턴 형성 방법에 비해서 적은 비용으로 대량 생산이 용이하다는 장점을 갖는다.

그러나, 상술한 종래기술에 따른 임프린트 기술을 인쇄회로기판의 회로 및 비아 형성에 응용하는 경우, 점도가 큰 수지를 임프린트하기 위해서는 고압의 가압력이 필요하기 때문에 몰드에 가해지는 응력(stress)으로 인하여 고가인 몰드의 수명이 짧아지게 된다. 또한, 인쇄회로기판의 경우 반도체와 달리 기판의 사이즈가 대략 400×510mm 정도로 매우 크고, 패턴의 정밀도는  $\mu\text{m}$  차수로 반도체에서 요구하는 수준보다는 낮다. 따라서, 비아 및 패턴의 사이즈가 상대적으로 크기 때문에 반복 사용시 몰드의 내구성에 문제가 생기는 단점이 있다. 뿐만 아니라, 대 면적의 몰드를 이용하여 임프린트를 하는 경우 금형의 요철부분에 공기가 트랩됨으로써 생기는 불량률이 가장 큰 불량요인으로 작용한다. 이 경우 성형과정 자체를 진공의 챔버 속에서 진행하게 되면 에어 트랩 문제를 해결할 수 있으나 공정시간이 길어지고 설비투자비가 많이 드는 등 생산성/비용 측면에서 불리한 단점이 있다.

### 발명이 이루고자 하는 기술적 과제

이에 본 발명에서는 상기와 같은 문제점을 해결하기 위하여 광범위한 연구를 거듭한 결과, 소정 형상의 구조물이 형성된 몰드를 수지층에 직접 가압하여 전사하는 통상의 임프린트법과는 달리, 몰드의 구조물 상에 액상 수지를 도포하여 반경화 상태를 거친 후 전도성 금속을 적층함으로써 몰드에 가해지는 응력을 원천적으로 제거하여 가압 공정에 따른 문제점을 해결할 수 있었다. 또한, 액상의 수지를 도포함으로써 기존의 수지시트와 금형 사이에서 발생하였던 에어 트랩 문제를 해결할 수 있었다. 즉, 점도가 낮은 액상의 수지를 사용함으로써 몰드에 대한 수지의 웨팅(wetting) 특성을 개선하고 에어의 이동도를 높임으로써 에어 트랩 문제를 획기적으로 개선할 수 있었고, 본 발명은 이에 기초하여 완성되었다.

따라서, 본 발명의 목적은 경제적이고 효율적인 공정을 통해서 고밀도 배선기판에 대응 가능한 미세 패턴을 고신뢰도로 구현할 수 있는 임프린트법을 이용한 고분해능 인쇄회로기판의 제조방법을 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명에 따른 임프린트 방법을 이용한 인쇄회로기판의 제조방법은:

- (a) 형성하고자 하는 복수의 비아(via) 및 패턴에 대응되는 구조물이 형성된 몰드를 제공하는 단계;
- (b) 상기 구조물이 형성되어 있는 몰드에 액상 수지를 도포한 후 반경화시키는 단계;
- (c) 상기 반경화된 수지층 상에 전도성 금속층을 적층시키는 단계;
- (d) 상기 몰드를 상기 수지층으로부터 분리하여 몰드의 구조물에 대응하는 복수의 비아 및 패턴이 각인된 수지층을 얻는 단계;
- (e) 상기 수지층을 전도성 금속으로 도금하여 상기 복수의 비아홀 및 패턴의 내벽을 충전시키는 단계; 및
- (f) 상기 수지층 상에 형성된 도금층을 표면연마하여 회로간의 전기적 접속을 위한 비아 및 회로 패턴을 형성시키는 단계;

를 포함하는 것을 특징으로 한다.

또한, 상기 방법은 상기 액상 수지를 도포하기 전에 상기 몰드에 형성되어 있는 구조물 상에 이형제를 도포하는 단계를 더욱 포함하는 것을 특징으로 한다.

여기서, 상기 비아 또는 패턴에 대응되는 구조물의 크기는 0.1~50 $\mu\text{m}$ 이다.

상기 몰드는 반도체, 세라믹, 금속, 폴리머, SiO<sub>2</sub>, 석영(quartz), 유리 및 이들의 조합으로 이루어진 군으로부터 선택된 물질로 형성된다.

한편, 상기 수지는 액적도포법, 스프레이법 또는 스펀코팅법을 통해서 도포되는데, 이때 상기 수지는 상기 몰드의 구조물 중 비아에 대응되는 구조물과 적어도 같은 두께를 갖도록 도포되며, 상기 수지가 상기 비아에 대응되는 구조물의 두께보다 두껍게 도포되는 경우, 수지층의 상단을 제거하여 상기 비아에 대응되는 구조물의 표면이 노출되도록 한다.

**발명의 구성 및 작용**

이하, 본 발명을 첨부된 도면을 참조하여 좀 더 구체적으로 살펴보면 다음과 같다.

전술한 바와 같이, 본 발명에서는 몰드의 구조물 상에 액상 수지를 도포하여 반경화 상태를 거친 후 전도성 금속을 적층하여 몰드에 가해지는 응력을 원천적으로 제거함으로써 임프린트법을 이용하여 경제적이고 효율적인 공정을 통해서 고밀도 고신뢰성을 갖는 고분해능 인쇄회로기판을 제조하는 방법이 제공된다.

도 1a 내지 1e에서 설명한 바와 같이, 종래의 임프린트 방식에 따라 정밀한 몰드를 반경화가 이루어진 수지 절연층, 또는 전도성 기판 상에 적층되어 있는 수지 절연층 상에 직접 압력을 가하여 비아 및 배선을 성형하는 경우, 몰드에 가해지는 응력으로 인하여 고가인 몰드의 수명이 짧아지게 된다.

이에 본 발명에서는 다음과 같이 액상의 수지를 몰드에 도포한 후 반경화상태에서 전도성 금속층을 적층함으로써 몰드에 가해지는 응력을 원천적으로 제거한다.

따라서, 본 발명에 따른 임프린트 방식을 기판제작 공정에 적용하는 경우, 기존의 리소그래피 공정에 비하여 공정을 대폭 단축하고 공정비용을 절감할 수 있을 뿐만 아니라, 기존의 임프린트 방식을 기판제작 공정에 적용하는 경우에 비하여 몰드의 수명을 단축시키지 않고도 보다 경제적이고 효율적인 공정을 통해서 고밀도 배선기판에 대응 가능한 미세 패턴을 구현할 수 있다.

본 발명에 따른 임프린트법을 이용한 인쇄회로기판의 제조과정을 도 2a 내지 2f를 참조하여 간략하게 살펴보면 다음과 같다.

우선, 형성하고자 하는 복수의 비아 및 패턴에 대응되는 구조물이 형성된 몰드(20)를 제작한다(도 2a 참조).

본 발명에 따르면, 몰드(20)의 가압과정이 생략되기 때문에, 기존의 임프린트법에 적용되는 몰드의 경우 가압공정에서의 응력에 대한 내성이 요구되므로 강도가 높은 재질로 한정되는 것과는 달리, 본 발명에서 사용되는 몰드(20)의 재질은 특별히 한정되지 않는다. 예를 들어, 상기 몰드(20)는 투명몰드와 불투명몰드로 구분할 수 있으며, 투명몰드의 경우 SiO<sub>2</sub>, 석영(quartz), 유리, 폴리머 등을 사용하여 UV가 투과될 수 있는 재질을 이용하는 경우이며, 불투명몰드의 경우 반도체, 세라믹, 금속, 폴리머 및 이들의 조합으로 이루어진 군으로부터 선택된 물질로 형성된다.

상기 몰드(20)의 제작방법은 판재(plate) 형태의 소재 한 쪽 표면에 형상 가공공정을 통해서 각 구조물을 각인하여 제작하거나 또는 별개의 구조물들을 각각 제작하여 판재 형태의 소재에 부착하여 형성하는 등, 당해분야에 공지된 공정이라면 특별히 한정하지 않고 적용할 수 있다.

상기 형상 가공공정으로는 특별히 한정되는 것은 아니지만, 전자빔 리소그래피, 포토-리소그래피, 다이싱(dicing), 레이저(laser), RIE(reactive Ion Etching) 공정 또는 식각(etching) 공정 등이 이용될 수 있다

한편, 상기 비아 또는 패턴에 대응되는 구조물의 크기는 특별히 한정되는 것은 아니지만, 인쇄회로기판의 비아 및 미세 패턴에 적용 가능하도록 0.1~50 $\mu$ m인 것이 좋다.

상기 몰드(20)에 형성되어 있는 구조물에는 선택적으로 이형제를 도포함으로써, 후속공정에서 수지층(21)으로부터 몰드(20)를 분리하는 경우, 고형화된 수지층(21)의 손상 없이 보다 용이하게 분리할 수 있다. 상기 이형제는 사용되는 몰드(20) 및 수지층(21)의 소재에 따라 적절히 선택될 수 있다.

예를 들어, 상기 이형성을 부여하기 위한 이형제로서 열경화성 실리콘 수지를 사용할 수 있다.

상기 열경화성 실리콘 수지는 축합반응 또는 부가반응에 의하거나 자외선 또는 열에 의한 경화에 의해 제조된 수지 등을 용도에 맞게 선택하여 단일 또는 조합하여 사용할 수 있지만, 특별히 이에 한정하지 않고 당업계에서 통상적으로 사용되는 것이라면 모두 사용할 수 있다.

예를 들어, 상기 축합반응형은 말단에 실라놀기를 함유하는 폴리실록산을 베이스 폴리머로 하여 가교제로서 폴리메틸하이드로젠 실록산을 배합하여 유기주석아실레이트 촉매하에서 축합반응시키는 것으로서, 반응기구는 다음에 나타낸 것과 같이 가열에 의해 탈수소 축합을 일으켜 실록산 결합을 형성하는 것이다. 일례로는, 말단에 -OH기를 가지고 있는 폴리디메틸실록산과 말단에 -H기를 가지는 폴리디메틸실록산(히드로젠 실란)을 유기주석촉매(예컨대, 유기주석 아실레이트의 촉매)의 존재하에서 축합반응시켜 3차원 가교구조를 형성한 수지를 들 수 있다.

한편, 부가반응계의 실리콘수지로는, 예를 들어, 말단에 비닐기를 도입시킨 폴리디메틸실록산과 히드로젠 실란을 백금촉매의 존재하에 반응시켜 3차원 가교구조를 형성한 수지를 들 수 있다.

또한, 자외선경화계의 실리콘수지의 가장 기본적인 예로는, 통상의 실리콘 고무 가교반응과 동일한 라디칼 반응에 의해 수득한 수지, 아크릴기를 도입시킴으로써 광경화 반응시켜 수득한 수지, 자외선으로 오염염을 분해하여 강산을 발생시키고 상기 강산에 의해 에폭시기를 분열시켜 가교된 수지, 그리고 비닐실록산과 티올의 부가반응에 의해 가교된 수지 등을 들 수 있다. 전자선은 자외선보다도 강한 에너지를 가지고 있기 때문에 자외선 경화에서처럼 개시제를 사용하지 않고 라디칼에 의해 가교반응이 일어난다. 이러한 열경화성 실리콘수지는 약 50 내지 200,000, 바람직하게는 약 1000 내지 100,000의 중합도를 갖는 것이 전형적이다.

다음으로, 상기 구조물이 형성되어 있는 몰드(20)에 액상 수지(21)를 도포한 후 반경화시킨다(도 2b 참조).

상기 액상 수지(21)는 기관 소재로 사용가능한 것이라면 특별히 한정되는 것은 아니지만, 예를 들어 비닐에스테르 수지, 불포화폴리에스테르 수지, 말레이미드(maleimide) 수지, 폴리페놀의 폴리시아네이트(polycyanate) 수지, 에폭시 수지, 페놀 수지, 비닐벤질 화합물 등의 열경화성 수지나, 예를 들어 폴리에테르이미드, 폴리에테르술폰(polyether sulfone), 폴리아세탈(polyacetal), 디시클로펜타디엔(dicyclopentadiene)계 수지 등의 열가소성 수지를 사용할 수 있다.

상기 액상 수지(21)의 도포는 스핀 코팅(spin coating) 방식, 액적 도포(droplet dispensing) 방식 또는 분사(spray) 방식 등으로 수행될 수 있다.

여기서, 상기 수지(21)는 상기 몰드(20)의 구조물 중 비아에 대응되는 구조물과 동일한 두께를 갖도록 도포되는 것이 가장 이상적이지만, 그 이상의 두께로 도포될 수도 있다. 다만, 상기 수지(21)가 비아에 대응되는 구조물의 두께보다 두껍게 도포되는 경우, 수지층(21)의 상단을 제거하여 상기 비아에 대응되는 구조물의 표면을 노출시킴으로써 후속 공정인 전도성 금속층(22) 적층 공정시 상기 비아에 대응되는 구조물의 상단 표면과 전도성 금속층(22)이 직접 접할 수 있도록 한다. 이때, 상기 상단 수지층(21)의 제거방법으로는 레이저 또는 식각 공정 등이 이용될 수 있다.

한편, 상기 액상수지의 반경화과정은 수지의 종류에 따라 달라지는데, 통상 UV를 이용한 경화 혹은 열을 이용한 경화로 나누어 볼 수 있다. UV 경화의 경우 UV 챔버 속에서 수분 정도 UV를 조사시킴으로써 경화가 가능하여 공정시간이 단축되는 장점이 있으나 가격이 고가이다. 반면, 열경화형 수지의 경우 통상 100~200℃ 정도의 온도에서 챔버에서 30분 내지 1시간 정도 경화과정을 거치게 된다. 본 발명의 경우, 후속 공정으로서 금속층과의 최종접합의 공정이 한번 더 있으므로 통상 반경화라고 하는 B-스테이지(B-stage)에서의 경화만을 행하게 된다.

다음으로, 상기 반경화된 수지층(21) 상에 당업계에 공지된 통상의 공정에 따라 전도성 금속층(22)을 적층시킨다(도 2c 참조). 상기 금속층(22)의 적층과정은 통상 100~300℃의 온도챔버 속에서 압력을 가하면서 적층을 실시한다. 경우에 따라서는 적층공정시 진공을 가하는 경우도 있다.

상기 금속은 특별히 한정되는 것은 아니지만, 통상적으로 구리, 니켈, 알루미늄 등이 사용된다.

다음으로, 상기 몰드(20)를 상기 수지층(21)으로부터 분리, 제거하여 몰드(20)의 구조물에 대응하는 비아(23) 및 회로 패턴(24)이 각인되어 형성된 수지층(21)을 얻는다(도 2d 참조).

다음으로, 상기 수지층(21)을 전도성 금속으로 도금(25)하여 상기 비아(23) 및 회로 패턴(24)의 내벽을 충전시킨다(도 2e 참조).

상기 도금에 사용되는 금속은 특별히 한정되는 것은 아니지만, 통상적으로 구리, 니켈, 알루미늄 등이 사용된다.

마지막으로, 상기 수지층(21) 상에 형성된 도금층(25)을 연마기(26)를 사용하여 연마하여 표면을 평탄화시키는 동시에 회로간의 전기적 접촉을 위한 비아 및 회로 패턴을 형성시킨다.

이때, 상기 표면 연마과정은 통상의 반도체 디바이스의 평탄화 기술에서 사용되는, 기계적 연마 및 화학적 반응작용을 통해 웨이퍼 표면의 다수 배선층간 단차를 제거하기 위한 기계-화학적 연마(CMP ; Chemical Mechanical Polishing) 공정 등에 의해 구현될 수 있다.

상기 CMP 공정은 이러한 반도체 디바이스의 고밀도화, 미세화 및 배선구조의 다층화에 따라 웨이퍼 표면상에 증가된 표면 단차를 제거하기 위한 고정밀성을 요하는 평탄화 방법 중의 하나로서, 근자에 개발된 보편화된 미세 가공기술이다.

CMP 기술의 원리는 웨이퍼를 연마패드(탄성 연마포) 표면 위에 접촉되도록 한 상태에서 연마액(Slurry)을 공급하여 웨이퍼 표면을 화학적으로 반응시키면서 상기 연마패드가 부착된 플레튼(연마테이블)(Platen, Polishing Table)과 웨이퍼를 고정하는 웨이퍼캐리어(연마헤드)(Wafer Carrier, Polishing Head)를 상대 운동시켜 물리적으로 웨이퍼 표면의 요철부분을 평탄화하는 것이다. 즉, 상기 플레튼이 단순 회전운동을 하고, 웨이퍼캐리어가 동시에 회전 및 요동운동을 하면서 일정한 압력으로 가압됨에 따라 상기 웨이퍼가 그 연마패드와 슬러리에 의해서 연마되는 것이며, 본 연마공정을 진행함에 있어서는 연마속도(Removal Rate)와 평탄화도(Nonuniformity Rate)가 중요하게 작용하며, 이것들은 장비의 공정조건, 슬러리 종류 및 패드 종류 등에 의해 결정된다.

이상 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명에 따른 임프린트 방법을 이용한 인쇄회로기판의 제조방법은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

### 발명의 효과

전술한 바와 같이, 본 발명에 따르면, 기존의 리소그래피 공정에 비하여 공정을 대폭 단축시킬 수 있고 공정비용을 절감할 수 있다. 뿐만 아니라, 고밀도 배선기판에 대응 가능한 미세 패턴을 고신뢰도로 구현할 수 있어 차세대 기판제조 공정으로 기대된다.

또한, 기존의 임프린트 방식의 단점인 가압공정을 생략함으로써 몰드의 수명을 단축시키지 않고도 보다 경제적이고 효율적인 공정을 통해서 고밀도 배선기판에 대응 가능한 미세 패턴을 구현할 수 있다.

또한, 액상의 수지를 사용함으로써 기존 임프린트 공정의 고질적 문제였던 에어 트랩의 문제를 해결하여 생산성 및 수율을 향상시킬 수 있으며, 에어 트랩을 제거하기 위한 진공장치 등을 제거함으로써 공정시간을 단축하여 생산성을 향상시킬 수 있고 설비투자비도 절감할 수 있어 기판공정에 적용 가능한 가격 경쟁력을 확보할 수 있다. 아울러, 에어 트랩이 없는 고품질의 미세 패턴을 고효율로 구현할 수 있다.

본 발명의 단순한 변형 내지 변경은 모두 본 발명의 영역에 속하는 것으로 본 발명의 구체적인 보호 범위는 첨부된 특허청구범위에 의하여 명확해질 것이다.

### (57) 청구의 범위

#### 청구항 1.

- (a) 형성하고자 하는 복수의 비아(via) 및 패턴에 대응되는 구조물이 형성된 몰드를 제공하는 단계;
- (b) 상기 구조물이 형성되어 있는 몰드에 액상 수지를 도포한 후 반경화시키는 단계;
- (c) 상기 반경화된 수지층 상에 전도성 금속층을 적층시키는 단계;

- (d) 상기 몰드를 상기 수지층으로부터 분리하여 몰드의 구조물에 대응하는 복수의 비아 및 패턴이 각인된 수지층을 얻는 단계;
  - (e) 상기 수지층을 전도성 금속으로 도금하여 상기 복수의 비아홀 및 패턴의 내벽을 충전시키는 단계; 및
  - (f) 상기 수지층 상에 형성된 도금층을 표면연마하여 회로간의 전기적 접속을 위한 비아 및 회로 패턴을 형성시키는 단계;
- 를 포함하는 것을 특징으로 하는 임프린트 방법을 이용한 인쇄회로기판의 제조방법.

### 청구항 2.

제1항에 있어서, 상기 방법은 상기 액상 수지를 도포하기 전에 상기 몰드에 형성되어 있는 구조물 상에 이형제를 도포하는 단계를 더욱 포함하는 것을 특징으로 하는 임프린트 방법을 이용한 인쇄회로기판의 제조방법.

### 청구항 3.

제1항에 있어서, 상기 비아 또는 패턴에 대응되는 구조물의 크기는 0.1~50 $\mu$ m인 것을 특징으로 하는 임프린트 방법을 이용한 인쇄회로기판의 제조방법.

### 청구항 4.

제1항에 있어서, 상기 몰드는 반도체, 세라믹, 금속, 폴리머, SiO<sub>2</sub>, 석영(quartz), 유리 및 이들의 조합으로 이루어진 군으로부터 선택된 물질로 형성되는 것을 특징으로 하는 임프린트 방법을 이용한 인쇄회로기판의 제조방법.

### 청구항 5.

제1항에 있어서, 상기 수지는 액적도포법, 스프레이법 또는 스핀코팅법을 통해서 도포되는 것을 특징으로 하는 임프린트 방법을 이용한 인쇄회로기판의 제조방법.

### 청구항 6.

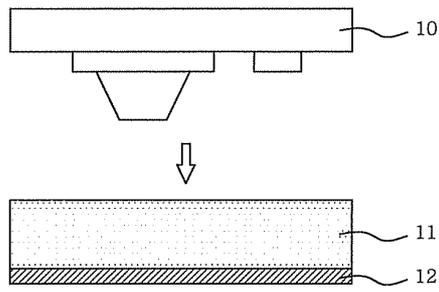
제1항 또는 제5항에 있어서, 상기 수지는 상기 몰드의 구조물 중 비아에 대응되는 구조물과 적어도 같은 두께를 갖도록 도포되는 것을 특징으로 하는 임프린트 방법을 이용한 인쇄회로기판의 제조방법.

### 청구항 7.

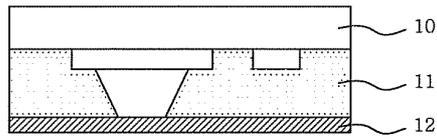
제6항에 있어서, 상기 수지가 상기 비아에 대응되는 구조물의 두께보다 두껍게 도포되는 경우, 수지층의 상단을 제거하여 상기 비아에 대응되는 구조물의 표면이 노출되도록 하는 것을 특징으로 하는 임프린트 방법을 이용한 인쇄회로기판의 제조방법.

도면

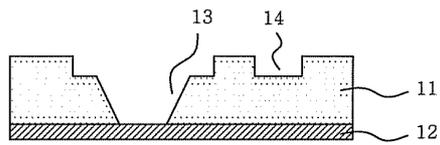
도면1a



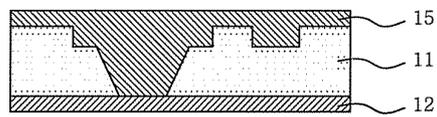
도면1b



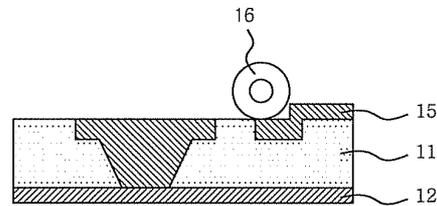
도면1c



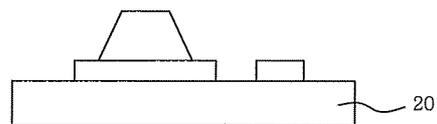
도면1d



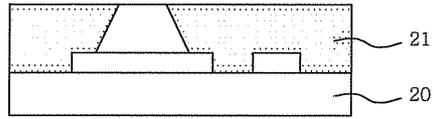
도면1e



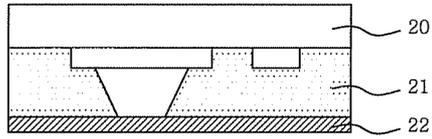
도면2a



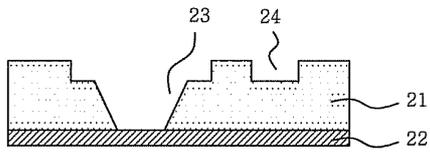
도면2b



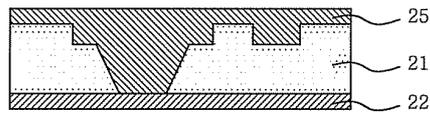
도면2c



도면2d



도면2e



도면2f

