



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년09월02일
(11) 등록번호 10-1549797
(24) 등록일자 2015년08월27일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 27/144 (2006.01)
H01L 27/32 (2006.01)
(21) 출원번호 10-2014-7001825
(22) 출원일자(국제) 2012년06월19일
심사청구일자 2014년07월01일
(85) 번역문제출일자 2014년01월22일
(65) 공개번호 10-2014-0041795
(43) 공개일자 2014년04월04일
(86) 국제출원번호 PCT/JP2012/065616
(87) 국제공개번호 WO 2013/018448
국제공개일자 2013년02월07일
(30) 우선권주장
JP-P-2011-167093 2011년07월29일 일본(JP)
(56) 선행기술조사문헌
JP2010287735 A
JP2011124360 A
JP2011146697 A
KR1020110051799 A

(73) 특허권자
후지필름 가부시킴가이샤
일본 도쿄도 미나토쿠 니시 아자부 2초메 26방 30고
(72) 발명자
오노 마사시
일본 가나가와켄 아시가라카미군 가이세이마치 우시지마 577번치 후지필름 가부시킴가이샤 나이
다카타 마사히로
일본 가나가와켄 아시가라카미군 가이세이마치 우시지마 577번치 후지필름 가부시킴가이샤 나이
(뒷면에 계속)
(74) 대리인
특허법인코리어나

전체 청구항 수 : 총 30 항

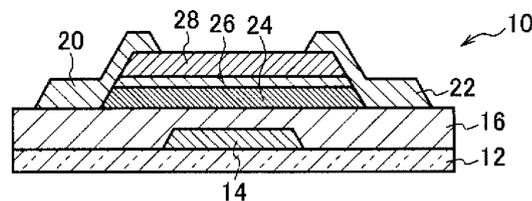
심사관 : 최혜미

(54) 발명의 명칭 **전계 효과형 트랜지스터의 제조 방법, 그리고 전계 효과형 트랜지스터, 표시 장치, 이미지 센서 및 X 선 센서**

(57) 요약

광 조사시의 TFT 특성을 안정화시킨다. 게이트 전극(14) 상에 배치된 게이트 절연층(16) 상에 제 1 산화물 반도체막(24)을 성막하는 제 1 공정과, 제 1 산화물 반도체막(24)과 카티온 조성이 상이하고, 또한 제 1 산화물 반도체막(24)보다 낮은 전기 전도도를 갖는 제 2 산화물 반도체막(26)을 성막하는 제 2 공정과, 산화성 분위기하 300℃ 초과에서 열처리하는 제 3 공정과, 제 1 산화물 반도체막(24)과 카티온 조성이 상이하고, 또한 제 1 산화물 반도체막(24)보다 낮은 전기 전도도를 갖는 제 3 산화물 반도체막(28)을 성막하는 제 4 공정과, 산화성 분위기하 300℃ 초과에서 열처리하는 제 5 공정과, 제 3 산화물 반도체막(28) 상에 소스 전극(20) 및 드레인 전극(22)을 형성하는 전극 형성 공정을 갖고 있다.

대표도 - 도2h



(72) 발명자

모치즈키 후미히코

일본 가나가와켄 아시가라카미군 가이세이마치 우
시지마 577번지 후지필름 가부시키키가이샤 나이

다나카 아츠시

일본 가나가와켄 아시가라카미군 가이세이마치 우
시지마 577번지 후지필름 가부시키키가이샤 나이

스즈키 마사유키

일본 가나가와켄 아시가라카미군 가이세이마치 우
시지마 577번지 후지필름 가부시키키가이샤 나이

특허청구의 범위

청구항 1

게이트 전극 상에 배치된 게이트 절연층 상에 제 1 산화물 반도체막을 성막하는 제 1 공정과,
 상기 제 1 공정 후에, 상기 제 1 산화물 반도체막 상에 상기 제 1 산화물 반도체막과 카티온 조성이 상이하고,
 또한 상기 제 1 산화물 반도체막보다 낮은 전기 전도도를 갖는 제 2 산화물 반도체막을 성막하는 제 2 공정과,
 상기 제 2 공정 후에, 산화성 분위기하 300 ℃ 초과에서 열처리하는 제 3 공정과,
 상기 제 3 공정 후에, 상기 제 2 산화물 반도체막 상에 상기 제 1 산화물 반도체막과 카티온 조성이 상이하고,
 또한 상기 제 1 산화물 반도체막보다 낮은 전기 전도도를 갖는 제 3 산화물 반도체막을 성막하는 제 4 공정과,
 상기 제 4 공정 후에, 산화성 분위기하에서 열처리하는 제 5 공정과,
 상기 제 4 공정과 상기 제 5 공정 사이 또는 상기 제 5 공정 후에, 상기 제 3 산화물 반도체막 상에 소스 전극
 및 드레인 전극을 형성하는 전극 형성 공정을 갖는, 전계 효과형 트랜지스터의 제조 방법.

청구항 2

제 1 항에 있어서,
 상기 제 2 공정과 상기 제 3 공정시에 상기 제 2 산화물 반도체막의 두께를 Z (nm) 로 하고, 상기 제 3 공정에서
 열처리 온도를 T (℃) 로 하고, 상기 제 2 산화물 반도체막 및 상기 제 1 산화물 반도체막 중으로의 산소
 의 확산 거리를 L (nm) 로 했을 때, $0 < Z < L = 8 \times 10^{-6} \times T^3 - 0.0092 \times T^2 + 3.6 \times T - 468 \pm 0.1$ 의
 관계식을 만족하도록 상기 제 2 산화물 반도체막의 두께와 상기 열처리 온도를 조정하는, 전계 효과형 트랜지스
 터의 제조 방법.

청구항 3

제 2 항에 있어서,
 상기 제 2 공정과 상기 제 3 공정시에, $Z \leq L - 3.0$ 의 관계식을 만족하도록 상기 제 2 산화물 반도체막의 두
 께와 상기 열처리 온도를 조정하는, 전계 효과형 트랜지스터의 제조 방법.

청구항 4

제 2 항에 있어서,
 상기 제 2 공정과 상기 제 3 공정시에, $L - 15.0 \leq Z$ 의 관계식을 만족하도록 상기 제 2 산화물 반도체막의 두
 께와 상기 열처리 온도를 조정하는, 전계 효과형 트랜지스터의 제조 방법.

청구항 5

제 2 항에 있어서,
 상기 제 2 공정과 상기 제 3 공정시에, $L - 11.0 \leq Z \leq L - 8.0$ 의 관계식을 만족하도록 상기 제 2 산화물 반
 도체막의 두께와 상기 열처리 온도를 조정하는, 전계 효과형 트랜지스터의 제조 방법.

청구항 6

제 1 항에 있어서,
 상기 제 4 공정에서는, 상기 제 3 산화물 반도체막의 카티온 조성비가, 상기 제 2 산화물 반도체막의 카티온 조
 성비와 동일하게 되도록 성막하는, 전계 효과형 트랜지스터의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 제 2 공정과 상기 제 4 공정시, 상기 제 2 산화물 반도체막과 상기 제 3 산화물 반도체막의 두께의 합계가 10 nm 초과 70 nm 미만이 되도록 조정하는, 전계 효과형 트랜지스터의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 제 1 산화물 반도체막과, 상기 제 2 산화물 반도체막과, 상기 제 3 산화물 반도체막은, 각각 In, Ga 및 Zn 중 적어도 1 종을 함유하는, 전계 효과형 트랜지스터의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 제 1 산화물 반도체막은 In 을 함유하고, 상기 제 1 산화물 반도체막의 In 조성 비율이 상기 제 2 산화물 반도체막의 In 조성 비율보다 높은, 전계 효과형 트랜지스터의 제조 방법.

청구항 10

제 8 항에 있어서,

상기 제 2 산화물 반도체막은 Ga 를 함유하고, 상기 제 2 산화물 반도체막의 Ga 조성 비율이 상기 제 1 산화물 반도체막의 Ga 조성 비율보다 높은, 전계 효과형 트랜지스터의 제조 방법.

청구항 11

제 8 항에 있어서,

상기 제 1 산화물 반도체막과, 상기 제 2 산화물 반도체막과, 상기 제 3 산화물 반도체막은 각각 비정질인, 전계 효과형 트랜지스터의 제조 방법.

청구항 12

제 8 항에 있어서,

상기 제 3 공정 및 상기 제 5 공정에서의 열처리 온도를 600 °C 미만으로 조정하는, 전계 효과형 트랜지스터의 제조 방법.

청구항 13

제 1 항에 있어서,

상기 제 1 공정에서는 상기 제 1 산화물 반도체막의 두께가 10 nm 미만이 되도록 성막하는, 전계 효과형 트랜지스터의 제조 방법.

청구항 14

제 1 항에 있어서,

상기 제 1 산화물 반도체막의 조성은 $In(a)Ga(b)Zn(c)O(d)$ ($a, b, c, d > 0$) 로 나타내어지는, 전계 효과형 트랜지스터의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 제 1 산화물 반도체막의 조성은 $c \leq 3/5, b > 0, b \geq 3a/7 - 3/14, b \geq 9a/5 - 53/50, b \leq -8a/5 + 33/25, b \leq 91a/74 - 17/40$ (단, $a + b + c = 1$ 로 한다) 으로 나타내어지는 범위 내의 조성인, 전계 효과형 트랜지스터의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 제 1 산화물 반도체막의 조성은 $b \leq 17a/23 - 28/115$, $b \geq 3a/37$, $b \geq 9a/5 - 53/50$, $b \leq 1/5$ (단, $a + b + c = 1$ 로 한다) 로 나타내어지는 범위 내의 조성인, 전계 효과형 트랜지스터의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 제 1 산화물 반도체막의 조성은 $b \leq 7a/13 - 11/65$, $b \geq 3a/37$, $b \leq -2a + 11/10$ (단, $a + b + c = 1$ 로 한다) 으로 나타내어지는 범위 내의 조성인, 전계 효과형 트랜지스터의 제조 방법.

청구항 18

제 1 항에 있어서,

상기 제 1 산화물 반도체막의 조성은 $\text{In}(x)\text{Zn}(1-x)\text{O}(y)$ ($y > 0$, $0 < x < 1$) 로 나타내어지는, 전계 효과형 트랜지스터의 제조 방법.

청구항 19

제 18 항에 있어서,

상기 제 1 산화물 반도체막의 조성은 $0.4 \leq x \leq 0.75$ 로 나타내어지는 범위 내의 조성인, 전계 효과형 트랜지스터의 제조 방법.

청구항 20

제 19 항에 있어서,

상기 제 1 산화물 반도체막의 조성은 $0.4 \leq x \leq 0.5$ 로 나타내어지는 범위 내의 조성인, 전계 효과형 트랜지스터의 제조 방법.

청구항 21

제 1 항에 있어서,

상기 제 2 산화물 반도체막의 조성은 $\text{In}(e)\text{Ga}(f)\text{Zn}(g)\text{O}(h)$ ($e, f, g, h > 0$) 로 나타내어지는, 전계 효과형 트랜지스터의 제조 방법.

청구항 22

제 21 항에 있어서,

상기 제 2 산화물 반도체막의 조성은 $0.250 < f/(e + f) \leq 0.875$ 로 나타내어지는 범위 내의 조성인, 전계 효과형 트랜지스터의 제조 방법.

청구항 23

제 1 항에 있어서,

상기 제 1 공정과 상기 제 2 공정과 상기 제 4 공정에서는 각각 플라즈마를 발생시키는 성막법을 사용하여 성막하는, 전계 효과형 트랜지스터의 제조 방법.

청구항 24

제 1 항에 있어서,

상기 5 공정은 상기 전극 형성 공정 후에 실시하는, 전계 효과형 트랜지스터의 제조 방법.

청구항 25

게이트 전극 상에 게이트 절연층을 갖고, 상기 게이트 절연층 상에 전자가 주행하는 채널 적층막이 구성되며, 상기 채널 적층막 상에 소스 전극, 및 드레인 전극이 형성되는 보텀 게이트형이며 톱 콘택트형의 전계 효과형 트랜지스터에 있어서,

상기 채널 적층막이 각각 In, Ga, Zn 을 함유하는 산화물 반도체층이고, 상기 게이트 절연막층으로부터 제 1, 제 2, 제 3 산화물 반도체막으로 구성되며, 상기 제 1 산화물 반도체막에 있어서의 In 함유율이 상기 제 2, 제 3 산화물 반도체막보다 높고, 또한 상기 제 2 산화물 반도체층에 있어서의 격자 결함 밀도가 상기 제 3 산화물 반도체층의 격자 결함 밀도에 대해 작은, 전계 효과형 트랜지스터.

청구항 26

게이트 전극 상에 게이트 절연층을 갖고, 상기 게이트 절연층 상에 전자가 주행하는 채널 적층막이 구성되며, 상기 채널 적층막 상에 소스 전극, 및 드레인 전극이 형성되는 보텀 게이트형이며 튜 콘택트형의 전계 효과형 트랜지스터에 있어서,

상기 채널 적층막이 각각 In, Ga, Zn 을 함유하는 산화물 반도체층이고, 상기 게이트 절연막층으로부터 제 1, 제 2, 제 3 산화물 반도체막으로 구성되며, 상기 제 1 산화물 반도체막에 있어서의 In 함유율이 상기 제 2, 제 3 산화물 반도체막보다 높고, 또한 상기 제 2 산화물 반도체층 중의 산소 함유 밀도가 상기 제 3 산화물 반도체층의 산소 함유 밀도에 대해 크게 되어 있는, 전계 효과형 트랜지스터.

청구항 27

제 1 항 내지 제 24 항 중 어느 한 항에 기재된 전계 효과형 트랜지스터의 제조 방법에 의해 제조된 전계 효과형 트랜지스터를 구비한 것을 특징으로 하는 표시 장치.

청구항 28

기판과,

상기 기판 상에 배치되고, 제 1 항 내지 제 24 항 중 어느 한 항에 기재된 전계 효과형 트랜지스터의 제조 방법에 의해 제조된 전계 효과형 트랜지스터와,

상기 전계 효과형 트랜지스터 상에서, 상기 전계 효과형 트랜지스터에 전기적으로 접속되어 있는 유기 전계 발광 소자를 구비하고,

상기 유기 전계 발광 소자로부터 발해지는 광이 상기 기판층으로부터 추출되는, 보텀 이미션형의 표시 장치.

청구항 29

제 1 항 내지 제 24 항 중 어느 한 항에 기재된 전계 효과형 트랜지스터의 제조 방법에 의해 제조된 전계 효과형 트랜지스터를 구비한 것을 특징으로 하는 이미지 센서.

청구항 30

제 1 항 내지 제 24 항 중 어느 한 항에 기재된 전계 효과형 트랜지스터의 제조 방법에 의해 제조된 전계 효과형 트랜지스터를 구비한 것을 특징으로 하는 X 선 센서.

명세서

기술분야

[0001] 본 발명은, 전계 효과형 트랜지스터의 제조 방법, 그리고 전계 효과형 트랜지스터, 표시 장치, 이미지 센서 및 X 선 센서에 관한 것이다.

배경 기술

[0002] 최근, 전계 효과형 트랜지스터는, 반도체 메모리용 집적 회로의 단위 소자나 고주파 신호 증폭 소자, 액정 구동용 소자 등에 사용되고 있으며, 특히 박막화한 것은 박막 트랜지스터 (TFT)로서 폭넓은 분야에서 사용되고 있다.

[0003] 전계 효과형 트랜지스터를 형성하는 반도체 채널층 (활성층)으로는, 종래부터 실리콘 반도체나 그 화합물이 많이 사용되고 있으며, 고속 동작이 필요한 고주파 증폭 소자, 집적 회로 등에는 단결정 실리콘, 또는 저속 동작으로 충분하지만, 디스플레이 용도 등 대면적화에 대한 대응이 요구되는 액정 구동 장치용으로는 아모르퍼스 실리콘이 사용되고 있지만, 대형화/고정세화를 위해 아모르퍼스 실리콘 성능을 증가하는 TFT 특성이 요구되고 있

다. 또, 최근 경량이면서 또한 구부러지는 플렉시블 디스플레이가 주목을 받고 있다. 플렉시블 디바이스에는 가요성이 높은 수지 기판이 주로 사용되고, 액정 디스플레이 프로세스(400 °C) 보다 저온 프로세스가 필요하다. 이와 같은 중, 아모르퍼스 실리콘보다 전기 특성이 양호하고, 또한 액정 프로세스, 또 저온 프로세스에서 제조 가능한 In-Ga-Zn-O 계 (이하 IGZO 라고 기재한다) 의 산화물 반도체가 도쿄 공업 대학 호소노들에 의해 발견되었다. 이 IGZO 는 차세대 디스플레이용 반도체 소자 재료로서 유망시되고 있으며, 전세계의 대학/메이커가 활발히 실용화를 위해 연구 개발을 실시하고 있다.

[0004] 그리고, 이와 같은 IGZO 등의 반도체막을 활성층으로서 사용한 전계 효과형 트랜지스터는, 청색 발광층을 갖는 유기 EL 표시 장치나 액정 표시 장치 등에 탑재되는 경우가 있다. 이 청색 발광층은 $\lambda = 450 \text{ nm}$ 정도의 피크를 갖는 브로드한 발광을 나타내지만, 그 광의 발광 스펙트럼의 끝부분은 420 nm 까지 계속되고 있는 것, 청색 컬러 필터는 400 nm 의 광을 70 % 정도는 통과시키는 것 등을 고려하면, 청색광을 받을 수 있는 전계 효과형 트랜지스터로서 450 nm 보다 작은 파장에서의 광 조사에 대한 특성 열화가 낮을 것이 요구된다. 만일 IGZO 의 광학 밴드 갭이 비교적 좁고, 그 영역에 광학 흡수를 갖는 경우에는, 트랜지스터의 임계값 시프트가 일어나 버린다는 문제가 생긴다.

[0005] 여기서, 특허문헌 1 (일본 공개특허공보 2010-67710호) 에는, 산화물 반도체로 이루어지는 활성층과, 활성층의 산화물 반도체보다 산소와의 결합력이 강한 원소종을 함유하는 산화물을 함유하고, 두께가 1 nm ~ 200 nm 인 중간층과, 활성층보다 전기 전도도가 낮은 저항층의 3 층 구조로 이루어지는 산화물 반도체층을 구비한 전계 효과형 트랜지스터의 제조 방법이 개시되어 있다. 또한, 이 제조 방법에 있어서는, 산화물 반도체층의 저항층을 형성한 후의 후처리로서 대기 중에서 열처리를 실시하는 것도 개시되어 있다.

[0006] 또, 특허문헌 2 (일본 공개특허공보 2010-258431호) 에는, 제 1 산화물 반도체막 상에 제 2 산화물 반도체막을 10 nm ~ 300 nm 의 두께가 되도록 성막한 후, 대기 분위기하 250 °C 이상 500 °C 이하에서 열처리를 실시하는 것이 개시되어 있다.

발명의 내용

해결하려는 과제

[0007] 그러나, 특허문헌 1 의 제조 방법에서는, 산화물 반도체층의 3 층 구조 중에서 전기 전도도가 높은 활성층 상에 중간층을 성막했을 때, 당해 성막에 의해 활성층의 노출면이 데미지를 받고, 결과, 광 조사시의 임계값 시프트 등을 좌우할 수 있는 표면 결함이 발생해 버리는 경우가 있다. 성막 중에서도, 생산성/배리어성의 관점에서 플라즈마를 발생시키는 스퍼터법이나 CVD 법을 사용하면, 그 플라즈마에 의해 활성층의 노출면이 특히 데미지를 받고, 결과, 광 조사시의 임계값 시프트가 악화되는 요인이 되는 표면 결함이 증대해 버린다. 이 표면 결함을 회복하려면, 특허문헌 1 에 기재되어 있는 바와 같은 제조 방법으로 산화물 반도체층의 저항층을 형성한 후의 열처리를 하는 것이 유효하다고도 생각할 수 있지만, 저항층을 형성한 후의 열처리에서는, 저항층의 두께분만큼 활성층에 산소가 도달하지 않게 되어, 플라즈마 데미지를 받은 활성층면의 표면 결함을 보전(補填) 할 수 없다. 또, 표면 결함을 보전할 수 없어도 열처리함으로써, 임계값 시프트 자체가 개선되는 것도 생각할 수 있지만, 저항층을 형성한 후의 열처리에서는 광 조사시의 임계값 시프트 자체도 개선되지 않는 것으로 상정된다.

[0008] 또, 특허문헌 2 의 제조 방법에서는, 제 2 산화물 반도체막을 성막한 후에 열처리를 실시하고 있지만, 산화물 반도체층이 3 층 구조가 아니고, 또한 제 1 산화물 반도체막은, 소스 전극 및 드레인 전극과 제 2 산화물 반도체막을 접속하는 버퍼 영역이 되는 것으로서, 활성층이 되는 영역은 제 2 산화물 반도체막이다. 따라서, 열처리 후, 활성층이 되는 영역의 제 2 산화물 반도체막 상에 보호층 등을 성막하면, 당해 성막에 의해 제 2 산화물 반도체막의 노출면이 데미지를 받고, 결과, 광 조사시의 임계값 시프트가 악화되는 요인이 되는 표면 결함이 발생해 버린다. 그리고, 제 2 산화물 반도체막 상에 보호층 등을 성막한 후에는, 발생한 표면 결함의 보전이나 광 조사시의 임계값 시프트 자체를 개선하는 대책을 실시하지 않았다.

[0009] 본 발명은 상기 사정을 감안하여 이루어진 것으로, 광 조사시의 TFT 특성을 안정화시키는 전계 효과형 트랜지스터의 제조 방법, 그리고 전계 효과형 트랜지스터, 표시 장치, 이미지 센서 및 X 선 센서를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0010] 본 발명의 상기 과정은 하기의 수단에 의해 해결되었다.
- [0011] <1> 게이트 전극 상에 배치된 게이트 절연층 상에 제 1 산화물 반도체막을 성막하는 제 1 공정과, 상기 제 1 공정 후에, 상기 제 1 산화물 반도체막 상에 상기 제 1 산화물 반도체막과 카티온 조성이 상이하고, 또한 상기 제 1 산화물 반도체막보다 낮은 전기 전도도를 갖는 제 2 산화물 반도체막을 성막하는 제 2 공정과, 상기 제 2 공정 후에, 산화성 분위기하 300 ℃ 초과에서 열처리하는 제 3 공정과, 상기 제 3 공정 후에, 상기 제 2 산화물 반도체막 상에 상기 제 1 산화물 반도체막과 카티온 조성이 상이하고, 또한 상기 제 1 산화물 반도체막보다 낮은 전기 전도도를 갖는 제 3 산화물 반도체막을 성막하는 제 4 공정과, 상기 제 4 공정 후에, 산화성 분위기하에서 열처리하는 제 5 공정과, 상기 제 4 공정과 상기 제 5 공정 사이 또는 상기 제 5 공정 후에, 상기 제 3 산화물 반도체막 상에 소스 전극 및 드레인 전극을 형성하는 전극 형성 공정을 갖는 전계 효과형 트랜지스터의 제조 방법.
- [0012] 또한, 상기 제 3 공정의 열처리는 복수회 실시하는 것도 포함한다.
- [0013] <2> 상기 제 2 공정과 상기 제 3 공정시에 상기 제 2 산화물 반도체막의 두께를 Z (nm) 로 하고, 상기 제 3 공정에서의 열처리 온도를 T (℃) 로 하고, 상기 제 2 산화물 반도체막 및 상기 제 1 산화물 반도체막 중으로의 산소의 확산 거리를 L (nm) 로 했을 때, $0 < Z < L = 8 \times 10^{-6} \times T^3 - 0.0092 \times T^2 + 3.6 \times T - 468 \pm 0.1$ 의 관계식을 만족하도록 상기 제 2 산화물 반도체막의 두께와 상기 열처리 온도를 조정하는 <1> 에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0014] <3> 상기 제 2 공정과 상기 제 3 공정시에, $Z \leq L - 3.0$ 의 관계식을 만족하도록 상기 제 2 산화물 반도체막의 두께와 상기 열처리 온도를 조정하는 <2> 에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0015] <4> 상기 제 2 공정과 상기 제 3 공정시에, $L - 15.0 \leq Z$ 의 관계식을 만족하도록 상기 제 2 산화물 반도체막의 두께와 상기 열처리 온도를 조정하는 <2> 또는 <3> 에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0016] <5> 상기 제 2 공정과 상기 제 3 공정시에, $L - 11.0 \leq Z \leq L - 8.0$ 의 관계식을 만족하도록 상기 제 2 산화물 반도체막의 두께와 상기 열처리 온도를 조정하는 <2> ~ <4> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0017] <6> 상기 제 4 공정에서는, 상기 제 3 산화물 반도체막의 카티온 조성비가, 상기 제 2 산화물 반도체막의 카티온 조성비와 동일하게 되도록 성막하는 <1> ~ <5> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0018] <7> 상기 제 2 공정과 상기 제 4 공정시, 상기 제 2 산화물 반도체막과 상기 제 3 산화물 반도체막의 두께의 합계가 10 nm 초과 70 nm 미만이 되도록 조정하는 <1> ~ <6> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0019] <8> 상기 제 1 산화물 반도체막과, 상기 제 2 산화물 반도체막과, 상기 제 3 산화물 반도체막은, 각각 In, Ga 및 Zn 중 적어도 1 종을 함유하는 <1> ~ <7> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0020] <9> 상기 제 1 산화물 반도체막은 In 을 함유하고, 상기 제 1 산화물 반도체막의 In 조성 비율이 상기 제 2 산화물 반도체막의 In 조성 비율보다 높은 <8> 에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0021] <10> 상기 제 2 산화물 반도체막은 Ga 를 함유하고, 상기 제 2 산화물 반도체막의 Ga 조성 비율이 상기 제 1 산화물 반도체막의 Ga 조성 비율보다 높은 <8> 또는 <9> 에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0022] <11> 상기 제 1 산화물 반도체막과, 상기 제 2 산화물 반도체막과, 상기 제 3 산화물 반도체막은, 각각 비정질인 <8> ~ <10> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0023] <12> 상기 제 3 공정 및 상기 제 5 공정에서의 열처리 온도를 600 ℃ 미만으로 조정하는 <8> ~ <11> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0024] <13> 상기 제 1 공정에서는 상기 제 1 산화물 반도체막의 두께가 10 nm 미만이 되도록 성막하는 <1> ~ <12> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0025] <14> 상기 제 1 산화물 반도체막의 조성은 $In(a)Ga(b)Zn(c)O(d)$ ($a, b, c, d > 0$) 로 나타내어지는 <1> ~ <13> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0026] <15> 상기 제 1 산화물 반도체막의 조성은 $c \leq 3/5, b > 0, b \geq 3a/7 - 3/14, b \geq 9a/5 - 53/50, b \leq$

$-8a/5 + 33/25$, $b \leq 91a/74 - 17/40$ (단, $a + b + c = 1$ 로 한다) 으로 나타내어지는 범위 내의 조성인 <14>에 기재된 전계 효과형 트랜지스터의 제조 방법.

- [0027] <16> 상기 제 1 산화물 반도체막의 조성은 $b \leq 17a/23 - 28/115$, $b \geq 3a/37$, $b \geq 9a/5 - 53/50$, $b \leq 1/5$ (단, $a + b + c = 1$ 로 한다) 로 나타내어지는 범위 내의 조성인 <15>에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0028] <17> 상기 제 1 산화물 반도체막의 조성은 $b \leq 7a/13 - 11/65$, $b \geq 3a/37$, $b \leq -2a + 11/10$ (단, $a + b + c = 1$ 로 한다) 으로 나타내어지는 범위 내의 조성인 <16>에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0029] <18> 상기 제 1 산화물 반도체막의 조성은 $\text{In}(x)\text{Zn}(1-x)\text{O}(y)$ ($y > 0$, $0 < x < 1$) 로 나타내어지는 <1> ~ <13> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0030] <19> 상기 제 1 산화물 반도체막의 조성은 $0.4 \leq x \leq 0.75$ 로 나타내어지는 범위 내의 조성인 <18>에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0031] <20> 상기 제 1 산화물 반도체막의 조성은 $0.4 \leq x \leq 0.5$ 로 나타내어지는 범위 내의 조성인 <19>에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0032] <21> 상기 제 2 산화물 반도체막의 조성은 $\text{In}(e)\text{Ga}(f)\text{Zn}(g)\text{O}(h)$ ($e, f, g, h > 0$) 로 나타내어지는 <1> ~ <20> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0033] <22> 상기 제 2 산화물 반도체막의 조성은 $0.250 < f/(e + f) \leq 0.875$ 로 나타내어지는 범위 내의 조성인 <21>에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0034] <23> 상기 제 1 공정과 상기 제 2 공정과 상기 제 4 공정에서는 각각 플라즈마를 발생시키는 성막법을 사용하여 성막하는 <1> ~ <22> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0035] <24> 상기 제 5 공정은 상기 전극 형성 공정 후에 실시하는 <1> ~ <23> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법.
- [0036] <25> 게이트 전극 상에 게이트 절연층을 갖고, 상기 게이트 절연층 상에 전자가 주행하는 채널 적층막이 구성되며, 상기 채널 적층막 상에 소스 전극, 및 드레인 전극이 형성되는 보텀 게이트형이며 톱 콘택트형의 전계 효과형 트랜지스터에 있어서, 상기 채널 적층막이 각각 In, Ga, Zn 을 함유하는 산화물 반도체층이고, 상기 게이트 절연막층으로부터 제 1, 제 2, 제 3 산화물 반도체막으로 구성되며, 상기 제 1 산화물 반도체막에 있어서의 In 함유율이 상기 제 2, 제 3 산화물 반도체막보다 높고, 또한 상기 제 2 산화물 반도체층에 있어서의 격자 결함 밀도가 상기 제 3 산화물 반도체층의 격자 결함 밀도에 대해 작은 전계 효과형 트랜지스터.
- [0037] <26> 게이트 전극 상에 게이트 절연층을 갖고, 상기 게이트 절연층 상에 전자가 주행하는 채널 적층막이 구성되며, 상기 채널 적층막 상에 소스 전극, 및 드레인 전극이 형성되는 보텀 게이트형이며 톱 콘택트형의 전계 효과형 트랜지스터에 있어서, 상기 채널 적층막이 각각 In, Ga, Zn 을 함유하는 산화물 반도체층이고, 상기 게이트 절연막층으로부터 제 1, 제 2, 제 3 산화물 반도체막으로 구성되며, 상기 제 1 산화물 반도체막에 있어서의 In 함유율이 상기 제 2, 제 3 산화물 반도체막보다 높고, 또한 상기 제 2 산화물 반도체층 중의 산소 함유 밀도가 상기 제 3 산화물 반도체층의 산소 함유 밀도에 대해 크게 되어 있는 전계 효과형 트랜지스터.
- [0038] <27> <1> ~ <24> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법에 의해 제조된 전계 효과형 트랜지스터를 구비한 것을 특징으로 하는 표시 장치.
- [0039] <28> 기판과, 상기 기판 상에 배치되고, <1> ~ <24> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법에 의해 제조된 전계 효과형 트랜지스터와, 상기 전계 효과형 트랜지스터 상에서, 상기 전계 효과형 트랜지스터에 전기적으로 접속되어 있는 유기 전계 발광 소자를 구비하고, 상기 유기 전계 발광 소자로부터 발해지는 광이 상기 기판층으로부터 추출되는 보텀 이미션형의 표시 장치.
- [0040] <29> <1> ~ <24> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법에 의해 제조된 전계 효과형 트랜지스터를 구비한 것을 특징으로 하는 이미지 센서.
- [0041] <30> <1> ~ <24> 중 어느 하나에 기재된 전계 효과형 트랜지스터의 제조 방법에 의해 제조된 전계 효과형 트랜지스터를 구비한 것을 특징으로 하는 X 선 센서.

발명의 효과

[0042]

본 발명에 의하면, 광 조사시의 TFT 특성을 안정화시키는 전계 효과형 트랜지스터의 제조 방법, 그리고 전계 효과형 트랜지스터, 표시 장치, 이미지 센서 및 X 선 센서를 제공할 수 있다.

도면의 간단한 설명

[0043]

도 1 은 본 발명의 실시형태에 관련된 TFT 로서, 보텀 게이트 구조로 톱 콘택트형의 TFT 의 일례를 나타내는 모식도이다.

도 2a 는 도 1 에 나타내는 보텀 게이트 구조이고 또한 톱 콘택트형의 TFT 의 제조 방법의 일 공정도이다.

도 2b 는 도 2a 에 계속되는 TFT 의 제조 방법의 일 공정도이다.

도 2c 는 도 2b 에 계속되는 TFT 의 제조 방법의 일 공정도이다.

도 2d 는 도 2c 에 계속되는 TFT 의 제조 방법의 일 공정도이다.

도 2e 는 도 2d 에 계속되는 TFT 의 제조 방법의 일 공정도이다.

도 2f 는 도 2e 에 계속되는 TFT 의 제조 방법의 일 공정도이다.

도 2g 는 도 2f 에 계속되는 TFT 의 제조 방법의 일 공정도이다.

도 2h 는 도 2g 에 계속되는 TFT 의 제조 방법의 일 공정도이다.

도 3 은 본 발명의 전기 광학 장치의 일 실시형태의 액정 표시 장치에 대해, 그 일부분의 개략 단면도를 나타내는 도면이다.

도 4 는 도 3 에 나타내는 액정 표시 장치의 전기 배선의 개략 구성도를 나타낸다.

도 5 는 본 발명의 전기 광학 장치의 일 실시형태의 액티브 매트릭스 방식의 유기 EL 표시 장치에 대해, 그 일부분의 개략 단면도를 나타내는 도면이다.

도 6 은 도 5 에 나타내는 유기 EL 표시 장치의 전기 배선의 개략 구성도를 나타낸다.

도 7 은 본 발명의 센서의 일 실시형태인 X 선 센서에 대해, 그 일부분의 개략 단면도를 나타내는 도면이다.

도 8 은 도 7 에 나타내는 X 선 센서의 전기 배선의 개략 구성도를 나타낸다.

도 9a 는 실시예 및 비교예의 TFT 의 평면도이다.

도 9b 는 도 9a 에 나타내는 TFT 의 A-A 선에서 본 단면도이다.

도 10 은 모노크로 광 조사하에 있어서의 TFT 특성 측정의 개략을 나타내는 도면이다.

도 11 은 실시예 1 에 관련된 TFT 에 대해 모노크로 광 조사하에 있어서의 V_g - I_d 특성을 나타내는 도면이다.

도 12 는 실시예 2 에 관련된 TFT 에 대해 모노크로 광 조사하에 있어서의 V_g - I_d 특성을 나타내는 도면이다.

도 13 은 실시예 3 에 관련된 TFT 에 대해 모노크로 광 조사하에 있어서의 V_g - I_d 특성을 나타내는 도면이다.

도 14 는 비교예 1 에 관련된 TFT 에 대해 모노크로 광 조사하에 있어서의 V_g - I_d 특성을 나타내는 도면이다.

도 15 는 실험예 1 의 샘플에 대한 SIMS 분석 결과를 나타내는 도면이다.

도 16 은 실험예 2 의 샘플에 대한 SIMS 분석 결과를 나타내는 도면이다.

도 17 은 실험예 3 의 샘플에 대한 SIMS 분석 결과를 나타내는 도면이다.

도 18 은 실험예 4 의 샘플에 대한 SIMS 분석 결과를 나타내는 도면이다.

도 19 는 구한 산소의 확산 거리 L 과 열처리 온도의 관계를 플롯한 그래프도이다.

도 20 은 측정 결과 중 대표적인 V_g - I_d 특성인 실시예 7 의 TFT 에 대한 광 조사하에 있어서의 V_g - I_d 특성을 나타내는 도면이다.

도 21 은 측정 결과 중 대표적인 V_g - I_d 특성인 실시예 9 의 TFT 에 대한 광 조사하에 있어서의 V_g - I_d 특성을 나

타내는 도면이다.

도 22 는 측정 결과 중 대표적인 Vg-Id 특성인 실시예 10 의 TFT 에 대한 광 조사하에 있어서의 Vg-Id 특성을 나타내는 도면이다.

도 23 은 측정 결과 중 대표적인 Vg-Id 특성인 실시예 11 의 TFT 에 대한 광 조사하에 있어서의 Vg-Id 특성을 나타내는 도면이다.

도 24 는 측정 결과 중 대표적인 Vg-Id 특성인 실시예 12 의 TFT 에 대한 광 조사하에 있어서의 Vg-Id 특성을 나타내는 도면이다.

도 25 는 표 3 에 나타내는 결과에 기초하여, 제 2 산화물 반도체막의 두께 Z 와 전계 효과 이동도 μ 의 관계 및 두께 Z 와 ΔV_{th} 의 관계를 나타낸 도면이다.

도 26 은 $Z \geq L$ 에서의 특성 열화를 설명하는 이미지도이다.

도 27 은 In-Ga-Zn 삼원계의 상도이고, 이 중에서 특정한 조성 범위를 명기한 도면이다.

도 28 은 In-Ga-Zn 삼원계의 상도이고, 이 중에서 특정한 조성 범위를 명기한 도면이다.

도 29 는 Ga₂O₃ 막을 최표면에 함유하는 실험예 3 의 샘플에 대한 SIMS 분석 결과와, IGZO 막 (In : Ga : Zn = 1 : 0.9 : 0.7) 을 최표면에 함유하는 샘플에 대한 SIMS 분석 결과를 나타내는 도면이다.

도 30 은 In, Ga, Zn 의 조성비가 In : Ga : Zn = 1.85 : 0.15 : 1, In : Ga : Zn = 1 : 1 : 1, In : Ga : Zn = 0.5 : 1.5 : 1 의 3 개의 IGZO 막을 각각 실험예 4 와 동일한 조건으로 열처리한 각 샘플에 대한 SIMS 분석 결과를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0044] 이하, 첨부된 도면을 참조하면서, 본 발명의 실시형태에 관련된 전계 효과형 트랜지스터의 제조 방법, 및 표시 장치, 이미지 센서, X 선 센서에 대해 구체적으로 설명한다. 또한, 도면 중, 동일하거나 또는 대응하는 기능을 갖는 부재 (구성 요소) 에는 동일한 부호를 부여하고 적절히 설명을 생략한다. 또, 이하에서 설명하는 경우에 사용하는 「위」 및 「아래」 라는 용어는 편의적으로 사용하는 것으로서, 방향에 구속되어야 하는 것이 아니다.

[0045] 1. 전계 효과형 트랜지스터의 구성

[0046] 먼저, 전계 효과형 트랜지스터의 제조 방법을 설명하기 전에, 당해 제조 방법에 의해 제조되는 전계 효과형 트랜지스터의 구성에 대해 개략을 설명한다.

[0047] 본 발명의 실시형태에 관련된 전계 효과형 트랜지스터는, 박막 트랜지스터 : TFT 로서, 적어도 게이트 전극, 게이트 절연층, 산화물 반도체층, 소스 전극 및 드레인 전극을 갖고, 게이트 전극에 전압을 인가하여 산화물 반도체층에 흐르는 전류를 제어하고, 소스 전극과 드레인 전극 사이의 전류를 스위칭하는 기능을 갖는 액티브 소자이다.

[0048] 본 발명의 실시형태의 TFT 의 소자 구조로는, 게이트 전극의 위치에 기초한, 이른바 역스태거 구조 (보텀 게이트형이라고도 불린다) 의 양태를 취한다. 또, 활성층과 소스 전극 및 드레인 전극 (적절히 「소스·드레인 전극」 이라고 한다) 의 접촉 부분에 기초하여, 이른바 톱 콘택트형의 양태를 취한다. 또한, 보텀 게이트형이란, 게이트 절연층의 하측에 게이트 전극이 배치되고, 게이트 절연층의 상측에 활성층이 형성된 형태이다. 또, 톱 콘택트형이란, 활성층이 소스·드레인 전극보다 먼저 형성되어 활성층의 상면이 소스·드레인 전극에 접촉하는 형태이다.

[0049] 도 1 은 본 발명의 실시형태에 관련된 TFT 로서, 보텀 게이트 구조로 톱 콘택트형의 TFT (10) 의 일례를 나타내는 모식도이다.

[0050] 도 1 에 나타내는 TFT (10) 에서는, 기관 (12) 의 일방의 주면 상에 게이트 전극 (14) 과, 게이트 절연층 (16) 과, 산화물 반도체층 (18) 이 순서대로 적층되어 있다. 이 산화물 반도체층 (18) 의 표면 상에는 소스 전극 (20) 및 드레인 전극 (22) 이 서로 이간하여 설치되어 있다. 그리고, 본 실시형태에서는 또한 산화물 반도체층 (18) 이 게이트 절연층 (16) 측으로부터 순서대로 제 1 산화물 반도체막 (24) 과 제 2 산화물 반도체막 (26) 과 제 3 산화물 반도체막 (28) 의 3 층으로 나누어져 있다.

- [0051] 또한, 제 1 산화물 반도체막 (24) 과 제 2 산화물 반도체막 (26) 과 제 3 산화물 반도체막 (28) 의 구별은, 산화물 반도체층 (18) 의 단면 TEM (Transmission Electron Microscope) 분석에 의한 콘트라스트의 차 등에 의해 실시할 수 있다.
- [0052] 2. 전계 효과형 트랜지스터의 제조 방법
- [0053] 이상 설명한 전계 효과형 트랜지스터의 제조 방법은, 게이트 전극 (14) 상에 배치된 게이트 절연층 (16) 상에 제 1 산화물 반도체막 (24) 을 성막하는 제 1 공정과, 상기 제 1 산화물 반도체막 (24) 상에 상기 제 1 산화물 반도체막 (24) 과 카티온 조성이 상이하고, 또한 상기 제 1 산화물 반도체막 (24) 보다 낮은 전기 전도도를 갖는 제 2 산화물 반도체막 (26) 을 성막하는 제 2 공정과, 상기 제 2 공정 후에, 산화성 분위기하 300 °C 초과에서 열처리하는 제 3 공정과, 상기 제 3 공정 후에, 상기 제 2 산화물 반도체막 (26) 상에 상기 제 1 산화물 반도체막 (24) 과 카티온 조성이 상이하고, 또한 상기 제 1 산화물 반도체막 (24) 보다 낮은 전기 전도도를 갖는 제 3 산화물 반도체막 (28) 을 성막하는 제 4 공정과, 상기 제 4 공정 후에, 산화성 분위기하에서 열처리하는 제 5 공정과, 상기 제 4 공정과 상기 제 5 공정 사이 또는 상기 제 5 공정 후에, 상기 제 3 산화물 반도체막 (28) 상에 소스 전극 (20) 및 드레인 전극 (22) 을 형성하는 전극 형성 공정을 갖고 있다.
- [0054] 그리고, 이와 같은 제조 방법에 의하면, 제 2 공정에서의 제 2 산화물 반도체막 (26) 을 성막한 후에 제 3 공정의 열처리를 실시함으로써, 제 1 산화물 반도체막 (24) 과 제 2 산화물 반도체막 (26) 의 계면 결합을 산소 확산에 의해 보상함으로써, 광 조사시의 ΔV_{th} 를 개선할 수 있고, 만일 제 3 공정에 의해 산화성 분위기로부터 계면까지 산소 확산이 도달하지 않는 경우에 있어서도, 제 3 공정을 실시하지 않은 경우와 비교하여 제 2 산화물 반도체막 (26) 의 벌크 중 결합을 저감시킬 수 있기 때문에, 따라서 TFT 특성을 안정화시킬 수 있다.
- [0055] 또한, 「전기 전도도」란, 물질의 전기 전도의 용이성을 나타내는 물성값이며, 물질의 캐리어 농도 n , 전기 소량 (素量) 을 e , 캐리어 이동도 μ 로 하면, drude 모델을 가정했을 경우, 물질의 전기 전도도 σ 는 이하의 식으로 나타낸다.
- [0056]
$$\sigma = ne\mu$$
- [0057] 제 1 산화물 반도체막 (24), 제 2 산화물 반도체막 (26), 또는 제 3 산화물 반도체막 (28) 이 n 형 반도체일 때에는 캐리어는 전자이며, 캐리어 농도란 전자 캐리어 농도를, 캐리어 이동도란 전자 이동도를 나타낸다. 동일하게, 제 1 산화물 반도체막 (24), 제 2 산화물 반도체막 (26), 또는 제 3 산화물 반도체막 (28) 이 p 형 반도체에서는 캐리어는 정공이며, 캐리어 농도란 정공 캐리어 농도를, 캐리어 이동도란 정공 이동도를 나타낸다. 또한, 물질의 캐리어 농도와 캐리어 이동도는, 홀 측정에 의해 구할 수 있다.
- [0058] 전기 전도도를 구하는 방법은, 두께를 알고 있는 막의 시트 저항을 측정함으로써, 막의 전기 전도도를 구할 수 있다. 반도체의 전기 전도도는 온도에 의해 변화하지만, 본문에 기재된 전기 전도도는 실온 (20 °C) 에서의 전기 전도도를 나타낸다.
- [0059] 이상과 같은 전계 효과형 트랜지스터의 제조 방법에 대해, 이하 도 2 를 사용하면서 구체적으로 설명한다.
- [0060] 도 2 는 보텀 게이트 구조이고 또한 톱 콘택트형의 TFT (10) 의 제조 방법의 공정도이다.
- [0061] -게이트 전극 (14) 의 형성-
- [0062] 먼저, 도 2a 에 나타내는 바와 같이, TFT (10) 를 형성하기 위한 기판 (12) 을 준비한 후, 기판 (12) 의 일방의 주면 상에 게이트 전극 (14) 을 형성한다.
- [0063] 기판 (12) 의 형상, 구조, 크기 등에 대해서는 특별히 제한은 없고, 목적에 따라 적절히 선택할 수 있다. 기판의 구조는 단층 구조여도 되고, 적층 구조여도 된다. 기판 (12) 으로는, 예를 들어 유리나 YSZ (이트륨 안정화 지르코늄) 등의 무기 재료, 수지나 수지 복합 재료 등으로 이루어지는 기판을 사용할 수 있다. 그 중에서도 경량인 점, 가요성을 갖는 점에서 수지 혹은 수지 복합 재료로 이루어지는 기판이 바람직하다. 구체적으로는, 폴리부틸렌테레프탈레이트, 폴리에틸렌테레프탈레이트, 폴리메틸렌프탈레이트, 폴리부틸렌프탈레이트, 폴리스티렌, 폴리카보네이트, 폴리술폰, 폴리에테르술폰, 폴리아릴레이트, 알릴디글리콜카보네이트, 폴리아미드, 폴리이미드, 폴리이미드이미드, 폴리에테르이미드, 폴리벤즈아졸, 폴리페닐렌술폰, 폴리시클로올레핀, 노르보르넨 수지, 폴리클로로트리플루오로에틸렌 등의 불소 수지, 액정 폴리머, 아크릴 수지, 에폭시 수지, 실리콘 수지, 아이오노머 수지, 시아네이트 수지, 가교 푸마르산 디에스테르, 고리형 폴리올레핀, 방향족 에테르, 말레이미드-올레핀, 셀룰로오스, 에피솔피드 화합물 등의 합성 수지로 이루어지는 기판, 앞에서 기술한 합성 수지 등과 산화규소 입자의 복합 플라스틱 재료로 이루어지는 기판, 앞에서 기술한 합성 수지 등과 금속

나노 입자, 무기 산화물 나노 입자 혹은 무기 질화물 나노 입자 등과의 복합 플라스틱 재료로 이루어지는 기판, 앞에서 기술한 합성 수지 등과 카본 섬유 혹은 카본 나노 튜브의 복합 플라스틱 재료로 이루어지는 기판, 앞에서 기술한 합성 수지 등과 유리 페레이크, 유리 파이버 혹은 유리 비즈의 복합 플라스틱 재료로 이루어지는 기판, 앞에서 기술한 합성 수지 등과 점토 광물 혹은 운모 파생 결정 구조를 갖는 입자의 복합 플라스틱 재료로 이루어지는 기판, 얇은 유리와 앞에서 기술한 어느 합성 수지 사이에 적어도 1 회의 접합 계면을 갖는 적층 플라스틱 기판, 무기층과 유기층 (앞에서 기술한 합성 수지) 을 교대로 적층함으로써, 적어도 1 회 이상의 접합 계면을 갖는 배리어 성능을 갖는 복합 재료로 이루어지는 기판, 스테인리스 기판 또는 스테인리스와 이종 금속을 적층한 금속 다층 기판, 알루미늄 기판 또는 표면에 산화 처리 (예를 들어 양극 산화 처리) 를 실시함으로써 표면의 절연성을 향상시킨 산화 피막이 형성된 알루미늄 기판 등을 사용할 수 있다.

[0064] 또한, 수지 기판으로는, 내열성, 치수 안정성, 내용제성, 전기 절연성, 가공성, 저통기성, 및 저흡습성 등이 우수한 것이 바람직하다. 수지 기판은, 수분이나 산소의 투과를 방지하기 위한 가스 배리어층이나, 수지 기판의 평탄성이나 하부 전극과의 밀착성을 향상시키기 위한 언더코트층 등을 구비하고 있어도 된다.

[0065] 게이트 전극 (14) 의 형성에서는, 먼저 예를 들어 인쇄 방식, 코팅 방식 등의 습식 방식, 진공 증착법, 스퍼터링법, 이온 플레이팅법 등의 물리적 방식, CVD, 플라즈마 CVD 법 등의 화학적 방식 등 중에서 사용하는 재료와의 적성을 고려하여 적절히 선택한 방법에 따라 도전막을 성막한다. 성막 후, 도전막을 포토리소그래피 및 에칭법 또는 리프트 오프법 등에 의해 소정의 형상으로 패터닝함으로써, 도전막으로부터 게이트 전극 (14) 을 형성한다. 이 때, 게이트 전극 (14) 및 게이트 배선을 동시에 패터닝하는 것이 바람직하다.

[0066] 게이트 전극 (14) 을 구성하는 도전막은, 높은 도전성을 갖는 것을 사용하는 것이 바람직하고, 예를 들어 Al, Mo, Cr, Ta, Ti, Au 등의 금속, Al-Nd, Ag 합금, 산화주석, 산화아연, 산화인듐, 산화인듐주석 (ITO), 산화아연인듐 (IZO) 등의 금속 산화물 도전막 등을 단층 또는 2 층 이상의 적층 구조로서 사용할 수 있다.

[0067] -게이트 절연층 (16) 의 형성-

[0068] 게이트 전극 (14) 을 형성한 후에는, 도 2b 에 나타내는 바와 같이, 당해 게이트 전극 (14) 상 및 기판 (12) 의 노출면 상에 게이트 절연층 (16) 을 형성한다.

[0069] 게이트 절연층 (16) 의 형성에서는, 먼저 예를 들어 인쇄 방식, 코팅 방식 등의 습식 방식, 진공 증착법, 스퍼터링법, 이온 플레이팅법 등의 물리적 방식, CVD, 플라즈마 CVD 법 등의 화학적 방식 등 중에서 사용하는 재료와의 적성을 고려하여 적절히 선택한 방법에 따라 절연막을 성막한다. 성막 후, 필요에 따라 포토리소그래피 및 에칭법 또는 리프트 오프법 등에 의해 소정의 형상으로 패터닝을 실시하여, 절연막으로부터 게이트 절연층 (16) 을 형성한다.

[0070] 게이트 절연층 (16) 을 구성하는 절연막은 높은 절연성을 갖는 것이 바람직하고, 예를 들어 SiO₂, SiN_x, SiON, Al₂O₃, Y₂O₃, Ta₂O₅, HfO₂ 등의 절연막, 또는 이들 화합물을 적어도 2 개 이상 함유하는 절연막으로 해도 된다.

[0071] 또한, 게이트 절연층 (16) 은 리크 전류의 저하 및 전압 내성의 향상을 위한 두께를 가질 필요가 있는 한편, 게이트 절연층의 두께가 지나치게 크면 구동 전압의 상승을 초래해 버린다. 게이트 절연층 (16) 의 두께는, 그 재질에 따라 다르기도 하지만, 10 nm 이상 10 μm 이하가 바람직하고, 50 nm 이상 1000 nm 이하가 보다 바람직하며, 100 nm 이상 400 nm 이하가 특히 바람직하다.

[0072] -제 1 공정-

[0073] 게이트 절연층 (16) 을 형성한 후에는, 도 2c 에 나타내는 바와 같이, 당해 게이트 절연층 (16) 상에 산화물 반도체층 (18) 의 일부로서의 제 1 산화물 반도체막 (24) 을 성막하는 제 1 공정을 실시한다.

[0074] 이 제 1 공정에서는, 예를 들어 인쇄 방식이나 코팅 방식 등의 습식 방식, 진공 증착법이나 스퍼터링법, 이온 플레이팅법 등의 물리적 방식, CVD 나 플라즈마 CVD 법 등의 화학적 방식 등 중에서 사용하는 재료와의 적성을 고려하여 적절히 선택한 방법에 따라 제 1 산화물 반도체막 (24) 을 성막한다. 이들 중에서도, 막두께의 제어하기 쉽다는 관점에서, 진공 증착법, 스퍼터링법, 이온 플레이팅법, CVD 또는 플라즈마 CVD 법 등의 기상 성막법을 사용하는 것이 바람직하다. 기상 성막법 중에서도, 스퍼터링법, 펄스 레이저 증착법 (PLD 법) 이 보다 바람직하다. 또한, 양산성의 관점에서, 스퍼터링법이 더욱 바람직하다. 예를 들어, RF 마그네트론 스퍼터링 증착법에 의해, 진공도 및 산소 유량을 제어하여 성막된다. 또, 제 1 산화물 반도체막 (24) 으로서 예를 들어 IGZO 를 성막하는 경우에는, 원하는 카티온 조성이 되도록 조정된 복합 산화물 타겟을 사용해

되고, In_2O_3 , Ga_2O_3 , ZnO 의 3 원 공스퍼터를 사용해도 된다.

- [0075] 제 1 산화물 반도체막 (24) 은 산화물 반도체를 주체로 하고 있으면 되고, 그 외에 불순물 등을 함유하고 있어도 된다. 여기서, 「주체」란, 제 1 산화물 반도체막 (24) 을 구성하는 구성 성분 중, 가장 많이 함유되어 있는 성분을 나타낸다.
- [0076] 산화물 반도체는 비정질 또는 결정질 중 어느 것이어도 되지만, 바람직하게는 비정질 산화물 반도체가 사용된다. 반도체막을 산화물 반도체에 의해 구성하면, 비정질 실리콘의 반도체막에 비해 전하의 이동도가 훨씬 높고, 저전압으로 구동시킬 수 있다. 또, 산화물 반도체를 사용하면, 통상적으로 실리콘보다 광 투과성이 높은 반도체막을 형성할 수 있다. 또, 산화물 반도체, 특히 비정질 산화물 반도체는, 저온 (예를 들어 실온) 에서 균일하게 성막이 가능하기 때문에, 플라스틱과 같은 가요성이 있는 수지 기판을 사용할 때에 특히 유리해진다.
- [0077] 산화물 반도체의 구성 재료로는 종래 공지된 것이 포함되고, 예를 들어 In, Ti, Nb, Sn, Zn, Gd, Cd, Zr, Y, La, Ta 등의 전이 금속의 산화물 외에, SrTiO_3 , CaTiO_3 , $\text{ZnO} \cdot \text{Rh}_2\text{O}_3$, CuGaO_2 , SrCu_2O_2 등의 산화물 등을 들 수 있다.
- [0078] 이와 같이, 제 1 산화물 반도체막 (24) 에 사용되는 산화물 반도체는 특별히 한정되지 않지만, In, Sn, Zn, Ga 및 Cd 중 적어도 1 종을 함유하는 금속 산화물이 바람직하고, In, Sn, Zn 및 Ga 중 적어도 1 종을 함유하는 금속 산화물이 보다 바람직하며, In, Ga 및 Zn 중 적어도 1 종을 함유하는 금속 산화물 (예를 들어 In-O 계) 이 더욱 바람직하다.
- [0079] 특히, 제 1 산화물 반도체막 (24) 은 In 을 함유하고, 제 1 산화물 반도체막 (24) 의 In 조성 비율이 제 2 산화물 반도체막 (26) 의 In 조성 비율보다 높은 것이 바람직하다. In 조성 비율을 높게 함으로써, 상대적으로 전자 친화력이 증대되는 경향이 얻어져, 제 1 산화물 반도체막 (24) 에 전도 캐리어가 집중되기 쉬워지기 때문이다. 또, In 함유율을 증대시키는 편이 전도 캐리어 농도를 증대시키는 것이 용이해지므로, 높은 캐리어 이동도를 얻기 쉬워지기 때문이다.
- [0080] 또한, In, Ga 및 Zn 중 적어도 2 종을 함유하는 산화물 (예를 들어 In-Zn-O 계, In-Ga-O 계, Ga-Zn-O 계) 이 바람직하고, In, Ga 및 Zn 을 모두 함유하는 산화물이 보다 바람직하다. 즉, 제 1 산화물 반도체막 (24) 의 조성은 $\text{In}(a)\text{Ga}(b)\text{Zn}(c)\text{O}(d)$ ($a, b, c, d > 0$) 로 나타내어지는 것이 바람직하다. 그 때, 제 1 산화물 반도체막 (24) 의 조성이 $c \leq 3/5$, $b > 0$, $b \geq 3a/7 - 3/14$, $b \geq 9a/5 - 53/50$, $b \leq -8a/5 + 33/25$, $b \leq 91a/74 - 17/40$ (단, $a + b + c = 1$ 로 한다) 으로 나타내어지는 범위 내의 조성인 것이 바람직하다. 이 조성 범위 내이면, TFT (10) 형성 후에 $20 \text{ cm}^2/\text{Vs}$ 초과와 전계 효과 이동도가 얻어지기 때문이다. 또, 후술하는 제 3 공정에서의 열처리 온도나 제 2 산화물 반도체막 (26) 의 막두께에 따라 다르기도 하지만, 임계값 전압 (V_{th}) 이 $V_{th} > 0$ 이 되기 때문이다.
- [0081] 또한 그 때, 제 1 산화물 반도체막 (24) 의 조성은 $b \leq 17a/23 - 28/115$, $b \geq 3a/37$, $b \geq 9a/5 - 53/50$, $b \leq 1/5$ (단, $a + b + c = 1$ 로 한다) 로 나타내어지는 범위 내의 조성인 것이 바람직하다. 이 조성 범위 내이면, TFT (10) 형성 후에 $30 \text{ cm}^2/\text{Vs}$ 초과와 전계 효과 이동도가 얻어지기 때문이다.
- [0082] 추가로 또한 그 때, 제 1 산화물 반도체막 (24) 의 조성은 $b \leq 7a/13 - 11/65$, $b \geq 3a/37$, $b \leq -2a + 11/10$ (단, $a + b + c = 1$ 로 한다) 으로 나타내어지는 범위 내의 조성인 것이 바람직하다. 이 조성 범위 내이면, TFT (10) 형성 후에 $30 \text{ cm}^2/\text{Vs}$ 초과와 전계 효과 이동도와 노멀리 오프 (게이트 전압 : $V_g = 0$ 에서의 드레인 전류 : I_d 가 10^{-9} A 이하) 를 양립할 수 있기 때문이다.
- [0083] 또, In, Ga 및 Zn 중 2 종만을 함유하는 산화물의 경우, 제 1 산화물 반도체막 (24) 의 조성은 $\text{In}(x)\text{Zn}(1-x)\text{O}(y)$ ($y > 0$, $0 < x < 1$) 로 나타내어지는 것이 바람직하다. 그 때, 제 1 산화물 반도체막 (24) 의 조성은 $0.4 \leq x \leq 0.75$ 로 나타내어지는 범위 내의 조성인 것이 바람직하다. 이 조성 범위 내이면, TFT (10) 형성 후에 $30 \text{ cm}^2/\text{Vs}$ 이상의 전계 효과 이동도가 얻어지기 때문이다. 또한 그 때, 제 1 산화물 반도체막 (24) 의 조성은 $0.4 \leq x \leq 0.5$ 로 나타내어지는 범위 내의 조성인 것이 바람직하다. 이 조성 범위 내이면, TFT (10) 형성 후에 $30 \text{ cm}^2/\text{Vs}$ 이상의 전계 효과 이동도와 노멀리 오프 (게이트 전압 : $V_g = 0$ 에서의 드레인 전류 : I_d 가 10^{-9} A 이하) 를 양립할 수 있기 때문이다.
- [0084] 또, 이 제 1 공정에서는, 제 1 산화물 반도체막 (24) 의 두께가 10 nm 미만이 되도록 성막하는 것이

바람직하다. 제 1 산화물 반도체막 (24) 은 상기 서술한 바와 같이 고이동도화를 실현하기 쉬운 IZO 나 매우 In-rich 인 IGZO 막을 사용하는 것이 바람직하지만, 이와 같은 고이동도막은 캐리어 농도가 높기 때문에 핀치 오프가 비교적 어렵고, 임계값이 커 마이너스측으로 시프트할 가능성이 있다. 따라서, 제 1 산화물 반도체막 (24) 의 두께를 10 nm 미만으로 함으로써, 산화물 반도체층 (18) 에 있어서의 토탈 캐리어 농도가 과잉인 상태가 되어 핀치 오프가 곤란해지는 것을 회피할 수 있다.

[0085] 제 1 산화물 반도체막 (24) 의 전기 전도도는, 바람직하게는 10^{-6} Scm^{-1} 이상 10^2 Scm^{-1} 미만이다. 보다 바람직하게는 10^{-4} Scm^{-1} 이상 10^2 Scm^{-1} 미만이고, 더욱 바람직하게는 10^{-1} Scm^{-1} 이상 10^2 Scm^{-1} 미만이다.

[0086] -제 2 공정-

[0087] 제 1 공정 후에는, 도 2d 에 나타내는 바와 같이, 제 1 산화물 반도체막 (24) 상에 당해 제 1 산화물 반도체막 (24) 과 카티온 조성이 상이하고, 또한 제 1 산화물 반도체막 (24) 보다 낮은 전기 전도도를 갖는 제 2 산화물 반도체막 (26) 을 성막하는 제 2 공정을 실시한다.

[0088] 산화물 반도체층 (18) 의 일부로서의 제 2 산화물 반도체막 (26) 도 제 1 산화물 반도체막 (24) 보다 낮은 전기 전도도를 갖는 것을 전제로 하여, 제 1 산화물 반도체막 (24) 과 동일한 재료를 사용할 수 있다.

[0089] 단, 제 2 산화물 반도체막 (26) 은 Ga 를 함유하고, 당해 제 2 산화물 반도체막 (26) 의 Ga 조성 비율이 제 1 산화물 반도체막 (24) 의 Ga 조성 비율보다 높은 것이 바람직하다. Ga 조성 비율을 크게 함으로써, 상대적으로 전자 친화력이 감소하는 경향이 얻어져, 제 1 산화물 반도체막 (24) 에 전도 캐리어가 집중되기 쉬워지기 때문이다. 또, Ga 함유율을 증대시킴으로써, 백 채널층의 전도 캐리어의 기여를 감소시키는 것이 가능하므로, 오프 전류가 저감되기 쉬워지기 때문이다.

[0090] 특히, 제 2 산화물 반도체막 (26) 의 조성은 $\text{In}(e)\text{Ga}(f)\text{Zn}(g)\text{O}(h)$ ($e, f, g, h > 0$) 로 나타내어지는 것이 바람직하다. 그 때, 제 2 산화물 반도체막 (26) 의 조성은 $0.250 < f/(e + f) \leq 0.875$ 로 나타내어지는 범위 내의 조성인 것이 바람직하다. $f/(e + f) \leq 0.250$ 의 경우에는, 제 2 영역의 전자 친화력이 상대적으로 커지기 때문에, 제 2 산화물 반도체막 (26) 에도 전도 페스가 형성되거나, 제 2 산화물 반도체막 (24) 에 과잉인 전도 캐리어를 야기하기 쉬워진다. 제 2 산화물 반도체막 (26) 에 있어서, $f/(e + f) > 0.250$ 의 범위이면, 제 1 산화물 반도체막 (24) 과 비교하여 전자 친화력이 작아지기 때문에 캐리어 농도가 상대적으로 낮아진다. 그 때문에, 게이트 전압을 부 (負) 로 인가했을 경우에 제 2 산화물 반도체막 (26) 이 핀치 오프하기 쉽고, 결과 소스·드레인 전극 (20, 22) 과 제 1 산화물 반도체막 (24) 이 떨어지기 때문에, 오프 전류가 저감되는 효과를 기대할 수 있다. 한편으로, $f/(e + f) \leq 0.875$ 이면, 소스·드레인 전극 (20, 22) 과 제 2 산화물 반도체막 (26) 사이의 콘택트 저항이 높아지는 것을 억제할 수 있다. 따라서, 제 2 산화물 반도체막 (26) 의 조성 범위는, 상기 서술한 바와 같이 $0.250 < f/(e + f) \leq 0.875$ 인 것이 바람직하다.

[0091] 제 2 산화물 반도체막 (26) 의 전기 전도도는, 제 1 산화물 반도체막 (24) 보다 낮은 전기 전도도를 갖는 것을 전제로 하여, 제 1 산화물 반도체막 (24) 과 동일한 범위를 취할 수 있지만, 바람직하게는 10^{-7} Scm^{-1} 이상 10^1 Scm^{-1} 미만이다. 보다 바람직하게는 10^{-7} Scm^{-1} 이상 10^{-1} Scm^{-1} 미만이다.

[0092] -제 3 공정-

[0093] 제 2 공정 후에는, 도 2e 에 나타내는 바와 같이, 산화성 분위기하 300 °C 초과에서 열처리하는 제 3 공정을 실시한다. 제 3 공정을 실시하는 이유는, 상기 서술한 바와 같이, 광 조사시의 TFT 특성을 안정화시키기 위해서이다. 또한, 열처리 온도를 300 °C 초과로 한 것은, 산화성 분위기 중의 산소 또는 제 2 산화물 반도체막 (26) 중의 산소가 300 °C 초과에서부터 제 2 산화물 반도체막 (26) 이나 제 1 산화물 반도체막 (24) 으로의 확산이 발생하기 때문에, 산소 확산에 의한 제 1 산화물 반도체막 (24) 의 계면 결함이나 제 1 산화물 반도체막 (24) 및 제 2 산화물 반도체막 (26) 의 벌크 결함을 저감시키기 위해서는, 300 °C 초과 온도에서의 열처리가 필요하기 때문이다. 또, 이 제 3 공정의 열처리는 복수회 반복해도 된다.

[0094] 여기서, 제 2 공정과 제 3 공정시에 제 2 산화물 반도체막 (26) 의 두께를 Z (nm) 로 하고, 제 3 공정에서의 열처리 온도를 T (°C) 로 하며, 또한 산소의 확산 거리를 L (nm) 로 했을 때, $0 < Z < L = 8 \times 10^{-6} \times T^3 - 0.0092 \times T^2 + 3.6 \times T - 468 \pm 0.1$ 의 관계식을 만족하도록 제 2 산화물 반도체막 (26) 의 두께와 상기 열처리 온도를 조정하는 것이 바람직하다. 이와 같이, 제 2 산화물 반도체막 (26) 의 두께 Z 와 열처리 온도

T의 조정을 실시한 다음에 제 3 공정의 열처리를 함으로써, 산화성 분위기 중의 산소를 제 2 산화물 반도체막 (26)을 개재하여 제 1 산화물 반도체막 (24)의 계면 내부에까지 확실하게 공급할 수 있기 때문에, 제 2 공정의 성막에 의해 성막 데미지를 받은 제 1 산화물 반도체막 (24)의 표면 결함을 충분히 보전할 수 있어 광 조사시의 TFT 특성을 개선할 수 있다. 이 TFT 특성에 대해서는 구체적으로는 실시예에서 설명하지만, 산화성 분위기 중의 산소를 제 2 산화물 반도체막 (26)을 개재하여 제 1 산화물 반도체막 (24)의 계면 내부에까지 공급하면, 제 1 산화물 반도체막 (24)과 제 2 산화물 반도체막 (26)의 계면에 광 조사시에 야기된 전자-정공쌍 중 정공이 잘 트랩되지 않기 때문에, Vg-Id 특성이 2 단계의 상승을 나타내지 않게 할 수 있다.

[0095] 또, 제 2 공정과 제 3 공정시에, $Z \leq L - 3.0$ 의 관계식을 만족하도록 제 2 산화물 반도체막 (26)의 두께와 열처리 온도를 조정하는 것이 바람직하다. TFT (10) 형성 후의 초기 특성 (광 조사 전)이 양호해지기 때문이다. 구체적으로는, 임계값 전압 (Vth)이 정(正)의 값이 되기 때문이다.

[0096] 한편으로, 제 2 공정과 제 3 공정시에, $L - 15.0 \leq Z$ 의 관계식을 만족하도록 제 2 산화물 반도체막 (26)의 두께와 열처리 온도를 조정하는 것이 바람직하다. 제 3 공정에서의 열처리에 의해, 제 1 산화물 반도체막 (24)의 깊은 곳까지 산소 결함을 보전하여 전계 효과 이동도가 저감되어 버리는 것을 억제하기 위해서이다.

[0097] 또한, 제 2 공정과 제 3 공정시에, $L - 11.0 \leq Z \leq L - 8.0$ 의 관계식을 만족하도록 제 2 산화물 반도체막 (26)의 두께와 열처리 온도를 조정하는 것이 바람직하다. 이 범위 내이면, TFT (10)의 전계 효과 이동도가 급격하게 상승하기 때문이다. 또한, 이 전계 효과 이동도는, 광 조사 전이여도 광 조사 후이여도 특별히 변화하지 않는다.

[0098] 이와 같이, 제 3 공정에서의 열처리 온도 T는, 제 1 절연막 (24)의 두께 Z와의 관계를 고려하여 값을 조정하게 되지만, 600 °C 미만인 것이 바람직하다. 600 °C 미만의 열처리 온도이면, 제 1 산화물 반도체막 (24)과 제 2 산화물 반도체막 (26) 사이에서 카티온의 상호 확산이 일어나 2 개의 영역이 섞여 버리는 것을 억제할 수 있기 때문이다. 또, 이 경우에는 제 1 산화물 반도체막 (24)에만 전도 캐리어를 집중시키기 쉬워진다. 제 1 산화물 반도체막 (24)과 제 2 산화물 반도체막 (26)에서의 카티온의 상호 확산이 일어나 있는지 여부는, 예를 들어 단면 TEM에 의한 분석을 실시함으로써 확인할 수 있다.

[0099] 또, 산화성 분위기 중의 산소 분압에 대해서도 특별히 한정되지 않지만, 광 조사시의 ΔV_{th} 를 보다 개선하는 관점에서 실질적으로 100 %인 것이 바람직하다. 또, 초기 특성에 있어서, Vth가 마이너스로 시프트할 가능성이 있는 것 (산소 결손에 의한 잉여 캐리어의 발생을 억제한다는 관점)을 고려하면, 산화성 분위기 중의 산소 분압은 전체의 5 % 이상인 것이 바람직하다.

[0100] -제 4 공정-

[0101] 제 3 공정 후에는, 도 2f에 나타내는 바와 같이, 제 2 산화물 반도체막 (26)상에 제 1 산화물 반도체막 (24)과 카티온 조성이 상이하고, 또한 제 1 산화물 반도체막 (24)보다 낮은 전기 전도도를 갖는 제 3 산화물 반도체막 (28)을 성막하는 제 4 공정을 실시한다.

[0102] 이 제 4 공정에서는, 제 2 공정과 동일한 성막법을 사용할 수 있다. 단, 제 1 공정과 제 2 공정과 제 4 공정에서는, 각각 플라즈마를 발생시키는 성막법을 사용하여 성막하는 것이 바람직하다. 이 성막법이면, 제 1 산화물 반도체막 (24)의 표면이 제 2 산화물 반도체막 (26)의 성막에 의해 데미지를 받기 쉽기 때문에, 본 실시형태의 제조 방법에 적합하다. 또한, 성막 속도가 빠르고, 또한 균일성이 높은 막을 형성 가능한 경우가 많아, 저비용 또한 대면적의 산화물 반도체막을 제공할 수 있다.

[0103] 또, 산화물 반도체층 (18)의 일부로서의 제 3 산화물 반도체막 (28)도, 제 1 산화물 반도체막 (24)보다 낮은 전기 전도도를 갖는 것을 전제로 하여 제 1 산화물 반도체막 (24)과 동일한 재료를 사용할 수 있다.

[0104] 단, 제 4 공정에서는, 제 3 산화물 반도체막 (28)의 카티온 조성비가 제 2 산화물 반도체막 (26)의 카티온 조성비와 동일해지도록 성막하는 것이 바람직하다. 제 3 산화물 반도체막 (28)의 카티온 조성비는 제 1 산화물 반도체막 (24), 제 2 산화물 반도체막 (26)보다 전자 친화력이 작으면 문제없지만, 제 2 산화물 반도체막 (26)과 전자 물성에 큰 부정합이 있을 때 계면에서의 패러렐 전도를 일으키는 것을 억제하기 위해서이다. 또, 제조면에서 생각해도, 3 종류의 카티온 조성의 산화물 반도체막을 적층하는 경우와 비교하여, 제 2 산화물 반도체막 (26)과 제 3 산화물 반도체막 (28)에 동일한 산화물 반도체막을 사용한 경우가 저비용이다.

[0105] 이상의 관점과 이동도를 높인다는 관점에서, 제 1 산화물 반도체막 (24)과 제 2 산화물 반도체막 (26)과 제 3 산화물 반도체막 (28)은, 각각 In, Ga 및 Zn 중 적어도 1 종을 함유하는 것이 바람직하다.

- [0106] 또, 제 1 산화물 반도체막 (24) 과 제 2 산화물 반도체막 (26) 과 제 3 산화물 반도체막 (28) 은, 각각 비정질인 것이 바람직하다. 이들 막이 비정질이면, 400 °C 이하의 저온에서 성막하는 것이 가능한 것 외에, 결정립계가 존재하지 않아, 균일성이 높은 막이 얻어지기 때문이다. 제 1 산화물 반도체막 (24) 과 제 2 산화물 반도체막 (26) 과 제 3 산화물 반도체막 (28) 이 비정질인지 여부는 X 선 회절 측정에 의해 확인할 수 있다. 즉, X 선 회절 측정에 의해, 결정 구조를 나타내는 명확한 피크가 검출되지 않은 경우에는, 그 막은 비정질이라고 판단할 수 있다.
- [0107] 또, 제 2 공정과 제 4 공정시, 제 2 산화물 반도체막 (26) 과 제 3 산화물 반도체막 (28) 의 두께의 합계가 10 nm 초과 70 nm 미만이 되도록 조정하는 것이 바람직하다. 제 2 산화물 반도체막 (26) 과 제 3 산화물 반도체막 (28) 의 두께의 합계가 10 nm 이상이면, 오프 전류의 저감이나 S 값의 열화 억제에 기대할 수 있기 때문이다. 또, 제 2 산화물 반도체막 (26) 과 제 3 산화물 반도체막 (28) 의 두께의 합계가 70 nm 미만이면, 소스·드레인 전극 (20, 22) 과 제 1 산화물 반도체막 (24) 의 저항이 증대되어, 결과적으로 이동도의 저하를 초래하는 것을 억제하기 때문이다.
- [0108] 또한, 산화물 반도체층 (18) 의 총 막두께는, 막의 균일성, 및 활성층 중의 토달 캐리어 농도라는 관점에서 10 nm 이상 200 nm 이하인 것이 바람직하다.
- [0109] 또, 산화물 반도체층 (18) 의 각 막의 캐리어 농도 (및 전기 전도도) 의 제어는, 조성 변조에 의해 실시하는 것 외에, 성막시의 산소 분압 제어에 의해서도 실시할 수 있다.
- [0110] 산소 농도의 제어는, 구체적으로는 제 1 산화물 반도체막 (24), 제 2 산화물 반도체막 (26) 에 있어서의 성막시의 산소 분압을 각각 제어함으로써 실시할 수 있다. 성막시의 산소 분압을 높이면, 캐리어 농도를 저감시킬 수 있고, 그에 수반하여 오프 전류의 저감을 기대할 수 있다. 한편, 성막시의 산소 분압을 낮게 하면, 캐리어 농도를 증대시킬 수 있고, 그에 수반하여 전계 효과 이동도의 증대를 기대할 수 있다. 또, 예를 들어 제 1 산화물 반도체막 (24) 의 성막 후에 산소 라디칼이나 오존을 조사하는 처리를 실시하는 것에 의해서도 막의 산화를 촉진하여, 제 1 산화물 반도체막 (24) 중의 산소 결손량을 저감시키는 것이 가능하다.
- [0111] 또, 산화물 반도체층 (18) 의 Zn 의 일부를 보다 밴드 갭이 넓어지는 원소 이온을 도핑함으로써, 광학 밴드 갭 증대에 수반하는 광 조사 안정성을 부여할 수 있다. 구체적으로는, Mg 를 도핑함으로써 막의 밴드 갭을 크게 하는 것이 가능하다. 예를 들어, 제 1 산화물 반도체막 (24), 제 2 산화물 반도체막 (26), 제 3 산화물 반도체막 (28) 의 각 영역에 Mg 를 도핑함으로써, In, Ga, Zn 만의 조성비를 제어한 계에 비해, 적층막의 밴드 프로파일을 유지한 채로 밴드 갭의 증대가 가능하다.
- [0112] 그리고, 유기 EL 에 사용되는 청색 발광층은 $\lambda = 450$ nm 정도로 피크를 갖는 브로드한 발광을 나타내는 점에서, 만일 IGZO 막의 광학 밴드 갭이 비교적 좁고, 그 영역에 광학 흡수를 갖는 경우에는, 트랜지스터의 임계값 시프트가 일어나 버린다는 문제가 생긴다. 따라서, 특히 유기 EL 구동용에 사용되는 TFT 로는, 산화물 반도체층 (18) 에 사용하는 재료의 밴드 갭이 보다 큰 것이 바람직하다.
- [0113] 또, 제 1 산화물 반도체막 (24) 등의 캐리어 밀도는 카티온 도핑에 의해서도 임의로 제어할 수 있다. 캐리어 밀도를 늘리고 싶을 때에는, 상대적으로 가수가 큰 카티온이 되기 쉬운 재료 (예를 들어 Ti, Zr, Hf, Ta 등) 를 도핑하면 된다. 단, 가수가 큰 카티온을 도핑하는 경우에는, 산화물 반도체막의 구성 원소수가 증가하기 때문에, 성막 프로세스의 단순화, 저비용화 면에서 불리한 점에서, 산소 농도 (산소 결손량) 에 의해, 캐리어 밀도를 제어하는 것이 바람직하다.
- [0114] -제 5 공정-
- [0115] 제 4 공정 후에는, 도 2g 에 나타내는 바와 같이, 산화성 분위기하에서 열처리하는 제 5 공정을 실시한다.
- [0116] 제 5 공정에서의 열처리 온도는, 제 3 공정과 동일하게, 카티온의 상호 확산의 이유에서 600 °C 미만으로 조정하는 것이 바람직하다. 또, 제 3 공정과 동일하게, 산소 확산을 일으킨다는 관점에서 300 °C 초과인 것이 바람직하고, 광 조사 안정성을 높인다는 관점 (예를 들어 $|\Delta V_{th}| \leq 0.1$ V) 에서, 415 °C 이상인 것이 보다 바람직하다.
- [0117] 산화물 반도체층 (18) 의 성막 직후 (제 4 공정 직후) 또는 제 5 공정 직후에는, 필요에 따라 포토리소그래피 및 에칭법 또는 리프트 오프법 등에 의해 산화물 반도체층 (18) 을 소정의 형상으로 패터닝을 실시한다. 구체적으로는, 잔존시키는 부분에 포토리소그래피에 의해 레지스트 패터를 형성하고, 염산, 질산, 회황산, 또는 인산, 질산 및 아세트산의 혼합액 등의 산 용액에 의해 에칭함으로써 패터를 형성한다. 또한, 이 패터닝은,

제 1 공정, 제 2 공정 및 제 4 공정의 직후에 각각 실시할 수도 있지만, 캐리어가 흐르는 제 1 산화물 반도체막 (24) 에 데미지를 주지 않는다는 관점에서, 산화물 반도체층 (18) 의 성막 직후 (제 4 공정 직후) 또는 제 5 공정 직후인 것이 바람직하다.

[0118] -전극 형성 공정-

[0119] 제 4 공정과 제 5 공정 사이 또는 제 5 공정 후에는, 도 2h 에 나타내는 바와 같이, 제 3 산화물 반도체막 (28) 상에 소스 전극 (20) 및 드레인 전극 (22) 을 형성하는 전극 형성 공정을 실시한다. 단, 오믹 콘택트 형성의 관점에서, 전극 형성 공정 후에 제 5 공정의 열처리를 실시하는 것이 바람직하다. 전극 형성 공정에서는, 먼저 예를 들어 인쇄 방식, 코팅 방식 등의 습식 방식, 진공 증착법, 스퍼터링법, 이온 플레이팅법 등의 물리적 방식, CVD, 플라즈마 CVD 법 등의 화학적 방식 등 중에서 사용하는 재료와의 적성을 고려하여 적절히 선택한 방법에 따라 도전막을 성막한다. 이들 중에서도, 막두께의 제어를 하기 쉽다는 관점에서, 진공 증착법, 스퍼터링법, 이온 플레이팅법, CVD 또는 플라즈마 CVD 법 등의 기상 성막법을 사용하는 것이 바람직하다. 기상 성막법 중에서도, 스퍼터링법, 펄스 레이저 증착법 (PLD 법) 이 보다 바람직하다. 또한, 양산성의 관점에서, 스퍼터링법이 더욱 바람직하다. 성막 후, 필요에 따라 포토리소그래피 및 에칭법 또는 리프트 오프법 등에 의해 소정의 형상으로 패터닝을 실시하고, 도전막으로부터 소스·드레인 전극 (20, 22) 을 형성한다. 이 때, 소스·드레인 전극 (20, 22) 에 접속하는 배선을 동시에 패터닝하는 것이 바람직하다.

[0120] 소스·드레인 전극 (20, 22) 을 구성하는 도전막은, 높은 도전성을 갖는 것을 사용하고, 예를 들어 Al, Mo, Cr, Ta, Ti, Au 등의 금속, Al-Nd, Ag 합금, 산화주석, 산화아연, 산화인듐, 산화인듐주석 (ITO), 산화아연인듐 (IZO) 등의 금속 산화물 도전막 등을 사용하여 형성할 수 있다. 소스·드레인 전극 (20, 22) 으로는 이들 도전막을 단층 구조 또는 2 층 이상의 적층 구조로서 사용할 수 있다.

[0121] 성막하는 도전막의 막두께는, 성막성이나 에칭이나 리프트 오프법에 의한 패터닝성, 도전성 등을 고려하면, 10 nm 이상 1000 nm 이하로 하는 것이 바람직하고, 50 nm 이상 100 nm 이하인 것이 보다 바람직하다.

[0122] 이상의 순서를 거침으로써, 도 1 에 나타내는 TFT (10) 를 제조할 수 있다.

[0123] 본 발명의 실시형태에 관련된 전계 효과형 트랜지스터의 제조 방법을 사용하여 제조한 TFT (10) 인지 여부는, SIMS (Secondary Ion-microprobe Mass Spectrometry) 분석을 실시함으로써 확인할 수 있다. 본 실시형태의 IGZO 나 IZO 계의 산화물 반도체막을 250 °C 이상의 온도에서 열처리했을 경우, 승온 탈리 가스 분석 (TDS) 으로 Zn 원소의 감소가 관측된다. 따라서, 예를 들어 후술하는 실시예와 같이 450 °C 에서의 열처리를 2 회 실시한 TFT 에 있어서는, 적층막 표면과, 적층막 내부에 Zn 원소의 감소한 부위가 관찰될 것이다. 구체적으로, 후술하는 실시예 7 과 동일한 활성층 구조의 IGZO 막 (제 1 산화물 반도체막 (24) 이 In : Ga : Zn = 0.617 : 0.050 : 0.333, 제 2 산화물 반도체막 (26) 및 제 3 산화물 반도체막 (28) 이 In : Ga : Zn, 제 2 산화물 반도체막 (26) 성막 후에 제 3 공정으로서 450 °C 에서 어닐) 에 대해 사중극형 이차 이온 질량 분석 장치 (알박 파이 주식회사 제조 PHI ADEPT1010) 를 사용하여, 일차 이온종 Cs⁺, 일차 가속 전압 1.0 kV, 검출 영역 100 μm × 100 μm 의 설정 조건하에 있어서, 이차 이온 강도 (부 이온) 를 관측했을 경우를 생각한다. 관측되는 In + 0 (In 원소와 0 원소의 결합 이온종), Zn + 0 의 분자 (Zn 원소와 0 원소의 결합 이온종) 의 이온 강도가 10³ 초과가 되는 감도의 조건하에서, 이차 이온 강도의 깊이 방향 분포 측정을 실시했을 경우, 제 2 산화물 반도체막 (26) 영역에 있어서, Zn + 0 이온 강도가 감소하고 있는 거동이 관측된다. 또, In 이나 Zn 이온을 함유하지 않는 산화물 반도체막의 경우에도, 제 3 공정의 열처리 온도가 제 5 공정의 열처리 온도보다 높은 경우, 제 3 공정 열처리시에 표면에 노출되는 제 2 산화물 반도체막 (26) 영역에 있어서, H, OH 이온의 감소가 관측된다. 따라서, 본 발명의 실시형태에 관련된 전계 효과형 트랜지스터의 제조 방법을 사용하여 제조한 TFT (10) 인지 여부는, 산화물 반도체층 (18) 의 조성 분포를 SIMS 분석 평가함으로써 판단할 수 있다.

[0124] 또, 본 발명의 실시형태에 관련된 전계 효과형 트랜지스터의 제조 방법을 사용하여 제조한 TFT (10) 는, 게이트 전극 상에 게이트 절연층을 갖고, 상기 게이트 절연층 상에 전자가 주행하는 채널 적층막이 구성되며, 상기 채널 적층막 상에 소스 전극, 및 드레인 전극이 형성되는 보텀 게이트형이며 톱 콘택트형의 전계 효과형 트랜지스터에 있어서,

[0125] 상기 채널 적층막이 각각 In, Ga, Zn 을 함유하는 산화물 반도체층이고, 상기 게이트 절연막층으로부터 제 1, 제 2, 제 3 산화물 반도체막으로 구성되며, 상기 제 1 산화물 반도체막에 있어서의 In 함유율이 상기 제 2, 제 3 산화물 반도체막보다 높고, 또한 상기 제 2 산화물 반도체층에 있어서의 격자 결함 밀도가 상기 제 3 산화물

반도체층의 격자 결함 밀도에 대해 작은 전계 효과형 트랜지스터인 것으로 생각된다.

[0126] 또, 본 발명의 실시형태에 관련된 전계 효과형 트랜지스터의 제조 방법을 사용하여 제조한 TFT (10) 는, 게이트 전극 상에 게이트 절연층을 갖고, 상기 게이트 절연층 상에 전자가 주행하는 채널 적층막이 구성되며, 상기 채널 적층막 상에 소스 전극, 및 드레인 전극이 형성되는 보텀 게이트형이며 톱 콘택트형의 전계 효과형 트랜지스터에 있어서, 상기 채널 적층막이 각각 In, Ga, Zn 을 함유하는 산화물 반도체층이고, 상기 게이트 절연막층으로부터 제 1, 제 2, 제 3 산화물 반도체막으로 구성되며, 상기 제 1 산화물 반도체막에 있어서의 In 함유율이 상기 제 2, 제 3 산화물 반도체막보다 높고, 또한 상기 제 2 산화물 반도체층 중의 산소 함유 밀도가 상기 제 3 산화물 반도체층의 산소 함유 밀도에 대해 크게 되어 있는 전계 효과형 (박막) 트랜지스터라고 생각된다.

[0127] 또한, 격자 결함이란, 열적으로 안정적인 원자 위치로부터의 어긋남의 정도나, 산소 공공 (空孔), 혹은 In 의 원자수 + Ga 의 원자수 $\approx 2 \times$ Zn 의 원자수의 식을 만족하는 금속 원소 조성의 상관으로부터의 어긋남의 정도를 의미한다. 또, 산소 함유 밀도는 각각의 산화물 반도체층에 있어서의 단위 체적당 산소 함유량을 의미한다.

[0128] 여기서, 도 2 의 제 3 공정에 주목한다. 본 발명의 실시형태에 관련된 전계 효과형 트랜지스터의 제조 방법을 사용하여 제조한 TFT (10) 는, 제 3 공정에 의해, 제 2 산화물 반도체막 (26) 중에 산소 확산이 일어나는 것은 O18 어닐에 의한 산소 침입의 결과로부터 분명하다 (실시에 참조). 본 발명에 의해 산소 확산이 일어나는 300 °C 초과에서의 열처리 (제 3 공정) 를 실시한 TFT 에서는 모두 광 조사 특성이 향상되는 결과가 얻어지고 있다. 이것은 제 2 산화물 반도체막 (26) 이 (바람직하게는 제 1, 제 2 산화물 반도체막의 계면과 함께) 외부 산화성 분위기하의 산소 확산에 의해 결함 보상되어 있기 때문이다. 열처리 조건하에서 산소 확산이 일어나기 때문에, 아모르퍼스 구조인 것, 이와 같은 산소 확산 열처리는 격자 원자의 열적 안정인 위치로의 재배열을 촉진한다. 그 때문에, 본 실시형태에 의해 얻어진 TFT (10) 는 제 2 산화물 반도체막 (26) 에 있어서의 격자 결함 밀도가 제 3 산화물 반도체 (28) 보다 작아진다고 생각된다. 또한 당연하지만, 제 2 산화물 반도체막 (26) 은 제 3 공정에서의 외부 산화성 분위기로부터의 산소 확산이 일어나고 있어, 제 3 산화물 반도체막 (28) 과 비교하여 산소 함유 밀도가 증대되는 것으로 생각된다. 따라서, 본 실시형태의 제조 방법에 의해 얻어지는 광 조사 특성이 향상된 TFT (10) 는, 상기과 같은 특징을 가지고 있다고 상정된다.

[0129] 또한, 격자 결함 밀도에 관해서는, 태양 전지 셀 등의 결함 분석에서 사용되는 DLCP 법 (결함 밀도의 깊이 방향 분석) 등에 의해 제 1, 제 2, 제 3 산화물 반도체막의 격자 결함 밀도를 평가하는 것이 가능하다. 또, 산소 함유 밀도차를 검출하는 방법으로서 SIMS 분석을 들 수 있다.

[0130] 3. 변형예

[0131] 또한, 본 발명을 특정한 실시형태에 대해 상세하게 설명했지만, 본 발명은 이러한 실시형태에 한정되는 것은 아니며, 본 발명의 범위 내에서 다른 여러 실시형태가 가능한 것은 당업자에게 있어 분명하고, 예를 들어 상기 서술한 복수의 실시형태는 적절히 조합하여 실시 가능하다. 또, 이하의 변형예끼리를 적절히 조합해도 된다.

[0132] 예를 들어, 본 실시형태에 관련된 TFT 는 상기 이외에도 여러 구성을 취하는 것이 가능하고, 예를 들어 기판 (12) 상에 절연층을 형성하거나, 소스 전극 (20) 과 드레인 전극 (22) 사이에서 노출되는 산화물 반도체층 (18) 의 면상에 보호층을 형성할 수도 있다.

[0133] 또한, 일본 출원 2011-167093 의 개시는 그 전체가 참조에 의해 본 명세서에 도입된다.

[0134] 본 명세서에 기재된 모든 문헌, 특허 출원, 및 기술 규격은 개개의 문헌, 특허 출원, 및 기술 규격이 참조에 의해 도입되는 것이 구체적이고 또한 개개에 기재된 경우와 동일한 정도로 본 명세서 중에 참조에 의해 도입된다.

[0135] 4. 응용

[0136] 이상에서 설명한 본 실시형태로 제조되는 전계 효과형 트랜지스터의 용도에는 특별히 한정은 없지만, 예를 들어 전기 광학 장치 (예를 들어 액정 표시 장치, 유기 EL (Electro Luminescence) 표시 장치, 무기 EL 표시 장치 등의 표시 장치 등) 에 있어서의 구동 소자, 특히 대면적 디바이스에 사용하는 경우에 바람직하다.

[0137] 또한, 실시형태의 전계 효과형 트랜지스터는, 수지 기판을 사용한 저온 프로세스로 제조 가능한 디바이스에 특히 바람직하고 (예를 들어 플렉시블 디스플레이 등), X 선 센서 등의 각종 센서, MEMS (Micro Electro Mechanical System) 등, 여러 전자 디바이스에 있어서의 구동 소자 (구동 회로) 로서 바람직하게 사용되는 것이다.

- [0138] 5. 전기 광학 장치 및 센서
- [0139] 본 실시형태의 전기 광학 장치 또는 센서는, 전술한 전계 효과형 트랜지스터 (TFT (10)) 를 구비하여 구성된다.
- [0140] 전기 광학 장치의 예로는, 표시 장치 (예를 들어 액정 표시 장치, 유기 EL 표시 장치, 무기 EL 표시 장치 등) 가 있다.
- [0141] 센서의 예로는, CCD (Charge Coupled Device) 또는 CMOS (Complementary Metal Oxide Semiconductor) 등의 이미지 센서나, X 선 센서 등이 바람직하다.
- [0142] 본 실시형태의 TFT 를 사용한 전기 광학 장치 및 센서는 모두 특성의 면내 균일성이 높다. 또한, 여기서 말하는 「특성」 이란, 전기 광학 장치 (표시 장치) 인 경우에는 표시 특성, 센서의 경우에는 감도 특성이다.
- [0143] 이하, 본 실시형태에 의해 제조되는 전계 효과형 트랜지스터를 구비한 전기 광학 장치 또는 센서의 대표예로서, 액정 표시 장치, 유기 EL 표시 장치, X 선 센서에 대해 설명한다.
- [0144] 6. 액정 표시 장치
- [0145] 도 3 에 본 발명의 전기 광학 장치의 일 실시형태의 액정 표시 장치에 대해, 그 일부분의 개략 단면도를 나타내고, 도 4 에 그 전기 배선의 개략 구성도를 나타낸다.
- [0146] 도 3 에 나타내는 바와 같이, 본 실시형태의 액정 표시 장치 (100) 는, 도 1 에 나타낸 보텀 게이트 구조로 톱 콘택트형의 TFT (10) 와, TFT (10) 의 패시베이션층 (102) 으로 보호된 산화물 반도체층 (18) 상에 화소 하부 전극 (104) 및 그 대향 상부 전극 (106) 사이에 끼워진 액정층 (108) 과, 각 화소에 대응시켜 상이한 색을 발색시키기 위한 RGB 컬러 필터 (110) 를 구비하고, TFT (10) 의 기판 (12) 측 및 RGB 컬러 필터 (110) 상에 각각 편광판 (112a, 112b) 을 구비한 구성이다.
- [0147] 또, 도 4 에 나타내는 바와 같이, 본 실시형태의 액정 표시 장치 (100) 는, 서로 평행한 복수의 게이트 배선 (112) 과, 그 게이트 배선 (112) 과 교차하는 서로 평행한 데이터 배선 (114) 을 구비하고 있다. 여기서 게이트 배선 (112) 과 데이터 배선 (114) 은 전기적으로 절연되어 있다. 게이트 배선 (112) 과 데이터 배선 (114) 의 교차부 부근에 TFT (10) 가 구비되어 있다.
- [0148] TFT (10) 의 게이트 전극 (14) 은 게이트 배선 (112) 에 접속되어 있고, TFT (10) 의 소스 전극 (20) 은 데이터 배선 (114) 에 접속되어 있다. 또, TFT (10) 의 드레인 전극 (22) 은 게이트 절연층 (16) 에 형성된 콘택트홀 (116) 을 개재하여 (콘택트홀 (116) 에 도전체가 매립되어) 화소 하부 전극 (104) 에 접속되어 있다. 이 화소 하부 전극 (104) 은 접지된 대향 상부 전극 (106) 과 함께 캐패시터 (118) 를 구성하고 있다.
- [0149] 본 실시형태의 TFT 는 광 조사시의 안정성이 매우 높은 점에서, 액정 표시 장치의 신뢰성이 증가한다.
- [0150] 7. 유기 EL 표시 장치
- [0151] 도 5 에, 본 발명의 전기 광학 장치의 일 실시형태인 액티브 매트릭스 방식의 유기 EL 표시 장치에 대해, 그 일부분의 개략 단면도를 나타내고, 도 6 에 전기 배선의 개략 구성도를 나타낸다.
- [0152] 유기 EL 표시 장치의 구동 방식에는, 단순 매트릭스 방식과 액티브 매트릭스 방식의 2 종류가 있다. 단순 매트릭스 방식은 저비용으로 제조할 수 있는 장점이 있지만, 주사선을 1 개씩 선택하여 화소를 발광시키는 점에서, 주사선수와 주사선당 발광 시간은 반비례한다. 그 때문에 고정세화, 대화면화가 곤란해지고 있다. 액티브 매트릭스 방식은 화소마다 트랜지스터나 캐패시터를 형성하기 때문에 제조 비용이 높아지지만, 단순 매트릭스 방식과 같이 주사선수를 늘릴 수 없다는 문제는 없기 때문에 고정세화, 대화면화에 적합하다.
- [0153] 본 실시형태의 액티브 매트릭스 방식의 유기 EL 표시 장치 (200) 는, 도 1 에 나타낸 보텀 게이트 구조의 TFT (10) 가 기판 (12) 상에 형성되어 있다. 이 기판 (12) 은 예를 들어 가요성 지지체로서, PEN 등의 플라스틱 필름이고, 절연성으로 하기 위해서 표면에 기판 절연층 (202) 을 갖는다. 그 위에 패터닝된 컬러 필터층 (204) 이 설치된다. 구동 TFT 부에 게이트 전극 (14) 을 갖고, 또한 게이트 절연막 (16) 이 게이트 전극 (14) 상에 형성된다. 게이트 절연막 (16) 의 일부에는 전기적 접속을 위해서 커넥션홀이 열린다. 구동 TFT 부에 산화물 반도체층 (18) 이 형성되고, 그 위에 소스 전극 (20) 및 드레인 전극 (22) 이 형성된다. 드레인 전극 (22) 과 유기 EL 소자의 화소 전극 (양극) (206) 은, 연속한 일체로서, 동일 재료·동일 공경으로 형성된다. 스위칭 TFT 의 드레인 전극 (22) 과 구동 TFT 는, 커넥션 전극 (208) 에 의해 커넥션홀에서 전기적으로 접속된다. 또한, 화소 전극부의 유기 EL 소자가 형성되는 부분을 제외하고, 전체가 절연막 (210) 으

로 덮인다. 화소 전극부 상에 발광층을 포함하는 유기층 (212) 및 음극 (214) 이 형성되고, 유기 EL 소자부가 형성된다.

[0154] 또, 도 6 에 나타내는 바와 같이, 본 실시형태의 유기 EL 표시 장치 (200) 는, 서로 평행한 복수의 게이트 배선 (220) 과, 그 게이트 배선 (220) 과 교차하는 서로 평행한 데이터 배선 (222) 및 구동 배선 (224) 을 구비하고 있다. 여기서, 게이트 배선 (220) 과 데이터 배선 (222), 구동 배선 (224) 은 전기적으로 절연되어 있다.

스위칭용 TFT (10b) 의 게이트 전극 (14) 은 게이트 배선 (220) 에 접속되어 있고, 스위칭용 TFT (10b) 의 소스 전극 (20) 은 데이터 배선 (222) 에 접속되어 있다. 또, 스위칭용 TFT (10b) 의 드레인 전극 (22) 은 구동용 TFT (10a) 의 게이트 전극 (14) 에 접속됨과 함께, 캐패시터 (226) 를 사용함으로써 구동용 TFT (10a) 를 온 상태로 유지한다. 구동용 TFT (10a) 의 소스 전극 (20) 은 구동 배선 (224) 에 접속되고, 드레인 전극 (22) 은 유기층 (212) 에 접속된다.

[0155] 본 발명에 의해 제조되는 TFT 는 광 조사시에 있어서의 안정성이 매우 높은 점에서, 신뢰성이 높은 유기 EL 표시 장치의 제조에 적합하다.

[0156] 또한, 도 5 에 나타난 유기 EL 표시 장치에 있어서, 유기층 (212) 의 상부 전극을 투명 전극으로 하여 탑 이미션형으로 해도 되고, 유기층 (212) 의 하부 전극 및 TFT 의 각 전극을 투명 전극으로 함으로써 보텀 이미션형으로 해도 된다.

[0157] 8. X 선 센서

[0158] 도 7 에 본 발명의 센서의 일 실시형태인 X 선 센서에 대해, 그 일부분의 개략 단면도를 나타내고, 도 8 에 그 전기 배선의 개략 구성도를 나타낸다.

[0159] 도 7 은 보다 구체적으로는 X 선 센서 어레이의 일부를 확대한 개략 단면도이다. 본 실시형태의 X 선 센서 (300) 는, 기판 (12) 상에 형성된 TFT (10) 및 캐패시터 (310) 와, 캐패시터 (310) 상에 형성된 전하 수집용 전극 (302) 과, X 선 변환층 (304) 과, 상부 전극 (306) 을 구비하여 구성된다. TFT (10) 상에는 패시베이션막 (308) 이 형성되어 있다.

[0160] 캐패시터 (310) 는, 캐패시터용 하부 전극 (312) 과 캐패시터용 상부 전극 (314) 으로 절연막 (316) 을 사이에 끼운 구조로 되어 있다. 캐패시터용 상부 전극 (314) 은 절연막 (316) 에 형성된 컨택트홀 (318) 을 개재하여 TFT (10) 의 소스 전극 (20) 및 드레인 전극 (22) 중 어느 일방 (도 7 에 있어서는 드레인 전극 (22)) 과 접속되어 있다.

[0161] 전하 수집용 전극 (302) 은, 캐패시터 (310) 에 있어서의 캐패시터용 상부 전극 (314) 상에 형성되어 있고, 캐패시터용 상부 전극 (314) 에 접하고 있다.

[0162] X 선 변환층 (304) 은, 아모르퍼스 셀렌으로 이루어지는 층이고, TFT (10) 및 캐패시터 (310) 를 덮도록 형성되어 있다.

[0163] 상부 전극 (306) 은, X 선 변환층 (304) 상에 형성되어 있고, X 선 변환층 (304) 에 접하고 있다.

[0164] 도 8 에 나타내는 바와 같이, 본 실시형태의 X 선 센서 (300) 는 서로 평행한 복수의 게이트 배선 (320) 과, 게이트 배선 (320) 과 교차하는 서로 평행한 복수의 데이터 배선 (322) 을 구비하고 있다. 여기서 게이트 배선 (320) 과 데이터 배선 (322) 은 전기적으로 절연되어 있다. 게이트 배선 (320) 과 데이터 배선 (322) 의 교차부 부근에 TFT (10) 가 구비되어 있다.

[0165] TFT (10) 의 게이트 전극 (14) 은 게이트 배선 (320) 에 접속되어 있고, TFT (10) 의 소스 전극 (20) 은 데이터 배선 (322) 에 접속되어 있다. 또, TFT (10) 의 드레인 전극 (22) 은 전하 수집용 전극 (302) 에 접속되어 있고, 또한 이 전하 수집용 전극 (302) 은 캐패시터 (310) 에 접속되어 있다.

[0166] 본 실시형태의 X 선 센서 (300) 에 있어서, X 선은 도 7 중, 상부 (상부 전극 (306) 측) 로부터 조사되어, X 선 변환층 (304) 에서 전자-정공쌍을 생성한다. 이 X 선 변환층 (304) 에 상부 전극 (306) 에 의해 고전계를 인가해 됨으로써, 생성된 전하는 캐패시터 (310) 에 축적되고, TFT (10) 를 순차 주사함으로써 판독된다.

[0167] 본 실시형태의 X 선 센서 (300) 는 광 조사시의 안정성이 높은 TFT (10) 를 구비하기 때문에, 균일성이 우수한 화상을 얻을 수 있다.

[0168] 실시예

- [0169] 이하에 실시예를 설명하지만, 본 발명은 이들 실시예에 의해 전혀 한정되는 것은 아니다.
- [0170] <제 3 공정의 열처리에 의한 광 조사 특성의 검증>
- [0171] 제 2 산화물 반도체막의 성막으로부터 제 3 산화물 반도체막의 성막까지의 사이에 열처리 공정 (제 3 공정) 을 도입함으로써, 광 조사 특성이 어떻게 변화하는지, 이하와 같은 보텀 게이트·톱 콘택트형의 TFT 를 실시예 1 ~ 3 의 TFT 및 비교예 1 의 TFT 로서 제조하여, 광 조사시의 TFT 특성을 평가함으로써 검증하였다.
- [0172] -실시예 1-
- [0173] 먼저, 실시예 1 에 관련된 TFT 를 이하와 같은 제조 방법을 사용하여 제조하였다.
- [0174] 도 9a 는 실시예 및 비교예의 TFT 의 평면도이고, 도 9b 는 도 9a 에 나타내는 TFT 의 A-A 선에서 본 단면도이다.
- [0175] 도 9a 및 도 9b 에 나타내는 바와 같이, 기판으로서 미츠비시 머티리얼사 제조의 열산화막 (504) 이 형성된 p형 Si 기판 (502) (가로 세로 1 inch, 두께 : 525 μm , 열산화막 (SiO_2) : 100 nm) 을 사용하여, 열산화막 (504) 을 게이트 절연층으로서 사용하는 간이형 TFT (500) 를 제조하였다.
- [0176] 기판 (502) 상에 형성하는 산화물 반도체층 (505) 은 상기 서술한 바와 같이, 제 1 산화물 반도체막 (506) 과, 제 2 산화물 반도체막 (507) 과, 제 3 산화물 반도체막 (508) 으로 나누었지만, 각 막 사이에서 대기 중에 노출되지 않고 연속해서 성막을 실시하였다. 각 막의 스퍼터는 제 1 ~ 제 3 산화물 반도체막 (506 ~ 508) 에 있어서는 In_2O_3 타깃, Ga_2O_3 타깃, ZnO 타깃을 사용한 3 원 공스퍼터를 사용하여 실시하였다. 각 영역의 막 두께 조정은 성막 시간의 조정으로 실시하였다.
- [0177] 구체적으로, 먼저 기판 (502) 의 열산화막 (504) 상에 제 1 산화물 반도체막 (506) 을 5 nm 스퍼터 성막하였다 (제 1 공정). 제 1 산화물 반도체막 (506) 은 $\text{In}(a)\text{Ga}(b)\text{Zn}(c)\text{O}(d)$, ($a > 0, b > 0, c > 0, d > 0, a + b + c = 1$) 로 했을 때, 조성비가 $a : b : c = 0.617 : 0.050 : 0.333$ 인 IGZO 막으로 하였다. 이 성막시, 타깃 투입 전력 (W) 은 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 47.3 : 23.1 : 14.0$ 으로 하였다.
- [0178] 또, 다른 스퍼터 조건은 다음과 같이 하였다.
- [0179] 도달 진공도 ; 6×10^{-6} Pa
- [0180] 성막 압력 ; 4.4×10^{-1} Pa
- [0181] 성막 온도 ; 실온
- [0182] 산소 분압/아르곤 분압 ; 0.067
- [0183] 다음으로, 제 1 산화물 반도체막 (506) 상에 제 2 산화물 반도체막 (507) 을 5 nm 스퍼터 성막하였다 (제 2 공정). 제 2 산화물 반도체막 (507) 은, 조성비가 $\text{In}(a)\text{Ga}(b)\text{Zn}(c)\text{O}(d)$, ($a > 0, b > 0, c > 0, d > 0$), $b/(a + b) = 0.750$ ($a : b : c = 0.167 : 0.500 : 0.333$) 으로 나타내어지는 IGZO 막으로 하였다.
- [0184] 그 후, 제 3 공정으로서 산소 분압 100 % 의 산화성 분위기하 450 $^{\circ}\text{C}$ 에서 열처리를 실시하였다. 또한, 산소 분압 100 % 의 산화성 분위기는, 가스 붐베로부터 플로우한 것이며, 분위기 전체에 함유되는 수분 함유량이 노점 온도 환산으로 -36 $^{\circ}\text{C}$ 이하 (절대 습도 0.21 g/m^3 이하) 인 것이다.
- [0185] 열처리 후, 제 3 산화물 반도체막 (508) 으로서, 제 2 산화물 반도체막 (507) 과 동일한 조성의 IGZO 막을 45 nm 성막하였다 (제 4 공정). 또한, 제 2 산화물 반도체막 (507) 및 제 3 산화물 반도체막 (508) 의 스퍼터 조건은 이하와 같다.
- [0186] 도달 진공도 ; 6×10^{-6} Pa
- [0187] 성막 압력 ; 4.4×10^{-1} Pa
- [0188] 성막 온도 ; 실온
- [0189] 산소 분압/아르곤 분압 ; 0.067

- [0190] In_2O_3 , Ga_2O_3 , ZnO 타깃의 투입 전력비 ; 19.3 : 70.0 : 14.5
- [0191] 또한, 각 스퍼터 성막에서는 메탈 마스크를 사용하여 패턴 성막하고 있다. 또, X 선 회절 측정에 의해 산화물 반도체층 (505) 의 각 막은 비정질막인 것을 확인하고, 이것은 이하의 실시예, 비교예 및 실험예에서도 동일한 결과가 되었다. 또, 동일한 조성으로 성막한 단막에 대해, 홀 측정에 의해, 제 1 산화물 반도체막 (506) 의 저항률이 제 2 산화물 반도체막 (507) 의 저항률보다 낮은 것을 확인하였다.
- [0192] 제 3 산화물 반도체막 (508) 의 성막 후, 메탈 마스크를 개재한 진공 증착법에 의해, Ti (10 nm)/Au (40 nm) 로 이루어지는 전극층 (소스 전극 (510) · 드레인 전극 (512)) 을 제 3 산화물 반도체막 (508) 상에 형성하였다 (전극 형성 공정). 소스 · 드레인 전극 (510, 512) 의 사이즈는 각각 가로 세로 1 mm 로 하고, 전극간 거리는 0.15 mm 로 하였다.
- [0193] 전극층 형성 후에는, 산화성 분위기 (= 대기 분위기) 하 450 °C 에서 열처리를 실시하였다 (제 5 공정). 또한, 대기 분위기란, 산소 분압이 21 % 이고, 분위기 전체에 함유되는 수분 함유량이 노점 온도 환산으로 16 °C (절대 습도 13.6 g/m³) 인 것이다.
- [0194] 이상에 의해, 채널 길이 180 μm, 채널 폭 1 mm 의 실시예 1 에 관련된 보텀 게이트형의 TFT 를 얻었다.
- [0195] -실시예 2-
- [0196] 실시예 2 에 관련된 TFT 는, 열처리 공정 즉 제 3 공정과 제 5 공정의 열처리 분위기 이외에는 TFT (500) 와 동일한 제조 방법을 사용하였다. 구체적으로, 제 3 공정에서는 열처리 분위기로써 대기 분위기를 사용하고, 제 5 공정에서는 열처리 분위기로써 산소 분압 100 % 의 산화성 분위기를 사용하여, 실시예 2 에 관련된 TFT 를 얻었다.
- [0197] -실시예 3-
- [0198] 실시예 3 에 관련된 TFT 는, 열처리 공정 즉 제 3 공정과 제 5 공정의 열처리 분위기 이외에는 TFT (500) 와 동일한 제조 방법을 사용하였다. 구체적으로, 제 3 공정에서는 산소 분압 100 % 의 산화성 분위기를 사용하고, 제 5 공정에서는 열처리 분위기로써 산소 분압 100 % 의 산화성 분위기를 사용하여, 실시예 3 에 관련된 TFT 를 얻었다.
- [0199] -비교예 1-
- [0200] 비교예 1 에 관련된 TFT 는, 열처리 공정 즉 제 3 공정과 제 5 공정 이외에는 TFT (500) 와 동일한 제조 방법을 사용하였다. 구체적으로, 제 3 공정은 실시하지 않고, 제 5 공정에서는 열처리 온도를 450 °C 로 하고, 열처리 분위기로써 산소 분압 100 % 의 산화성 분위기를 사용하여, 비교예 1 에 관련된 TFT 를 얻었다.
- [0201] -평가-
- [0202] 제조한 실시예 1 ~ 3 및 비교예 1 에 관련된 TFT 는 Vg-Id 특성을 평가한 후, 파장 가변의 모노크로 광을 조사함으로써, 광 조사에 대한 TFT 특성의 안정성을 평가하였다.
- [0203] TFT 특성의 평가는, 반도체 파라미터 · 애널라이저 4156C (아지렌트 테크놀로지사 제조) 를 사용하였다. 그 장치로, Vg-Id 특성의 측정은, 드레인 전압 (Vd) 을 10 V 로 고정시키고, 게이트 전압 (Vg) 을 -30 V ~ +30 V 의 범위 내에서 소인 (掃引) 하여, 각 게이트 전압 (Vg) 에 있어서의 드레인 전류 (Id) 를 측정함으로써 실시하였다. 또, 전계 효과 이동도는, 드레인 전압 (Vd) 을 1 V 로 고정시킨 상태에서 게이트 전압 (Vg) 을 -30 V ~ +30 V 의 범위 내에서 소인하여 얻은 선형 영역에서의 Vg-Id 특성으로부터 선형 이동도를 산출한 것이다.
- [0204] 도 10 은 모노크로 광 조사하에 있어서의 TFT 특성 측정의 개략을 나타내는 도면이다.
- [0205] 도 10 에 나타내는 바와 같이, 프로브 스테이지대 (600) 에 각 TFT 를 두고, 건조 대기를 2 시간 이상 흘린 후, 당해 건조 대기 분위기하에서 TFT 특성을 측정하였다. 모노크로 광원의 조사 강도는 10 μW/cm², 파장 λ 의 범위를 380 ~ 700 nm 로 하고, 모노크로 광 비조사시의 Vg-Id 특성과 모노크로 광 조사시의 Vg-Id 특성을 비교함으로써, 광 조사 안정성 (임계값 시프트 : ΔVth) 을 평가하였다. 모노크로 광 조사하에 있어서의 TFT 특성의 측정 조건은, Vds = 10 V 로 고정시키고, Vg = -15 ~ 15 V 의 범위에서 게이트 전압을 소인하여 측정하였다. 또한, 이하에서 특별히 언급하고 있는 경우를 제외하고, 모든 측정은 모노크로 광을 10 분 조사했을 때에 실시하고 있다.

[0206] 도 11 은 실시예 1 에 관련된 TFT 에 대해 모노크로 광 조사하에 있어서의 V_g - I_d 특성을 나타내는 도면이다.
 도 12 는 실시예 2 에 관련된 TFT 에 대해 모노크로 광 조사하에 있어서의 V_g - I_d 특성을 나타내는 도면이다.
 도 13 은 실시예 3 에 관련된 TFT 에 대해 모노크로 광 조사하에 있어서의 V_g - I_d 특성을 나타내는 도면이다.
 도 14 는 비교예 1 에 관련된 TFT 에 대해 모노크로 광 조사하에 있어서의 V_g - I_d 특성을 나타내는 도면이다.

[0207] 또, 표 1 은 실시예 1 ~ 3 및 비교예 1 의 TFT 제조 조건과 TFT 특성의 일람이다. 또한, 표 중의 「 μ 」는 전계 효과 이동도를 의미하고, V_{th} 는 임계값 전압을 의미하고, ΔV_{th} 는 파장 420 nm 의 광을 조사했을 때의 임계값 시프트를 의미하고, 다른 표에 대해서도 동일하다.

표 1

	제 3 공정 열처리 분위기	제 5 공정 열처리 분위기	μ (cm^2/Vs)	V_{th} (V)	ΔV_{th} (V) (420nm 광 조사)
실시예1	산소100%	대기	54.4	0.65	-0.95
실시예2	대기	산소100%	39.0	1.00	-0.59
실시예3	산소100%	산소100%	26.5	2.33	-0.12
비교예1	-	대기	56.0	-0.10	-1.15

[0208]

[0209] 표 1 이나 도 11 ~ 도 14 에 나타내는 결과로부터, 열처리 공정 (제 3 공정) 을 실시하지 않았던 비교예 1 에 대해서는, 파장 : 420 nm 의 모노크로 광에 대해 $\Delta V_{th} = -1.15$ V 와 1 V 를 상회하는 임계값 시프트를 나타내고 있는 것을 알 수 있었다. 한편, 제 3 공정을 실시한 실시예 1 ~ 3 에 있어서는 파장 : 420 nm 의 모노크로 광에 대해 모두 $|\Delta V_{th}| \leq 1$ V 와, 광 조사 안정성이 향상 (개선) 되어 있는 것을 알 수 있다. 특히 광 조사 안정성의 향상 정도는, 대기 중 (산소 분압 21 %) 에서 열처리를 실시하는 것보다도, 산소 분압 100 % 의 분위기하만으로 열처리를 실시했을 경우 (실시예 3) 가 큰 것을 알아내었다.

[0210] <제 3 공정 및 제 5 공정의 열처리 온도에 대해 (1) : 열처리에 있어서의 산소 확산 깊이의 검증>
 [0211] 제 3 공정이나 제 5 공정의 열처리로 산화성 분위기 중의 산소가 열처리 온도와 관계에 의해, 산화물 반도체층의 어느 정도 깊은 곳까지 확산되어 가는지 검증하였다.

[0212] -실험예 1 ~ 실험예 4-
 [0213] 실험예 1 에서는, 기판으로서 게이트 전극을 겸하는 열산화막이 형성된 p 형 Si 기판 (가로 세로 1 inch \times 1 mm, 두께 : 525 μ m, 열산화막 (SiO_2) : 두께 : 100 nm) 을 준비하였다.

[0214] 구체적으로는, 레지스트 도포/베이킹, 에칭에 의한 이면 SiO_2 박리 (BHF 사용), 순수 세정, 레지스트 박리 (황산과수 사용), 순수 세정/린스, N_2 블로우하여 제조된 열산화막이 형성된 p 형 Si 기판을 준비하였다. 또한, 이 기판은 보론 도프로 저항률 : 0.001 ~ 0.0013 Ω cm 의 것이다.

[0215] 이 기판 상에 배압 : 5×10^{-6} Pa, 성막 압력 : 0.8 Pa, Ar : 30 sccm (5.07×10^{-2} Pa m^3/s), O_2 : 0.25 sccm (4.225×10^{-4} Pa m^3/s), DC : 50 W 의 조건하, IGZO 막 (In : Ga : Zn = 1 : 1 : 1) 을 두께 50 nm 로 하여 DC 스퍼터에 의해 성막하였다. 또한, 통상에서는 IGZO 막 형성 후에 포토리소그래피 및 에칭에 의해 패터닝을 실시하지만, 본 발명의 효과를 보다 정확하게 확인하기 위해 포토리소그래피 및 에칭에서의 IGZO 막 계면의 오염이나 데미지의 영향을 배제하기 위해, 실험예 1 에서는 메탈 마스크를 사용한 패터닝 성막을 실시하고 있다. 또한, X 선 회절 측정에 의해 이 IGZO 막은 비정질막인 것을 확인하였다.

[0216] 다음으로, IGZO 막면 상에 소스 전극이나 드레인 전극은 형성하지 않고, 배압 : 5×10^{-6} Pa, 성막 압력 : 0.4 Pa, Ar : 30 sccm (5.07×10^{-2} Pa m^3/s), O_2 : 0.3 sccm (5.07×10^{-4} Pa m^3/s), RF : 50 W 의 조건하, 두께 50 nm 의 Ga_2O_3 막으로 이루어지는 보호층을 RF 스퍼터 성막하였다. 그리고 이들 공정을 반복하여 샘플을 4 개 준비하였다.

[0217] 준비한 4 개의 샘플에 대해, 산소 안정 동위체인 O_{18} 가스 (타이요 일산사의 시판 $18O_2$ 가스) 분위기하, 300 $^{\circ}C$, 350 $^{\circ}C$, 400 $^{\circ}C$ 또는 450 $^{\circ}C$ 의 열처리 온도에서 가열 처리를 실시하였다. 산소 안정 동위체인 O_{18} 은

통상적인 O16 과 실질적으로 동일한 확산 길이를 가지며, 보호층이나 활성층으로 확산되어 갈 것이 예상된다.
또한, 300 °C 에서 열처리한 샘플을 실험에 1 의 샘플로 하고, 350 °C 에서 열처리한 샘플을 실험에 2 의 샘플로 하며, 400 °C 에서 열처리한 샘플을 실험에 3 의 샘플로 하고, 450 °C 에서 열처리한 샘플을 실험에 4 의 샘플로 호칭한다.

[0218]

-SIMS 분석-

[0219]

다음으로, 실험에 1 ~ 실험에 4 의 샘플에 대해 SIMS 분석을 실시하였다. SIMS 분석에서는, 구체적으로 SIMS 분석 장치로서 알박 파이 주식회사의 형식 : PHI ADEPT1010 을 사용하였다. 또, 분석 환경은, 일차 이온종 : Cs+, 일차 가속 전압 : 3.0 kV, 검출 영역 : 56 × 56 (μm × μm) 으로 하였다. 또, 샘플로부터의 이차 이온은 부극성을 검출하였다.

[0220]

도 15 는 실험에 1 의 샘플에 대한 SIMS 분석 결과를 나타내는 도면이다. 도 16 은 실험에 2 의 샘플에 대한 SIMS 분석 결과를 나타내는 도면이다. 도 17 은 실험에 3 의 샘플에 대한 SIMS 분석 결과를 나타내는 도면이다. 도 18 은 실험에 4 의 샘플에 대한 SIMS 분석 결과를 나타내는 도면이다.

[0221]

도 15 로부터, 실험에 1 의 샘플, 요컨대 300 °C 의 열처리에서는 산소가 확산 (보호층 등으로의 유입) 자체를 하고 있지 않는 것을 알 수 있었다. 다음으로, 도 16 ~ 도 18 을 보면, 열처리 온도가 높아짐에 따라, 산소의 확산 거리 L 이 길어져 있는 것을 알 수 있었다.

[0222]

그래서, 도 15 ~ 도 18 의 분석 결과에 기초하여, 각 열처리 온도에서 180/(O16 + O18) 의 강도가 보이기 시작하는 깊이, 요컨대 O18 (= O16) 의 확산 거리 L (nm) 을 구하고, 표 2 에 정리하였다.

표 2

	열처리 온도 T (°C)	확산 거리 L (nm)
실험에 1	300	0
실험에 2	350	8
실험에 3	400	12
실험에 4	450	18

[0223]

다음으로, 구한 산소의 확산 거리 L 과 열처리 온도의 관계를 그래프에 플롯하였다. 도 19 는 구한 산소의 확산 거리 L 과 열처리 온도의 관계를 플롯한 그래프도이다.

[0225]

그리고, 도 19 중의 플롯에 기초하여, 산소의 확산 거리 L 과 열처리 온도의 관계를 나타내는 3 차 함수의 근사 곡선을 산출하였다. 이 산출의 결과, $L = 8 \times 10^{-6} \times T^3 - 0.0092 \times T^2 + 3.6 \times T - 468 \pm 0.1$ 이라는 관계식이 얻어졌다. 또한, 「±0.1」 은 측정 (및 산출) 오차이고, 도면 중에서는, 오차 바로 나타내고, 그 오차 바를 보기 쉽게 하기 위해 「±0.1」 보다 크게 나타내고 있다.

[0226]

이상의 결과로부터, 예를 들어 열처리 온도 T 가 400 °C 인 경우를 예로 들면, 도 19 에 나타내는 바와 같이, 산화성 분위기로부터 Ga₂O₃ 막에 약 12 nm 까지 O18 이 확산되어 있는 (유입되어 있는) 것을 알 수 있다. 또한, 이 결과는, Ga₂O₃ 막이 IGZO 막 등의 다른 재료의 막이어도 변화하지 않는 것도 확인하고 있다.

[0227]

따라서, 제 2 산화물 반도체막 (507) 의 두께를 Z 로 하고, 제 3 공정의 열처리 온도를 T 로 하고, 제 2 산화물 반도체막 (507) 을 개재하여 제 1 산화물 반도체막 (506) 의 계면 내부에 산화성 분위기 중의 산소를 공급하기 위해서는, $Z < L = 8 \times 10^{-6} \times T^3 - 0.0092 \times T^2 + 3.6 \times T - 468 \pm 0.1$ 이 되도록 제 2 공정과 제 3 공정을 조정하는 것이 바람직한 것으로 상정할 수 있다.

[0228]

그래서, 제 3 공정의 온도를 고정시키고, 제 2 산화물 반도체막 (507) 의 두께 Z 를 변화시킴으로써, Z < L 일 때와 Z ≥ L 일 때의 효과 (TFT 특성 및 광 조사 안정성) 의 차이 등을 이하의 두께 의존성의 실험으로 확인하였다.

[0229]

<광 조사 안정성의 제 2 산화물 반도체막 (507) 의 두께 의존성>

[0230]

-실시예 4 ~ 12-

[0231] 제 2 산화물 반도체막 (507) 의 두께 Z 변조는, 제 3 공정 및 제 5 공정에서의 열처리 조건을 분위기 : 산소 100 % 또한 열처리 온도 T : 450 °C 로 고정시키고, 제 2 산화물 반도체막 (507) 의 두께를 3 ~ 50 nm 의 사이에서 계통적으로 변화시키는 것에 의해 실시하였다. 구체적으로, TFT 의 구성, 조성은 실시예 1 과 동일하고, 제 2 산화물 반도체막 (507) 의 두께 Z 만 3 ~ 50 nm 의 사이에서 변조한 실시예 4 ~ 12 에 관련된 TFT 를 제조하였다. 제 2 산화물 반도체막 (507) 과 제 3 산화물 반도체막 (508) 의 합계의 두께는 50 nm 이고, 실시예 4 ~ 11 에서 공통이다. 또한, 실시예 12 에 대해서는, 제 3 산화물 반도체막 (508) 은 없고, 제 3 공정, 전극 형성 공정, 제 5 공정의 순서로 제조하고 있다.

[0232] -평가-

[0233] 제조한 실시예 4 ~ 11 에 관련된 TFT 는 Vg-Id 특성을 평가한 후, 과장 가변의 모노크로 광을 조사함으로써, 광 조사에 대한 TFT 특성의 안정성을 평가하였다. 또한, 평가의 방법은 상기 서술한 방법과 동일하다.

[0234] 표 3 은 실시예 4 ~ 12 및 비교예 1 의 제 2 산화물 반도체막 (507) 의 두께 Z 와 TFT 특성의 일람이다. 또한, 전계 효과 이동도 μ 는, 광 조사 전이라도 광 조사 후에도 거의 변화하지 않았기 때문에, 표 3 에서는 광 조사 전의 전계 효과 이동도 μ 를 기재하고 있다. 또한, Vth 는 광 조사 전의 임계값 전압 (V) 이고, ΔV_{th} 는 과장 420 nm 의 광을 TFT 를 향해 조사했을 때의 임계값 시프트이다.

표 3

	두께 Z (nm)	μ (cm^2/Vs)	Vth (V)	ΔV_{th} (V) (420nm 광 조사)	제 3 공정의 유무	TFT 특성
실시예 4	3.0	23.2	2.10	0.0130	유	○
실시예 5	5.0	26.5	2.33	-0.1190	유	○
실시예 6	7.0	33.1	0.30	-0.0700	유	◎
실시예 7	8.0	46.9	2.21	-0.0180	유	◎
실시예 8	10.0	33.8	0.50	0.0005	유	◎
실시예 9	15.0	30.1	0.67	0.0120	유	◎
실시예 10	20.0	46.5	-2.79	-0.0570	유	△
실시예 11	30.0	43.6	1.01	-0.0490	유	△
실시예 12	50.0	46.7	1.72	-0.0640	유	△
비교예 1	50.0	56.0	-0.10	-1.1500	무	×

[0235] 도 20 은 측정 결과 중 대표적인 Vg-Id 특성인 실시예 7 의 TFT 에 대한 광 조사하에 있어서의 Vg-Id 특성을 나타내는 도면이다. 도 21 은 측정 결과 중 대표적인 Vg-Id 특성인 실시예 9 의 TFT 에 대한 광 조사하에 있어서의 Vg-Id 특성을 나타내는 도면이다. 도 22 는 측정 결과 중 대표적인 Vg-Id 특성인 실시예 10 의 TFT 에 대한 광 조사하에 있어서의 Vg-Id 특성을 나타내는 도면이다. 도 23 은 측정 결과 중 대표적인 Vg-Id 특성인 실시예 11 의 TFT 에 대한 광 조사하에 있어서의 Vg-Id 특성을 나타내는 도면이다. 도 24 는 측정 결과 중 대표적인 Vg-Id 특성인 실시예 12 의 TFT 에 대한 광 조사하에 있어서의 Vg-Id 특성을 나타내는 도면이다. 또, 도 25 는 표 3 에 나타내는 결과에 기초하여, 제 2 산화물 반도체막 (507) 의 두께 Z 와 전계 효과 이동도 μ 의 관계 및 두께 Z 와 ΔV_{th} 의 관계를 나타낸 도면이다.

[0237] 표 3, 도 20 ~ 도 25 에 나타내는 결과로부터, 먼저 실시예 4 ~ 14 의 TFT 는, 비교예 1 에 비해 광 조사시의 ΔV_{th} 가 비교예 1 의 약 1/10 이하가 되어 대폭 개선되어 있는 것을 알 수 있었다. 또, 제 2 산화물 반도체막 (507) 의 두께 Z 를 변조함으로써, 전계 효과 이동도 μ 나 Vth 의 초기 특성, 및 ΔV_{th} 등의 광 조사 특성이 함께 변화하고 있는 것을 알 수 있었다.

[0238] 여기서, 도 20 ~ 도 24 를 비교하면, 도 20 및 도 21 에 비해 도 22 ~ 도 24 에는, 2 단계의 상승을 확인할 수 있었다 (도 중 ○ 부분). 구체적으로, 제 2 산화물 반도체막 (507) 의 두께 Z 가, 열처리 온도 : 450 °C 에서의 산소 확산 거리 L : 18 nm 이상인, 즉, $Z \geq L = 8 \times 10^{-6} \times T^3 - 0.0092 \times T^2 + 3.6 \times T - 468 \pm 0.1$ 의 관계식을 만족하는 열처리 온도 T 와 두께 Z 이면, 2 단계의 상승을 확인할 수 있었다.

[0239] 이것은 제 1 산화물 반도체막 (506) 과 제 2 산화물 반도체막 (507) 의 계면 결함이 보상되어 있지 않고, 또 제 1 산화물 반도체막 (506) 과 제 2 산화물 반도체막 (507) 의 계면이 저저항화되고, 게이트 바이어스를 인가하고 있지 않은 상태에서도 채널이 열려 있는 것을 의미하고 있는 것으로 생각된다. 광 조사시에 야기된 전자-정

공쌍 중, 홀이 계면 결합에 트랩되기 때문에, 계면 부근의 패러렐 전도 채널의 캐리어가 증대되고, 1 단계의 상승 부분이 (임계값을 정의한다고 하면), 크게 마이너스 시프트되어 있다. 메인 채널 (게이트 절연막 (열산화막 (504))/제 1 산화물 반도체막 (506) 에 존재) 부근에는 홀 트랩의 영향이 미치지 않기 때문에, 종래와 같이 메인 채널의 상승으로부터 임계값을 계산했을 경우, 임계값은 개선되어 있는 것처럼 보이는 것으로 생각된다.

[0240] 도 26 은 $Z \geq L$ 에서의 특성 열화를 설명하는 이미지도이다.

[0241] 도 26 을 참조하면서 특성 열화를 반복 설명하면, $Z \geq L$ 이면, 먼저 첫 번째로, 고이동도층/고저항층 계면이 저저항화되기 쉽고, 결과, 계면 부근에 전도 채널이 생기기 쉽다 (V_g - I_d 데이터의 1 단계의 상승에 상당). 두 번째로, 산소 결합 보상이 충분이 이루어지지 않기 때문에, 광 조사시에 계면에 홀이 트랩되고, 결과, 계면에 전자가 집중하기 때문에, 1 단계의 상승부의 전류가 증대되어 있는 것처럼 보인다. 2 단계 (메인 채널) 쪽에는 영향이 미치지 않기 때문에, 임계값은 개선되어 있는 것처럼 보이는 것으로 생각된다.

[0242] 그러나, 이와 같은 2 단계 상승을 나타내는 실시예 10 ~ 12 의 TFT 는 비교예 1 보다는 양호하지만, 실용화에는 적합하지 않으므로, 실시예 4 ~ 9 의 TFT 가 바람직하다. 즉, $0 < Z < L = 8 \times 10^{-6} \times T^3 - 0.0092 \times T^2 + 3.6 \times T - 468 \pm 0.1$ 의 관계식을 만족하도록 제 2 산화물 반도체막 (507) 의 두께와 제 3 공정에서의 열처리 온도를 조정하는 것이 바람직하다. 이와 같이, 제 2 산화물 반도체막 (507) 의 두께 Z 와 열처리 온도 T 의 조정을 실시한 다음에 제 3 공정의 열처리를 함으로써, 산화성 분위기 중의 산소를 제 2 산화물 반도체막 (507) 을 개재하여 제 1 산화물 반도체막 (506) 의 계면 내부에까지 확실하게 공급할 수 있기 때문에, 제 2 공정의 성막에 의해 성막 데미지를 받은 제 1 산화물 반도체막 (506) 의 표면 결함을 충분히 보전할 수 있어 광 조사시의 TFT 특성을 개선할 수 있다. 이 TFT 특성의 개선이란, 상기 서술한 바와 같이 초기의 V_g - I_d 특성에 있어서 2 단계의 상승을 나타내지 않도록 할 수 있는 것이다.

[0243] 또, 표 3 및 도 25 에 나타내는 결과로부터, 제 2 산화물 반도체막 (507) 의 두께 Z 를 15 nm 이하로 하는, 즉, 제 2 공정과 제 3 공정시에, $Z \leq L - 3.0$ 의 관계식을 만족하도록 제 2 산화물 반도체막 (507) 의 두께와 열처리 온도를 조정하면, 임계값 전압 (V_{th}) 이 모두 정의 값이 되어, 초기 특성이 양호해지는 것을 알 수 있었다. 이로써, 제 2 공정과 제 3 공정시에, $Z \leq L - 3.0$ 의 관계식을 만족하도록 제 2 산화물 반도체막 (507) 의 두께와 열처리 온도를 조정하는 것이 바람직한 것을 알아내었다.

[0244] 한편으로, 제 2 산화물 반도체막 (507) 의 두께 Z 가 3 nm 미만이 되는, 즉 제 2 공정과 제 3 공정시에, $L - 15.0 > Z$ 의 관계식을 만족하도록 제 2 산화물 반도체막 (507) 의 두께와 열처리 온도를 조정하면, 도 25 에 나타내는 경향에서 생각하면, 제 3 공정의 열처리에 의해 산화성 분위기로부터 확산되는 산소가 제 2 산화물 반도체막 (507) 을 개재하여 전도 캐리어 패스인 제 1 산화물 반도체막 (506) 전체의 산소 결함을 강하게 보상하기 때문에, 전계 효과 이동도가 $20 \text{ cm}^2/\text{Vs}$ 이하로 저감되어 버릴 우려가 있는 것을 알 수 있었다. 이로써, 제 2 공정과 제 3 공정시에, $L - 15.0 \leq Z$ 의 관계식을 만족하도록 제 2 산화물 반도체막 (507) 의 두께와 열처리 온도를 조정하는 것이 바람직한 것을 알아내었다.

[0245] 또한, 표 3 및 도 25 에 나타내는 결과로부터, 제 2 산화물 반도체막 (507) 의 두께 Z 를 7 nm 이상으로 했을 경우, 즉 제 2 공정과 제 3 공정시에, $L - 11.0 \leq Z$ 의 관계식을 만족하도록 제 2 산화물 반도체막 (507) 의 두께와 열처리 온도를 조정했을 경우, 이동도가 $30 \text{ cm}^2/\text{Vs}$ 초과로 양호하다. 이것은 전도 캐리어 패스인 제 1 산화물 반도체막 (506) 의 결함 보상량이 적당하고, 계면의 결함 보상이 충분히 이루어지며, 또한 제 1 산화물 반도체막 (506) 중의 캐리어 농도가 대부분 저감되지 않기 때문이라고 생각된다. 이로써, 제 2 공정과 제 3 공정시에, $L - 11.0 \leq Z$ 의 관계식을 만족하도록 제 2 산화물 반도체막 (507) 의 두께와 열처리 온도를 조정하는 것이 바람직한 것을 알아내었다.

[0246] 추가로 또한, 도 25 에 나타내는 결과로부터, 제 2 산화물 반도체막 (507) 의 두께 Z 를 7 nm 이상 10 nm 이하로 했을 경우, 즉 제 2 공정과 제 3 공정시에, $L - 11.0 \leq Z \leq L - 8.0$ 의 관계식을 만족하도록 제 2 산화물 반도체막 (507) 의 두께와 열처리 온도를 조정했을 경우, 전계 효과 이동도 μ 가 급격하게 상승하는 것을 알 수 있었다. 이로써, 제 2 공정과 제 3 공정시에, $L - 11.0 \leq Z \leq L - 8.0$ 의 관계식을 만족하도록 제 2 산화물 반도체막 (507) 의 두께와 열처리 온도를 조정하는 것이 바람직한 것을 알아내었다.

[0247] <제 5 공정의 열처리 온도 의존성>

[0248] 제 5 공정의 열처리 온도에 의해 어떻게 TFT 특성 · 광 조사 안정성이 변화하는지를 확인하였다.

[0249] -실시예 13 ~ 15-

[0250] 실시예 13 ~ 15 에 관련된 TFT 로서, 후술하는 제조 조건 이외에는 실시예 7 (Z = 8 nm) 과 동일한 TFT 구조, 조성 및 제조 방법을 사용하고, 제 5 공정의 열처리 온도를 360 °C (실시예 13), 415 °C (실시예 14), 450 °C (실시예 15) 로 변경한 TFT 를 제조하였다.

[0251] 제 3 공정은 산소 분압 100 % 의 분위기하에서 450 °C 의 온도에서 열처리를 실시하고, 제 5 공정도 분위기는 산소 분압 100 % 의 분위기를 사용하였다.

[0252] -평가-

[0253] 실시예 13 ~ 15 에 관련된 TFT 에 대해 TFT 특성 및 광 조사 안정성을 평가하였다. 평가 방법은 상기 서술한 방법과 동일하다 (실시예 15 = 실시예 7).

[0254] 표 4 는 제 5 공정의 열처리 온도와 TFT 특성 · 광 조사 안정성에 대해 정리한 것이다.

표 4

	제 5 공정 열처리 온도	전계 효과 이동도 (cm ² /Vs)	Vth (V)	ΔVth (V) (420nm 광 조사)
실시예 13	360°C	50.1	-0.45	-0.83
실시예 14	415°C	54.0	-0.49	-0.021
실시예 15	450°C	46.9	2.21	-0.018

[0255]

[0256] 표 4 에 나타내는 결과로부터, 실시예 13 ~ 15 에 관련된 TFT 는 각각 높은 전계 효과 이동도와 광 조사 안정성을 양립하고 있는 것을 알 수 있다. 그 중에서, 실시예 13 과 실시예 14 의 비교로부터 제 5 공정의 열처리 온도를 360 °C 로 했을 경우보다 415 °C 이상으로 하는 것이 광 조사 안정성이 1 자릿수 이상 향상 (ΔVth 가 1 자릿수 저하) 되어 있는 것을 알 수 있다. 이로써, 제 5 공정의 열처리 온도는 415 °C 이상인 것이 바람직한 것을 알아내었다.

[0257] <TFT 초기 특성의 제 1 산화물 반도체막 (506) 조성 의존성>

[0258] 다음으로, TFT 의 산화물 반도체층에 있어서 특정한 조성의 산화물 반도체막을 적층함으로써, 고이동도의 트랜지스터가 얻어지는 것을 이하와 같은 구성의 TFT 를 제조함으로써 검증하였다. 또, 제 1 산화물 반도체막 (506) 의 조성 변조를 실시하여, 특정한 조성 범위에 있어서 고이동도가 얻어지는 것도 확인하였다.

[0259] -실시예 16 ~ 31-

[0260] 먼저, 실시예 7 과 동일한 막두께 조건으로, 보텀 게이트로 튜브 콘택트형의 TFT 를 실시예 16 ~ 31 (실시예 16 = 실시예 7) 로서 제조하였다. 제 1 산화물 반도체막 (506) 을 IGZO 계로서 조성 변조했을 경우의 실시예 16 ~ 24 의 제조 조건을 표 5 에 나타내고, 제 1 산화물 반도체막 (506) 을 IZO 계로서 조성 변조했을 경우의 실시예 25 ~ 31 의 제조 조건을 표 6 에 나타낸다.

[0261] 여기서는, 제 2 산화물 반도체막 (507) 과 제 3 산화물 반도체막 (508) 이 공통의 조성이고, 실시예 7 과 동일한 조성에 상당하고, 이하의 표 5 및 표 6 의 조건을 제외한 그 밖의 제조 방법 및 조건은 실시예 7 과 동일하게 하였다.

표 5

	타깃 투입 전력 (W)			카티온 조성					
	In ₂ O ₃	Ga ₂ O ₃	ZnO	a		b		c	
실시예16	47.3	23.1	14.0	37/60	0.617	3/60	0.05	20/60	0.333
실시예17	47.3	23.1	28.0	37/80	0.462	3/80	0.038	40/80	0.500
실시예18	47.3	23.1	32.0	37/100	0.37	3/100	0.03	60/100	0.60
실시예19	47.3	44.8	10.0	6/10	0.60	2/10	0.20	2/10	0.20
실시예20	48.0	63.4	5.0	37/60	0.617	20/60	0.333	3/60	0.05
실시예21	55.3	44.8	6.0	7/10	0.70	2/10	0.20	1/10	0.10
실시예22	47.3	23.1	18.5	37/70	0.529	3/70	0.043	30/70	0.428
실시예23	43.8	30.5	16.0	5/10	0.50	1/10	0.10	4/10	0.40
실시예24	50.8	29.8	8.5	7/10	0.70	1/10	0.10	2/10	0.20

[0262]

표 6

	타깃 투입 전력 (W)		In함유율 x	In:Zn 조성
	In ₂ O ₃	ZnO		
실시예 25	55.3	32.5	0.40	2:3
실시예 26	55.3	26.5	0.50	1:1
실시예 27	55.3	18.0	0.60	3:2
실시예 28	55.3	15.0	0.67	2:1
실시예 29	55.3	11.0	0.75	3:1
실시예 30	55.3	8.0	0.83	5:1
실시예 31	55.3	45.0	0.33	1:2

[0263]

[0264]

-평가-

[0265]

제조한 실시예 16 ~ 31 에 관련된 TFT 에 대해, 반도체 파라미터 · 애널라이저 4156C (아지렌트 테크놀로지사 제조) 를 사용하여, 트랜지스터 특성 (Vg-Id 특성), 이동도 μ , 오프 전류 Ioff 의 측정을 실시하였다. 또한, 오프 전류는, Vg-Id 특성에 있어서 Vg = 0 V 에 있어서의 전류값으로 정의하였다. 그 밖의 정의나 측정 방법에 대해서는, 상기 서술한 방법과 동일한 방법을 사용하였다.

[0266]

표 7 은 실시예 16 ~ 24 에 관련된 TFT 의 전계 효과 이동도와 오프 전류의 결과를 정리한 것이다. 표 8 은 실시예 25 ~ 31 에 관련된 TFT 의 전계 효과 이동도와 오프 전류의 결과를 정리한 것이다.

표 7

	카티온 조성						μ (cm ² /Vs)	Ioff (A)	Vth (V)
	a		b		c				
실시예 16	37/60	0.617	3/60	0.05	20/60	0.333	46.9	2.1×10 ⁻⁷	2.21
실시예 17	37/80	0.462	3/80	0.038	40/80	0.500	33.3	1.7×10 ⁻¹¹	3.63
실시예 18	37/100	0.37	3/100	0.03	60/100	0.60	31.6	1.5×10 ⁻¹⁰	4.62
실시예 19	6/10	0.60	2/10	0.20	2/10	0.20	31.5	3.8×10 ⁻⁸	4.15
실시예 20	37/60	0.617	20/60	0.333	3/60	0.05	22.3	2.7×10 ⁻¹⁰	5.71
실시예 21	7/10	0.70	2/10	0.20	1/10	0.10	35.1	6.1×10 ⁻⁷	0.64
실시예 22	37/70	0.529	3/70	0.043	30/70	0.428	32.3	2.4×10 ⁻¹⁰	3.23
실시예 23	5/10	0.50	1/10	0.10	4/10	0.40	32.9	6.8×10 ⁻¹⁰	3.33
실시예 24	7/10	0.70	1/10	0.10	2/10	0.20	51.2	5.4×10 ⁻⁴	-2.65

[0267]

표 8

	In 함유율 x	In:Zn 조성	μ (cm^2/Vs)	I _{off} (A)	V _{th} (V)
실시예25	0.40	2:3	30.2	8.7×10^{-11}	4.85
실시예26	0.50	1:1	38.5	5.6×10^{-10}	4.23
실시예27	0.60	3:2	41.3	7.8×10^{-8}	1.56
실시예28	0.67	2:1	39.8	6.5×10^{-7}	1.41
실시예29	0.75	3:1	45.1	3.3×10^{-7}	0.51
실시예30	0.83	5:1	48.0	6.1×10^{-4}	-3.12
실시예31	0.33	1:2	0.51	5.3×10^{-12}	15.6

[0268]

[0269]

표 7에 나타내는 결과로부터, 실시예 16 ~ 24에 관련된 TFT는, 전계 효과 이동도가 $20 \text{ cm}^2/\text{Vs}$ 이상으로 양호하다는 것을 알 수 있었다. 또, 제 1 산화물 반도체막 (506)의 조성이 $c \leq 3/5$, $b > 0$, $b \geq 3a/7 - 3/14$, $b \geq 9a/5 - 53/50$, $b \leq -8a/5 + 33/25$, $b \leq 91a/74 - 17/40$ (단, $a + b + c = 1$ 로 한다)으로 나타내는 범위 내 (실시예 7 (표 7의 실시예 16), 21, 20, 18, 25, 26의 조성으로 둘러싸이는 영역)에 있으면, 전계 효과 이동도 μ 가 $20 \text{ cm}^2/\text{Vs}$ 이상으로 $V_{th} > 0$ 의 TFT가 제조 가능하다는 것을 알 수 있다. 또한, 이 조성 범위는 도 18 중의 A의 범위에 상당한다.

[0270]

또한, 제 1 산화물 반도체막 (506)의 조성이 $b \leq 17a/23 - 28/115$, $b \geq 3a/37$, $b \geq 9a/5 - 53/50$, $b \leq 1/5$ (단, $a + b + c = 1$ 로 한다)로 나타내어지는 범위 내 (실시예 7 (표 7의 실시예 16), 21, 19, 18의 조성으로 둘러싸이는 영역)에 있으면, 전계 효과 이동도 $30 \text{ cm}^2/\text{Vs}$ 이상의 TFT가 제조 가능하다는 것을 알 수 있다. 또한, 이 조성 범위는 도 27 중의 B의 범위에 상당한다.

[0271]

또, In 함유량을 증대시킨 실시예 22, 23, 24에서는 높은 전계 효과 이동도는 얻어지지만, 캐리어 농도가 과잉인 상태로 되어 있어, 임계값이 커 마이너스측으로 시프트되어 있다.

[0272]

추가로 또한, 제 1 산화물 반도체막 (506)의 조성이 $b \leq 7a/13 - 11/65$, $b \geq 3a/37$, $b \leq -2a + 11/10$ (단, $a + b + c = 1$ 로 한다)으로 나타내어지는 범위 내에 있으면, 전계 효과 이동도 $30 \text{ cm}^2/\text{Vs}$ 이상으로 노멀리 오프의 TFT를 제조 가능하다는 것을 알 수 있다. 또한, 이 조성 범위는 도 27 및 도 28 중의 C의 범위에 상당한다.

[0273]

또, 표 8에 나타내는 결과로부터, 실시예 25 ~ 30에 관련된 TFT는, 전계 효과 이동도가 $20 \text{ cm}^2/\text{Vs}$ 이상으로 양호하다는 것을 알 수 있었다.

[0274]

또한, 제 1 산화물 반도체막 (506)에 IZO 계를 사용한 경우에 In 함유율 x 가 $0.40 \leq x \leq 0.75$ 로 나타내어지는 조성 범위 내 (실시예 25 ~ 29의 조성으로 둘러싸이는 영역)에 있으면, 전계 효과 이동도 $30 \text{ cm}^2/\text{Vs}$ 이상으로 $V_{th} > 0$ 의 TFT를 제조 가능하다는 것을 알 수 있다.

[0275]

추가로 또한, In 함유율 x 가 $0.40 \leq x \leq 0.50$ 으로 나타내어지는 조성 범위 내에 있으면, 전계 효과 이동도 $30 \text{ cm}^2/\text{Vs}$ 이상으로 노멀리 오프의 TFT를 제조 가능하다는 것을 알 수 있다.

[0276]

상기와 같이 제 2 산화물 반도체막 (507)과 제 3 산화물 반도체막 (508)의 카티온 조성을 고정시켰을 경우에, 적층 TFT 구조에 있어서의 제 1 산화물 반도체막 (506) (IGZO 계, IZO 계)을 조성 변조함으로써, 특정한 조성 범위 내에서 고이동도의 TFT 특성이 얻어지는 것을 알아내었다.

[0277]

<TFT 특성에 있어서의 제 2 산화물 반도체막 (507)과 제 3 산화물 반도체막 (508)의 조성 의존성>

[0278]

다음으로, 실시예 16의 TFT와 동일한 구성에 있어서, 제 1 산화물 반도체막 (506)의 조성을 실시예 16과 동일한 조성으로 고정시킨 다음에 제 2 산화물 반도체막 (507)과 제 3 산화물 반도체막 (508)의 조성 변조를 실시함으로써, 특정한 조성 범위에 있어서 양호한 특성이 얻어지는지 여부를 실험하였다.

[0279]

-실시예 32 ~ 37-

[0280]

실시예 32 ~ 37 (실시예 32 = 실시예 7) 에 관련된 TFT 로서, 실시예 7 과 동일한 보텀 게이트 및 톱 콘택트형의 TFT 를 제조하였다. 이것은 실시예 7 의 제조 방법에 있어서의 제 2 산화물 반도체막 (507) 과 제 3 산화물 반도체막 (508) 이 공통의 조성인 구성에 상당한다. 제 1 산화물 반도체막 (506) 의 성막 조건은 실시예 7 과 완전히 동일하다. 제 2 산화물 반도체막 (507) (Z = 8 nm) 과 제 3 산화물 반도체막 (508) 의 성막 조건은, 도탈 진공도, 성막 압력, 성막 온도, 산소/아르곤 분압은 공통으로, 각각 6×10^{-6} Pa, 4.4×10^{-6} Pa, 실온, 산소/아르곤 분압이 0.067 이고, 카티온 조성비를 이하의 표 9 와 같이 변조하였다. 또한, 제 2 산화물 반도체막 (507) 과 제 3 산화물 반도체막 (508) 의 조성은 In(e)Ga(f)Zn(g)O(h) (e, f, g, h > 0) 로 나타내어지는 산화물 반도체막이다.

표 9

	타겟 투입 전력 (W)			f/(e+f)	In:Ga:Zn
	In ₂ O ₃	Ga ₂ O ₃	ZnO		
실시예32	19.3	70.0	14.5	0.75	0.5:1.5:1
실시예33	37.5	52.5	13.5	0.375	1.25:0.75:1
실시예34	31.5	63.4	15.5	0.50	1:1:1
실시예35	13.3	70.0	14.0	0.875	0.25:1.75:1
실시예36	0	66.5	11.0	1.00	0:2:1
실시예37	43.4	41.7	14.5	0.25	1.5:0.5:1

[0281]

-평가-

[0282]

제조한 실시예 32 ~ 37 에 관련된 TFT 에 대해, 반도체 파라미터·애널라이저 4156C (아지렌트 테크놀로지사 제조) 를 사용하여, 트랜지스터 특성 (Vg-Id 특성), 이동도 μ , 임계값 전압 Vth 의 측정을 실시하였다. 또한, 각 정의나 측정 방법에 대해서는, 상기 서술한 방법과 동일한 방법을 사용하였다.

[0283]

[0284]

표 10 은 실시예 32 ~ 37 에 관련된 TFT 의 전계 효과 이동도와 임계값 전압의 결과를 정리한 것이다.

표 10

	f/(e+f)	In:Ga:Zn	μ (cm ² /Vs)	Vth(V)
실시예32	0.75	0.5:1.5:1	46.9	2.21
실시예33	0.375	1.25:0.75:1	41.2	2.32
실시예34	0.50	1:1:1	45.8	0.84
실시예35	0.875	0.25:1.75:1	40.7	1.02
실시예36	1.00	0:2:1	<1	>0
실시예37	0.25	1.5:0.5:1	48.2	-10.4

[0285]

표 10 으로부터, f/(e + f) 가 0.875 초과인 경우에는, TFT 구동하기 어려운 것을 알 수 있었다. 이것은, 소스·드레인 전극 (510, 512) 과 제 2 산화물 반도체막 (507) 과 제 3 산화물 반도체막 (508) 의 접촉 저항이 증대했기 때문이라고 생각된다 (단, 성막시의 산소 분압을 낮게 조정함으로써, 구동하는 TFT 를 제조하는 것은 가능해진다). 이로써, 제 1 산화물 반도체막 (506) 의 조성을 동일한 것으로 했을 경우, 제 2 산화물 반도체막 (507) 과 제 3 산화물 반도체막 (508) 에 있어서의 f/(e + f) 는 0.875 이하인 것이 바람직한 것을 알아내었다.

[0286]

[0287]

한편, f/(e + f) 를 감소시켜 갔을 경우, 실험예 36 과 같이 f/(e + f) = 0.250 으로 한 경우에는 임계값이

-21.4 V 로 커 마이너스측으로 시프트되어 있고, 트랜지스터가 저저항화되기 쉬운 것을 알 수 있다. 이것은, 원래의 제 2 산화물 반도체막 (507) 의 캐리어 농도가 상대적으로 높은 것 외에, 전자 친화력도 비교적 크기 때문에, 제 1 산화물 반도체막 (506) 으로부터 제 2 산화물 반도체막 (507) 과 제 3 산화물 반도체막 (508) 에 캐리어가 많이 흘러들어가거나, 혹은 제 2 산화물 반도체막 (507) 및 제 3 산화물 반도체막 (508) 중 에 전도 캐리어가 발생하기 때문이라고 생각된다. 이와 같은 $V_{th} < 0$ 이 되는 트랜지스터에서는 오프 전류가 증대되는 경향이 있다. 그 때문에, 고이동도이고, 또한 오프 전류가 낮은 트랜지스터를 제조하기 위해서는 (열처리 온도를 300 °C 로 한 경우에는), $f/(e + f) > 0.250$ 인 것이 바람직한 것을 알아내었다.

[0288] 이와 같이, 제 1 산화물 반도체막 (506) 의 조성을 고정시켰을 경우, 제 2 산화물 반도체막 (507) 과 제 3 산화물 반도체막 (508) 의 조성은 $In(e)Ga(f)Zn(g)O(h)$ ($e, f, g, h > 0$) 로 나타내어지는 산화물 반도체막인 것이 바람직하고, 이 때, 상기 제 2 산화물 반도체막 (507) 이 $0.250 < f/(e + f) \leq 0.875$ 로 나타내어지는 조성 범위에 있으면, 고이동도이고 오프 전류가 낮은 트랜지스터를 제조 가능하다는 것을 알 수 있었다.

[0289] <TFT 특성에 있어서의 제 2 산화물 반도체막 (507) 및 제 3 산화물 반도체막 (508) 의 합계 막두께 의존성>

[0290] 계속해서, 제 2 산화물 반도체막 (507) 및 제 3 산화물 반도체막 (508) 의 합계 두께가 어떻게 TFT 특성에 영향을 주는지를 검증하였다.

[0291] -실시에 38 ~ 41 및 평가-

[0292] 실시예 38 ~ 41 에 관련된 TFT 는, 실시예 7 과 동일한 보텀 게이트로 톱 콘택트형의 TFT 로서 제조하였다. 이들은 실시예 7 에 있어서의 제 2 산화물 반도체막 (507) 및 제 3 산화물 반도체막 (508) 이 공통의 조성인 구성에 상당한다. TFT 구조, 및 제 1 산화물 반도체막 (506) 및 제 2 산화물 반도체막 (507) (제 3 산화물 반도체막 (508) 과 공통) 의 조성도 실시예 7 과 동일하고, 제 2 산화물 반도체막 (507) 및 제 3 산화물 반도체막 (508) 의 두께의 합계 (이하, 간단히 두께 합계라고 약기한다) 만을 10 nm, 30 nm, 50 nm, 70 nm 로 변화시킨 트랜지스터를 제조하였다.

[0293] 표 11 은 실시예 38 ~ 41 에 관련된 TFT 의 구성과 TFT 특성을 정리한 것이다.

표 11

	두께 합 계 (nm)	조성 $f/(e+f)$	μ (cm^2/Vs)	S값 (V/decade)
실시예38	30	0.75	43.5	0.34
실시예39	50	0.75	46.9	0.27
실시예40	70	0.75	31.8	0.22
실시예41	10	0.75	52.5	1.45

[0294]

[0295] 이와 같이, 제 2 산화물 반도체막 (507) 및 제 3 산화물 반도체막 (508) 의 두께 합계가 10 nm 이하인 경우에는 이동도는 높아지지만, S 값이 악화 (1 V/decade 초과) 되어, 오프 전류가 증대되는 경향이 있는 것을 알 수 있었다. 한편으로, 이 두께 합계가 30 nm 이상이면, S 값은 양호 (1 V/decade 이하) 하여, 오프 전류의 저감을 기대할 수 있다. 이로써, 두께 합계는 10 nm 초과가 바람직하고, 30 nm 이상인 것이 보다 바람직한 것을 알아내었다. 또, 두께 합계가 70 nm 이상이면, 이동도의 약간의 저하가 관찰되는 점에서, 두께 합계는 70 nm 미만인 것이 더욱 바람직한 것을 알아내었다.

[0296] <TFT 특성에 있어서의 제 1 산화물 반도체막 (506) 의 두께 의존성>

[0297] 계속해서, TFT 특성에 있어서의 제 1 산화물 반도체막 (506) 의 두께 의존성 에 대해 검증하였다.

[0298] -실시에 42 ~ 43-

[0299] 실험예 43 에 관련된 TFT 로서, TFT 구조와 조성은 실시예 7 과 동일하고, 제 1 산화물 반도체막 (506) 의 두께 만을 10 nm 로 변경한 TFT 를 제조하였다.

[0300] -평가-

[0301] 제조한 실시예 42 (실시예 7 과 동일한 것) ~ 43 에 관련된 TFT 에 대해, 반도체 파라미터·애널라이저 4156C (아지렌트 테크놀로지사 제조) 를 사용하여, 트랜지스터 특성 (Vg-Id 특성), 이동도 μ , 임계값 전압 Vth, 오프 전류 Ioff 의 측정을 실시하였다. 또한, 각 정의나 측정 방법에 대해서는, 상기 서술한 방법과 동일한 방법을 사용하였다.

[0302] 표 12 는 실시예 42 와 실시예 43 의 특성의 비교를 정리한 것이다. 또한, 표 중의 「제 1 막」 이란, 제 1 산화물 반도체막 (506) 의 약어이다.

표 12

	제 1 막의 두께 (nm)	μ (cm ² /Vs)	Vth(V)	Ioff(A)
실시예 42	5	46.9	2.21	2.1×10^{-7}
실시예 43	10	48.8	-3.05	4.8×10^{-5}

[0303]

[0304] 표 12 로부터, 제 1 산화물 반도체막 (506) 의 두께가 10 nm 이상이 되면, 전계 효과 이동도는 충분히 확보되어 있지만, 임계값이 마이너스측으로 시프트하여, 오프 전류가 크게 증대되는 것을 알 수 있다. 이것은 제 1 산화물 반도체막 (506) 에 고캐리어 농도의 산화물 반도체를 사용하고 있기 때문으로, 제 1 산화물 반도체막 (506) 의 두께가 증대되면, 도탈 캐리어 농도가 증대되어 핀치 오프가 곤란해지기 때문이다. 이로써, 제 1 산화물 반도체막 (506) 의 두께는 10 nm 미만인 것이 바람직한 것을 알아내었다.

[0305] 이상과 같이, 산화물 반도체층의 적층 구조 (제 1 산화물 반도체막 (506), 제 2 산화물 반도체막 (507), 제 3 산화물 반도체막 (508)) 의 조성과 두께를 변조함으로써, 특성의 조성·두께에 있어서 고이동도의 TFT 가 가능하다는 것을 알 수 있었다.

[0306] <제 3 공정 및 제 5 공정의 열처리 온도에 대해 (2)>

[0307] Ga/(In + Ga) = 0.75 의 IGZO 막과 Ga/(In + Ga) = 0.25 의 IGZO 막을 5 층 적층한 적층막의 단면 STEM 이미지를 적층 직후 (어닐 처리 전) 및 열처리 온도가 600 °C 에서 처리한 후에 각각 관찰한 결과, 600 °C 에서 열처리되어도 어느 정도 적층 구조를 유지하고 있는 것을 확인할 수 있지만, 상이한 카틴은 조성의 계면에서 콘트라스트가 흐려져 있는 상태를 간파할 수 있었다. 이것은 이상 (異相) 의 상호 확산이 일어나기 시작하고 있는 것을 시사하고 있으며, 제 3 공정 및 제 5 공정의 열처리에 있어서의 상한 온도는 600 °C 이하인 것이 바람직한 것을 알아내었다.

[0308] <다른 재료에 대한 관계식의 적용성의 검증>

[0309] 다음으로, 상기 서술한 「이상의 결과로부터, 예를 들어 열처리 온도 T 가 400 °C 인 경우를 예로 들면, 도 19 에 나타내는 바와 같이, 산화성 분위기로부터 Ga₂O₃ 막에 약 12 nm 까지 O18 이 확산되어 있는 (유입되어 있는) 것을 알 수 있다. 또한, 이 결과는, Ga₂O₃ 막이 IGZO 막 등의 다른 재료의 막이어도 변화하지 않는다」 라는 점에 대해 검증한다. 즉, 제 2 산화물 반도체막이 Ga₂O₃ 막이 아니어도, 다른 재료, 예를 들어 금속 산화물 이어도 도 28 에 기초하는 상기의 관계식 「 $L = 8 \times 10^{-6} \times T^3 - 0.0092 \times T^2 + 3.6 \times T - 468 \pm 0.1$ 」 이 그대로 적용되는지를 검증하였다.

[0310] 도 29 는 Ga₂O₃ 막을 최표면에 함유하는 실시예 3 의 샘플에 대한 SIMS 분석 결과와, IGZO 막 (In : Ga : Zn = 1 : 0.9 : 0.7) 을 최표면에 함유하는 샘플에 대한 SIMS 분석 결과를 나타내는 도면이다. 또한, 이 IGZO 막은, 실시예 1 과 동일한 방법에 의해 제조하였다.

[0311] 또, 도 30 은 In, Ga, Zn 의 조성비가 In : Ga : Zn = 1.85 : 0.15 : 1, In : Ga : Zn = 1 : 1 : 1, In : Ga : Zn = 0.5 : 1.5 : 1 인 3 개의 IGZO 막을 각각 실시예 4 와 동일한 조건으로 열처리한 각 샘플에 대한 SIMS 분석 결과를 나타내는 도면이다.

[0312] 또한, 도 29 ~ 도 30 에 관련된 각 샘플에 대한 SIMS 분석은, 상기 서술한 SIMS 분석과 동일한 방법을 사용하

여 실시하고 있다.

[0313] 도 29 에 나타내는 SIMS 분석 결과로부터, 「Ga₂O₃ 중」 에 관련된 실험 데이터와 「IGZO 중」 에 관련된 실험 데이터 사이에서, 180/(160 + 180) 의 비율은 상이하지만, 180/(160 + 180) 의 비율이 일정하게 되기 시작하는 표면으로부터의 거리는 동일하다는 것을 알 수 있다. 즉, 각 실험 데이터로부터, Ga₂O₃ 막에 대한 180 (= 160) 의 확산 거리 L 과, IGZO 막 (In : Ga : Zn = 1 : 0.9 : 0.7) 에 대한 180 (= 160) 의 확산 거리 L 은 동일한 12 nm 인 것을 알 수 있었다.

[0314] 이 실험 사실로부터, Ga₂O₃ 막과 IGZO 막은 산소의 확산 거리 L 이 동일하고, 이 확산 거리 L 은 「 $L = 8 \times 10^{-6} \times T^3 - 0.0092 \times T^2 + 3.6 \times T - 468 \pm 0.1$ 」 로 나타낸다는 결론이 얻어졌다.

[0315] 또, 도 30 에 나타내는 SIMS 분석 결과로부터, IGZO 중의 In, Ga, Zn 의 조성비가 In : Ga : Zn = 1.85 : 0.15 : 1, In : Ga : Zn = 1 : 1 : 1, In : Ga : Zn = 0.5 : 1.5 : 1 로 변화해도, 180/(160 + 180) 의 비율이 일정하게 되기 시작하는 표면으로부터의 거리 L 은 동일한 18 nm 인 것을 알 수 있었다.

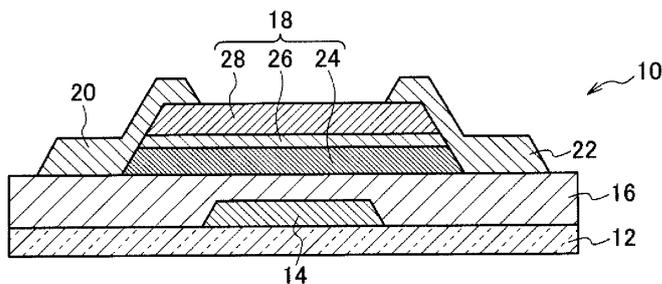
[0316] 이 실험 사실로부터, IGZO 막은 그 조성비가 바뀌어도 산소의 확산 거리 L 이 동일하고, 이 확산 거리 L 은 「 $L = 8 \times 10^{-6} \times T^3 - 0.0092 \times T^2 + 3.6 \times T - 468 \pm 0.1$ 」 로 나타낸다는 결론이 얻어졌다.

[0317] 이상, 도 29 ~ 도 30 모두의 실험 사실을 조합하면, 180, 즉 산소의 확산 거리 L 은, 반도체 재료나 절연체 재료와는 관계가 없고, IGZO 나 Ga₂O₃ 등의 재료, 특히 금속 산화물이면 변화하지 않고 (차이는 없고), 상기 관계식이 「 $L = 8 \times 10^{-6} \times T^3 - 0.0092 \times T^2 + 3.6 \times T - 468 \pm 0.1$ 」 로 나타낸다는 결론이 얻어졌다.

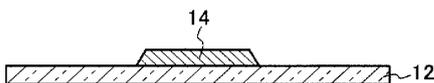
[0318] 즉, Ga₂O₃ 막에 있어서의 산소의 확산 거리 L 이 「 $L = 8 \times 10^{-6} \times T^3 - 0.0092 \times T^2 + 3.6 \times T - 468 \pm 0.1$ 」 로 나타냈을 경우, 제 2 산화물 반도체막이 Ga₂O₃ 이외의 다른 재료로 구성되어 있어도, 상기의 관계식을 그대로 적용시킬 수 있다는 결론이 얻어졌다.

도면

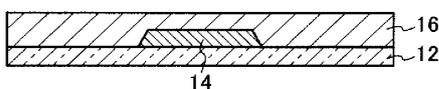
도면1



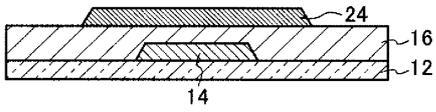
도면2a



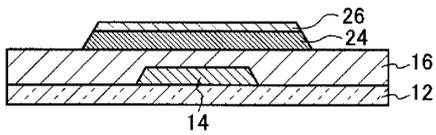
도면2b



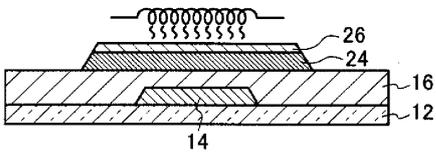
도면2c



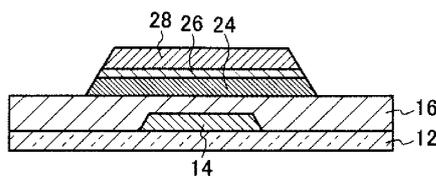
도면2d



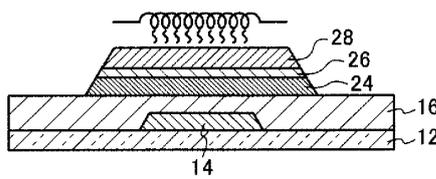
도면2e



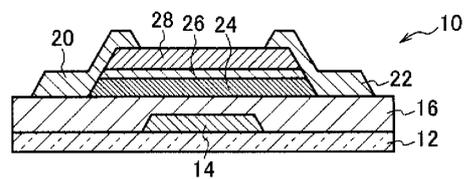
도면2f



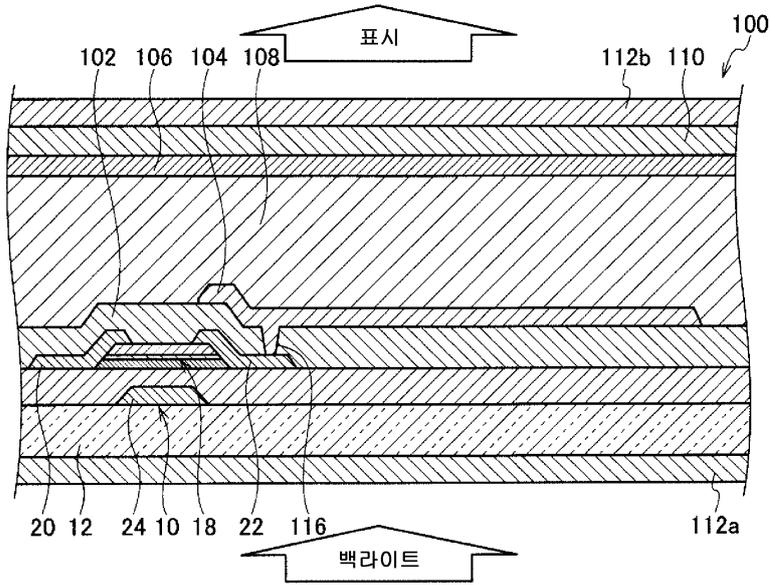
도면2g



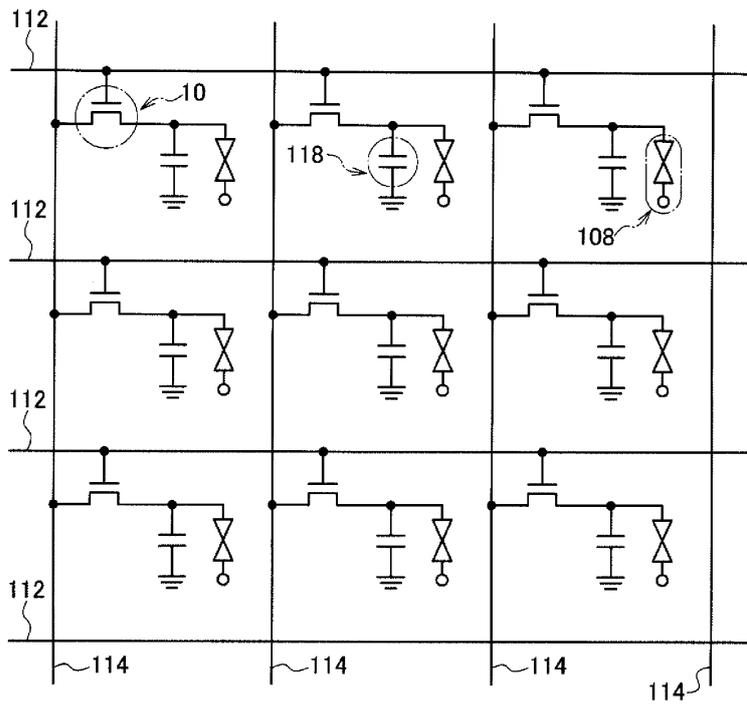
도면2h



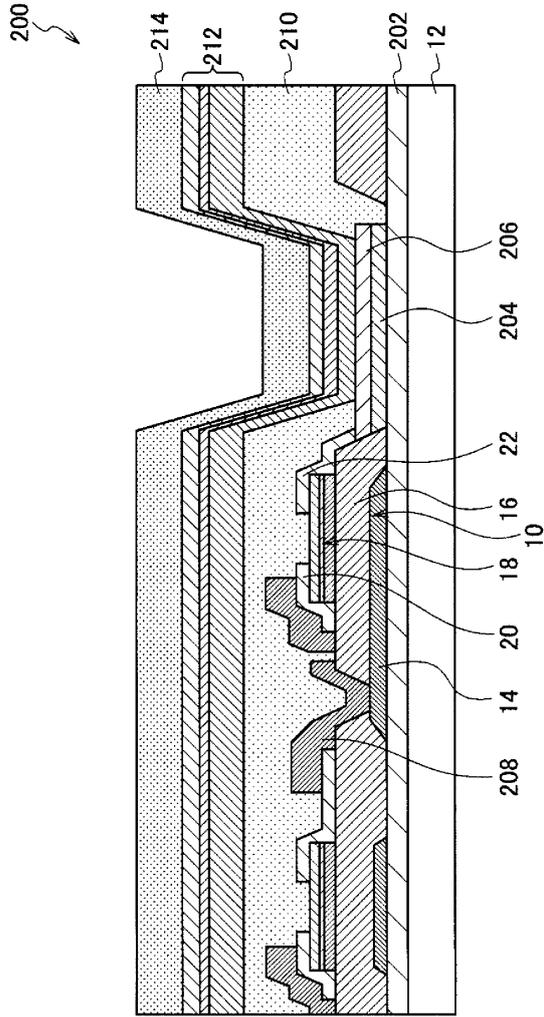
도면3



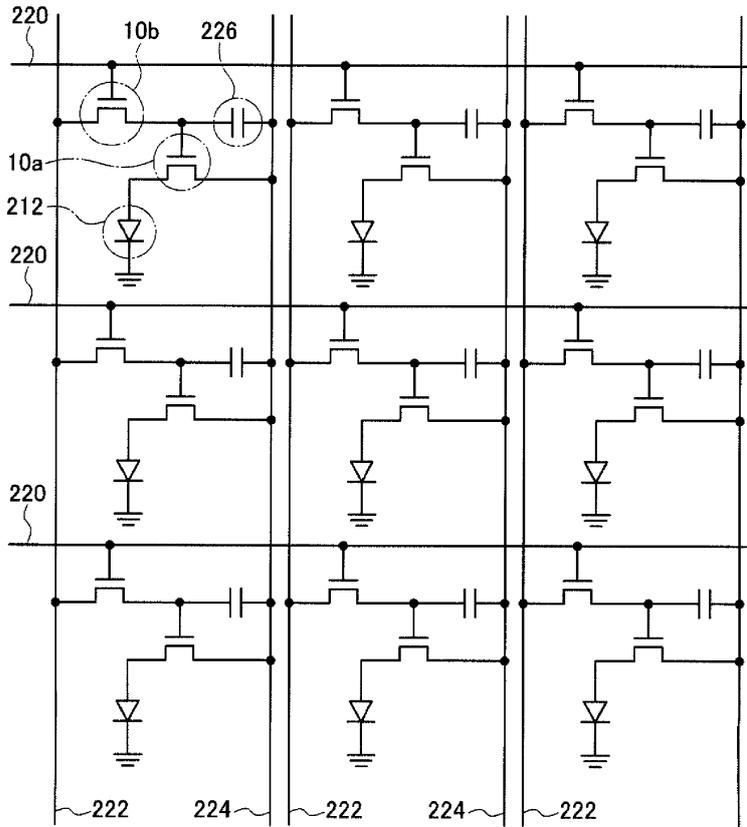
도면4



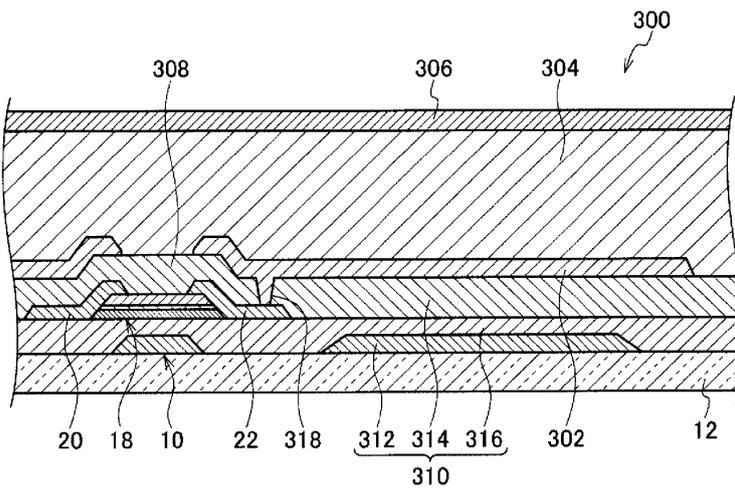
도면5



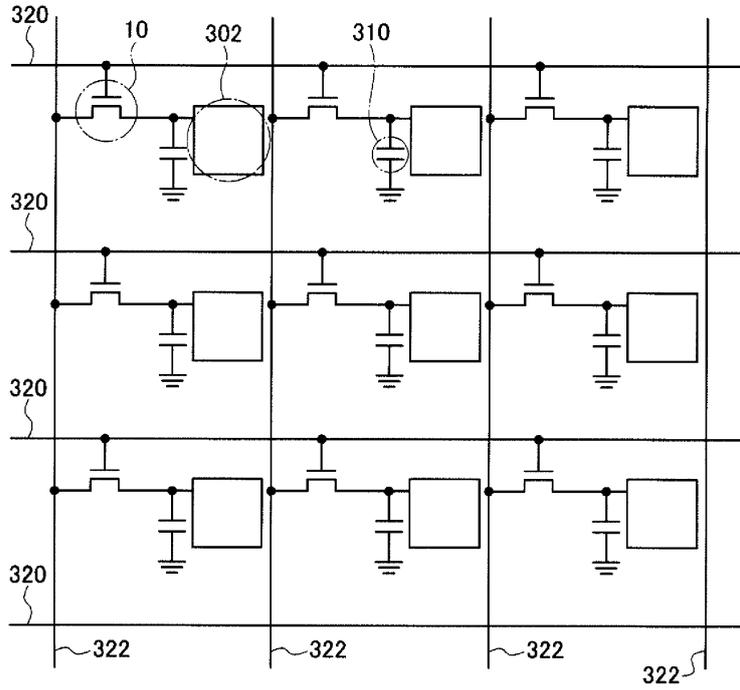
도면6



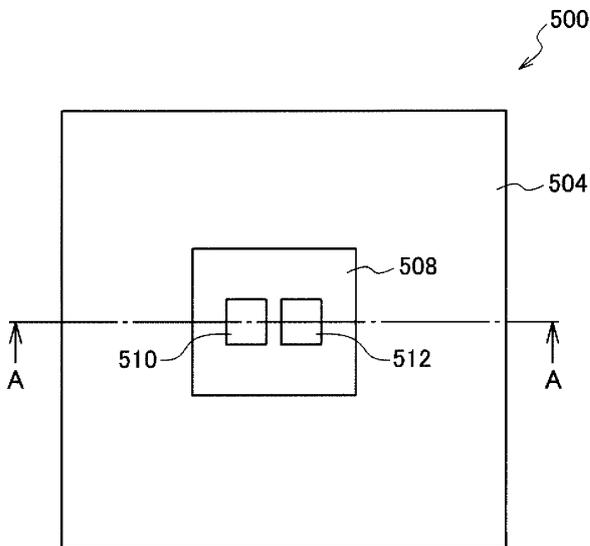
도면7



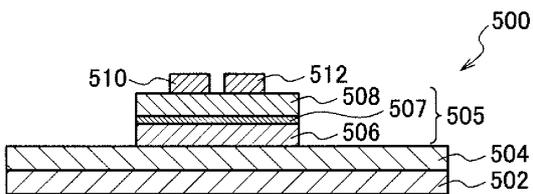
도면8



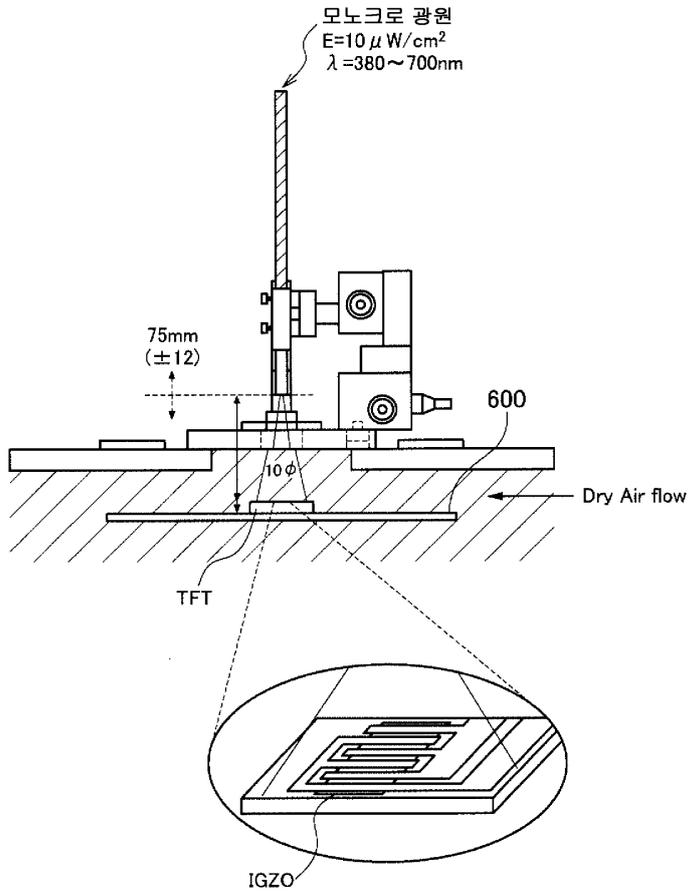
도면9a



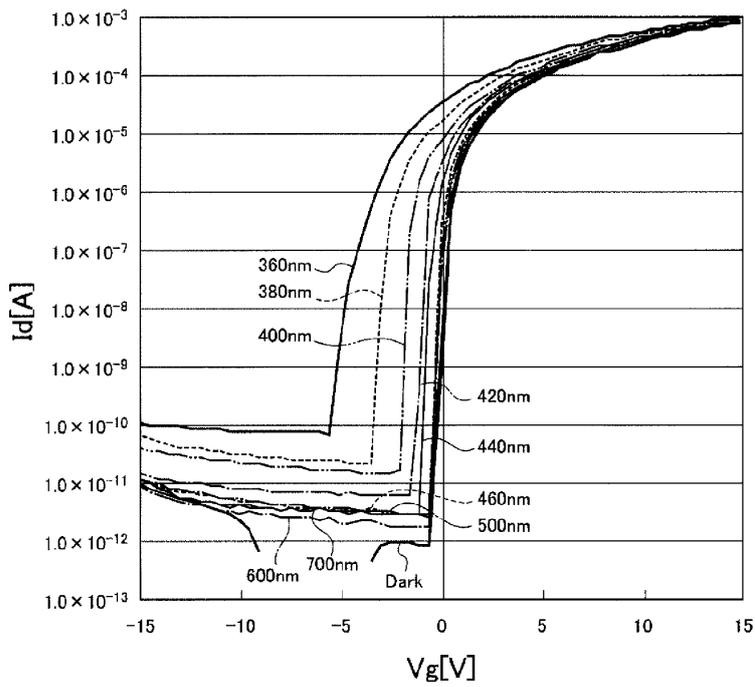
도면9b



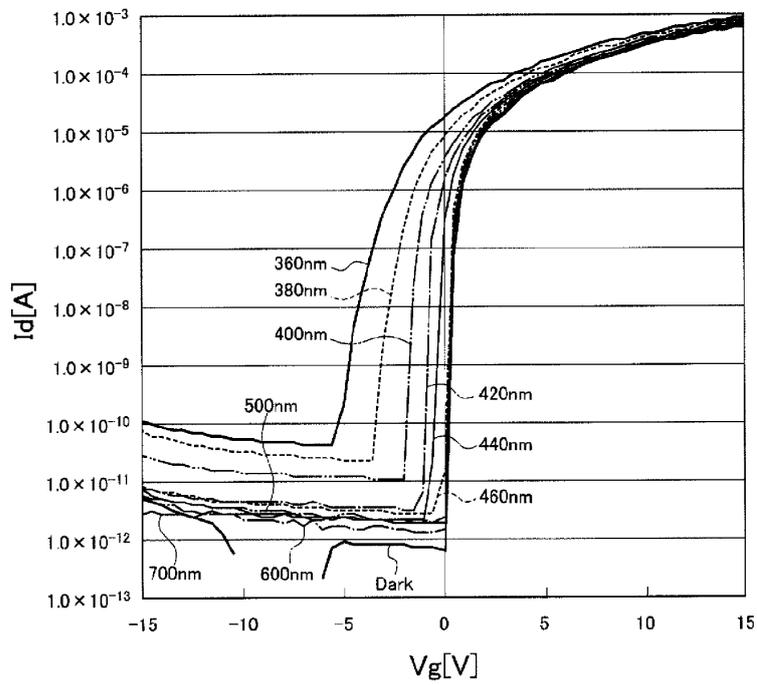
도면10



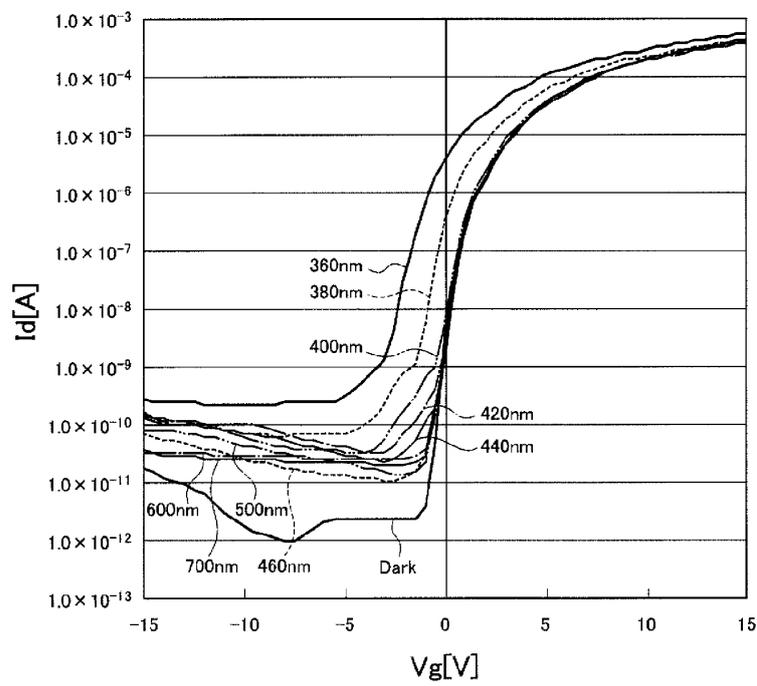
도면11



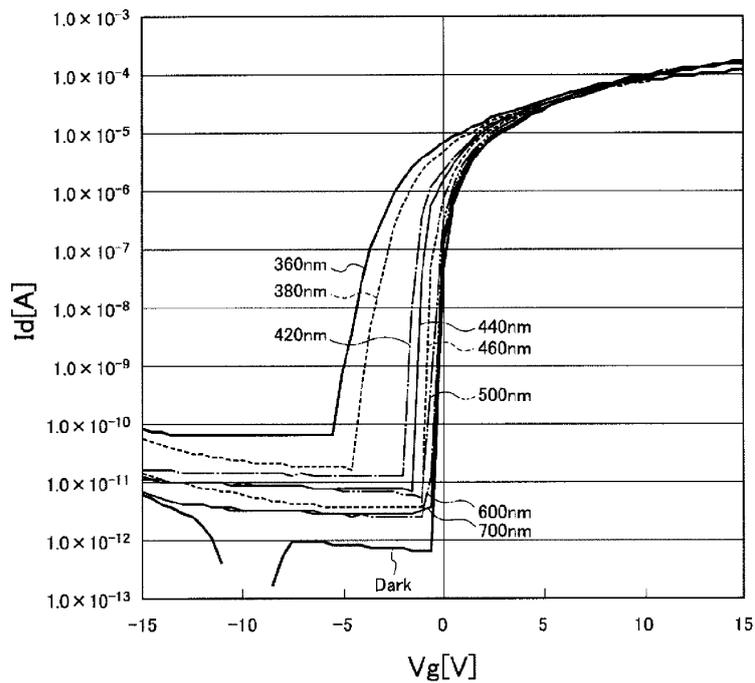
도면12



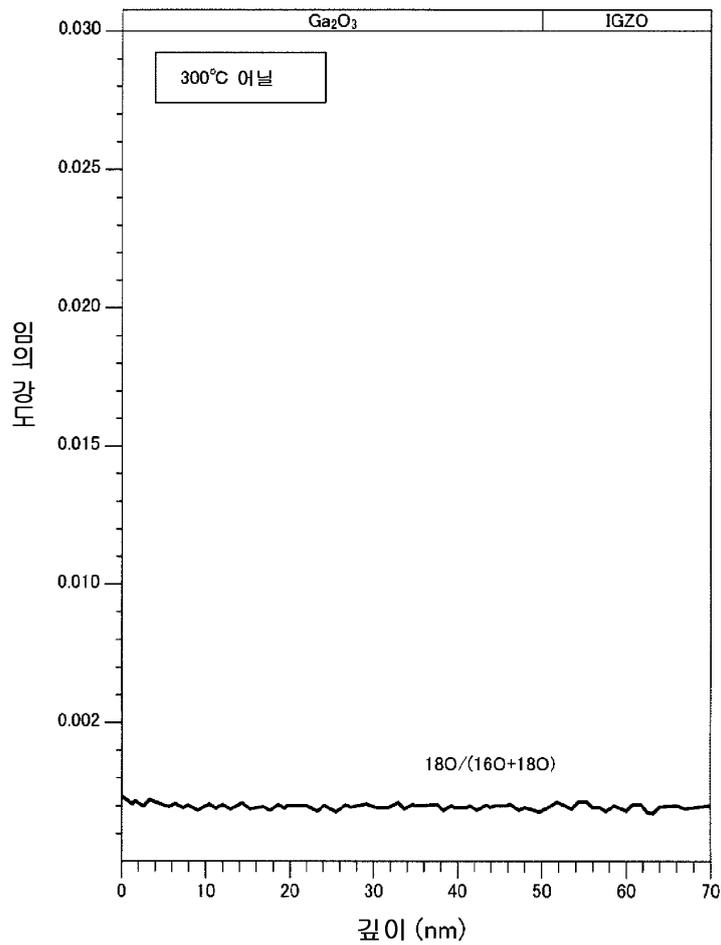
도면13



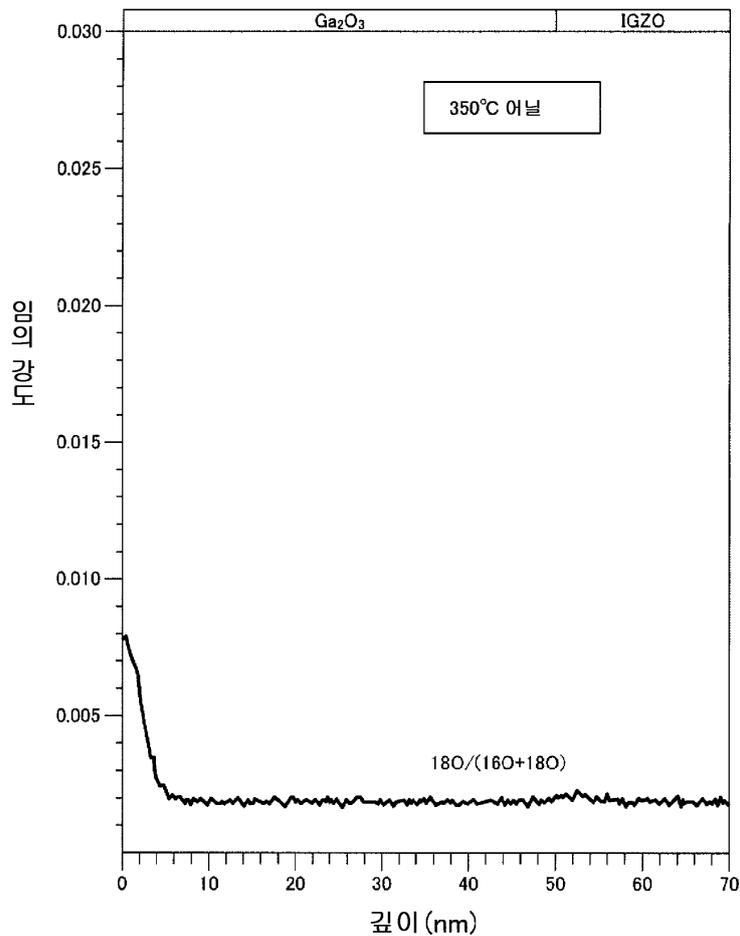
도면14



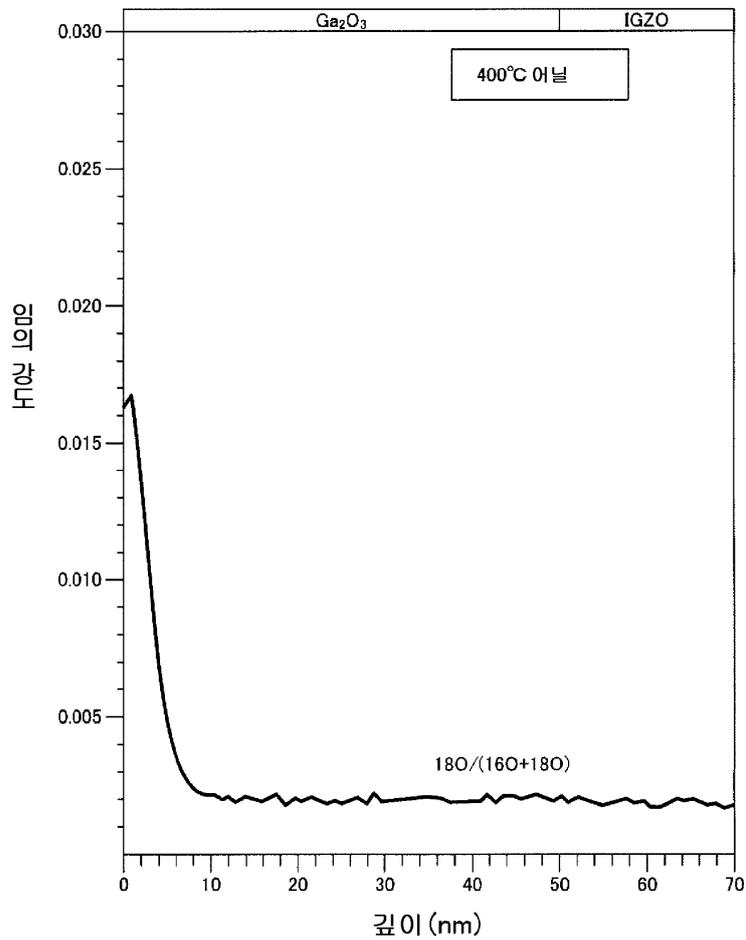
도면15



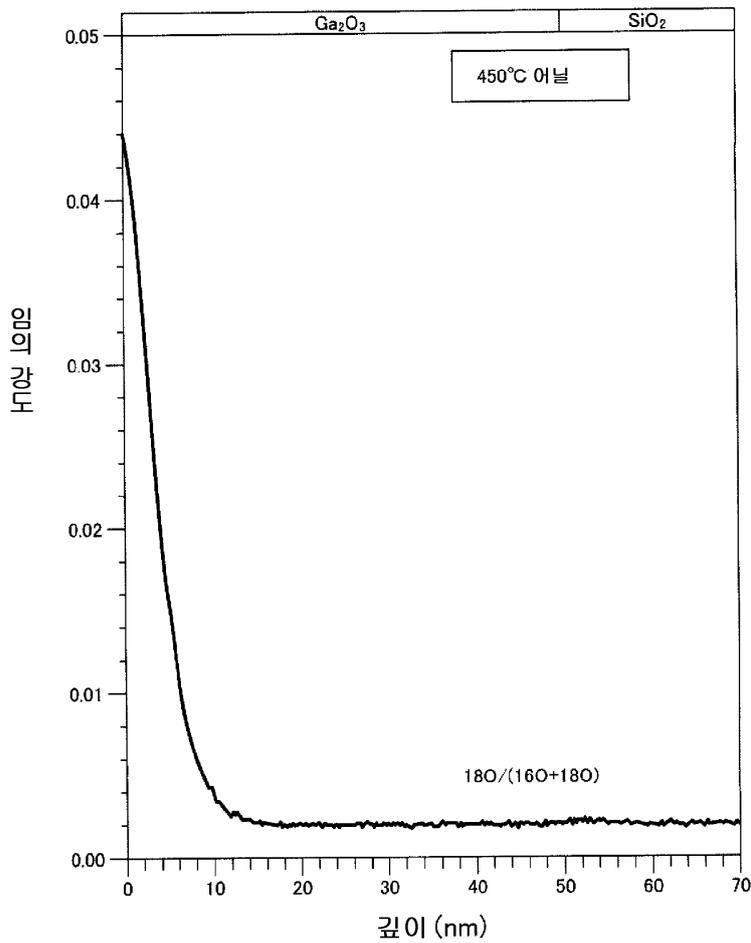
도면16



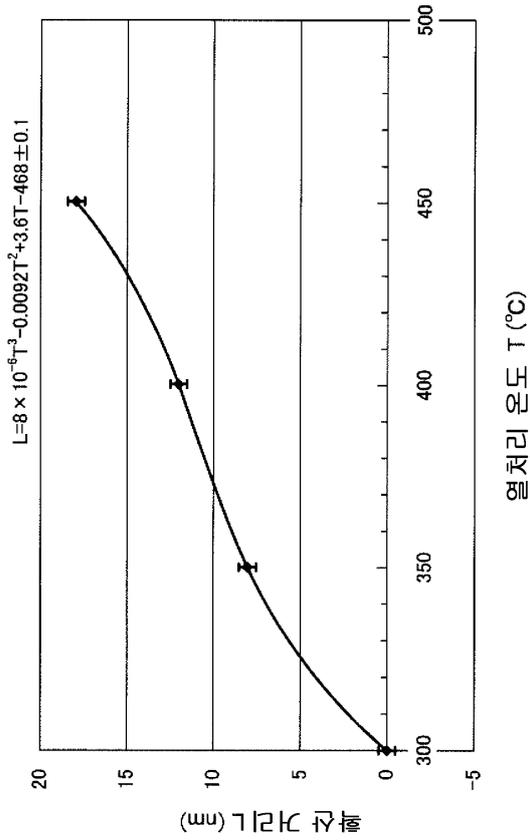
도면17



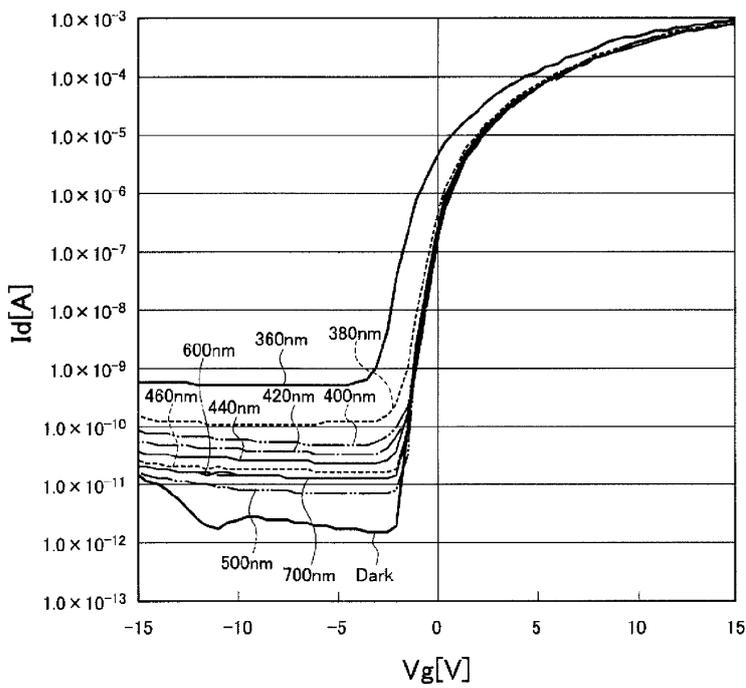
도면18



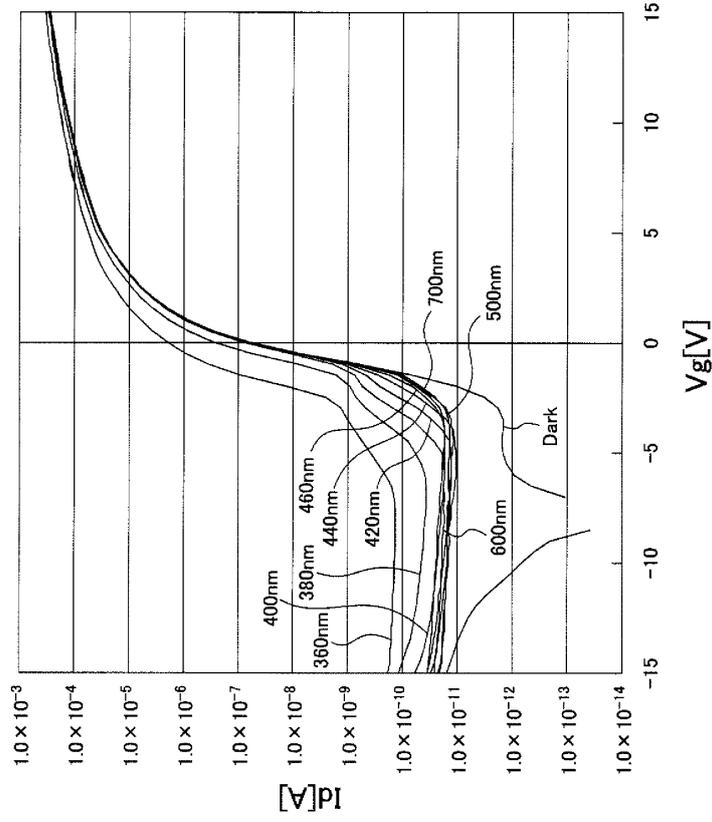
도면19



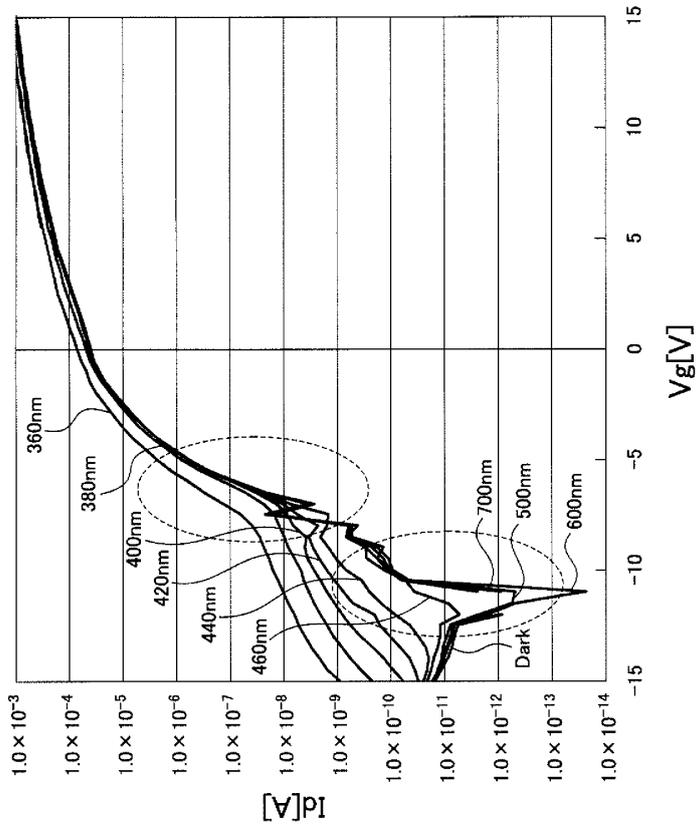
도면20



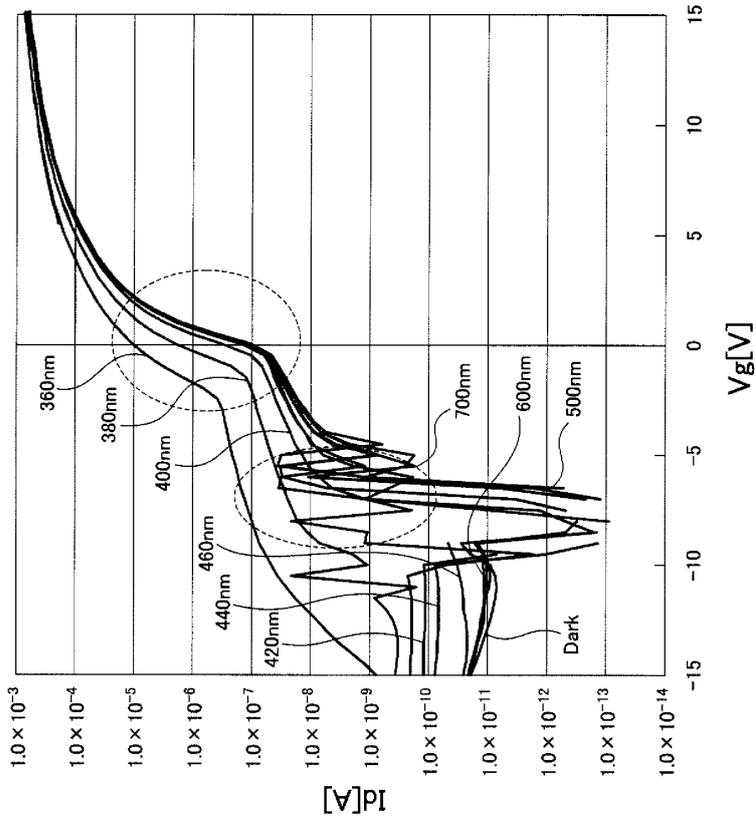
도면21



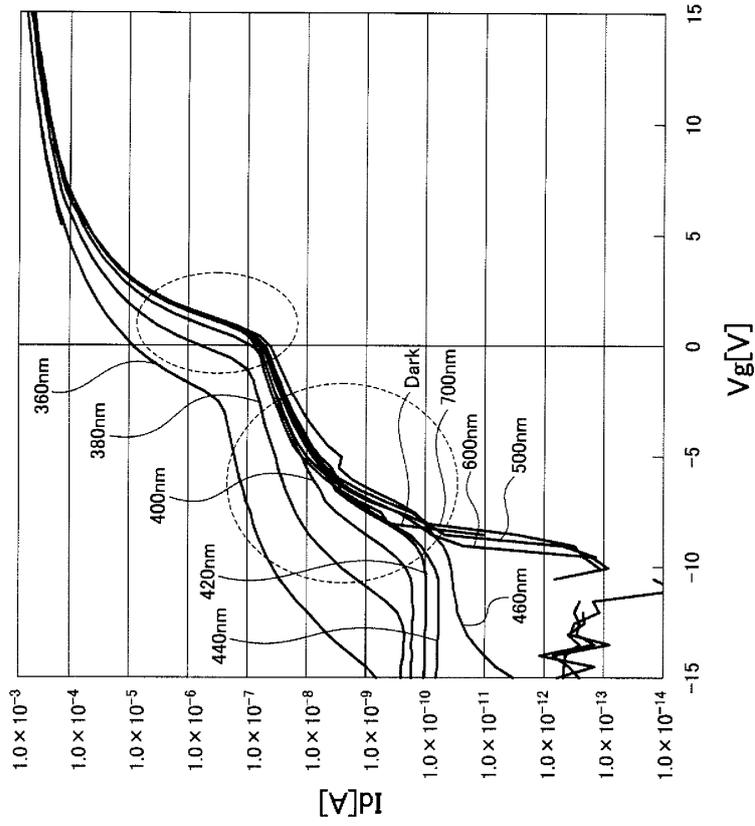
도면22



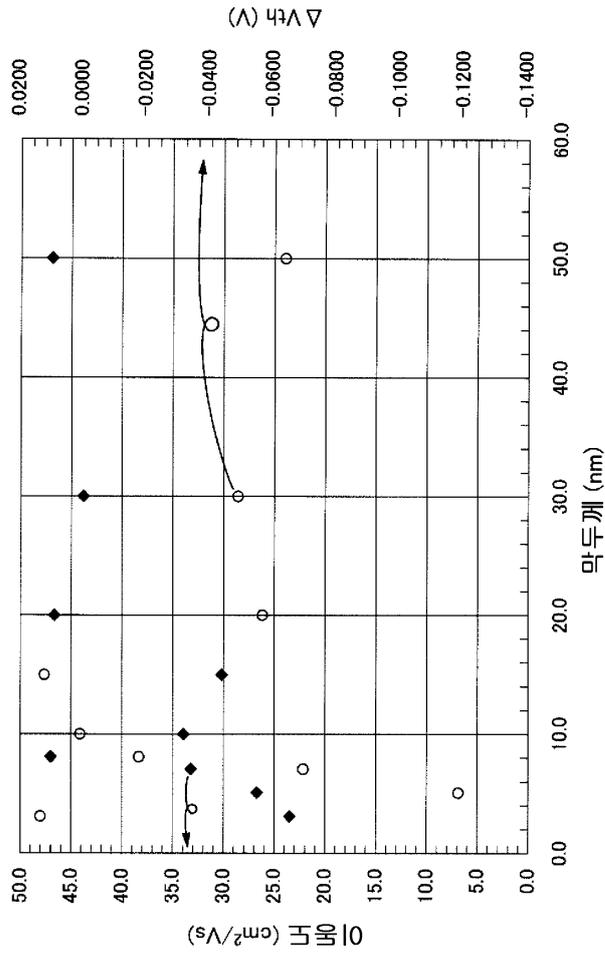
도면23



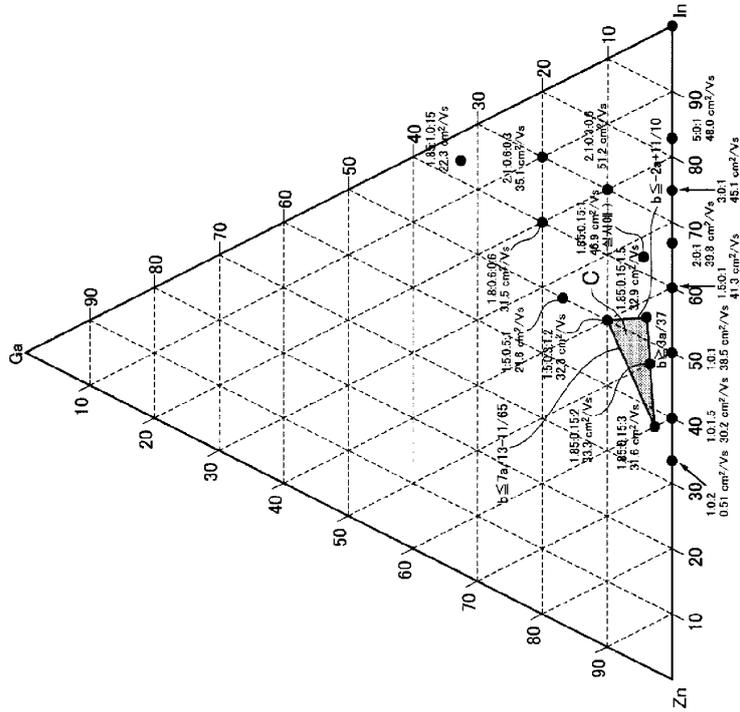
도면24



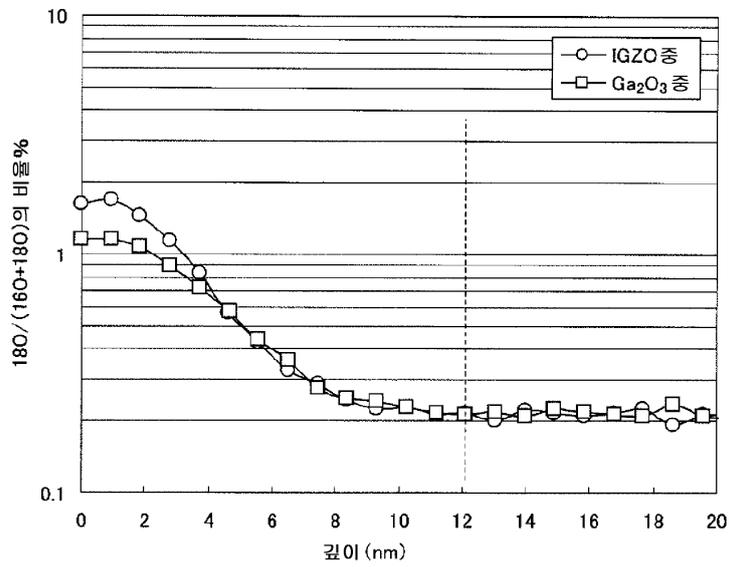
도면25



도면28



도면29



도면30

