



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0124256
(43) 공개일자 2018년11월21일

(51) 국제특허분류(Int. Cl.)
H01L 25/065 (2006.01) H01L 23/28 (2006.01)
H01L 23/48 (2006.01) H01L 25/07 (2006.01)

(52) CPC특허분류
H01L 25/0657 (2013.01)
H01L 23/28 (2013.01)

(21) 출원번호 10-2017-0058458
(22) 출원일자 2017년05월11일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091

(72) 발명자
이상은
경기도 이천시 대월면 경충대로2041번길 167
현대2차아파트(아이파크) 111동 103호

이형동
경기도 용인시 수지구 신봉1로 11 우남아파트 50
2동 603호

고은
서울특별시 노원구 동일로176길 47-14 새울센스빌
401호

(74) 대리인
강성배

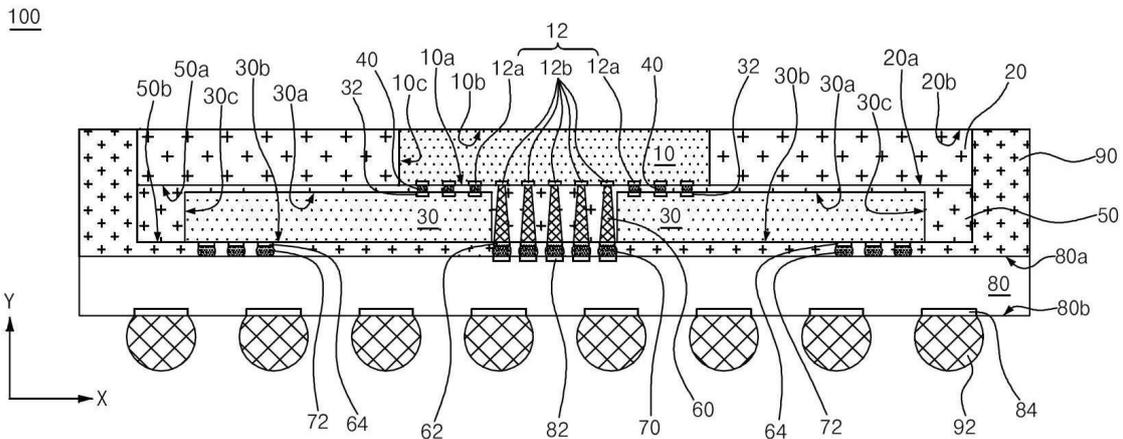
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 몰드비아를 갖는 적층 반도체 패키지 및 그의 제조방법

(57) 요약

본 발명은 몰드비아를 갖는 적층 반도체 패키지 및 그의 제조방법을 개시한다. 적층 반도체 패키지는 가장자리 본딩패드 및 중앙부 본딩패드를 포함하는 제1본딩패드들이 배열된 제1활성면을 갖는 제1반도체칩을 포함할 수 있다. 적층 반도체 패키지는 적어도 제1반도체칩의 제1측면 상에 형성된 제1봉지부재를 포함할 수 있다. 적층 반도체 (뒷면에 계속)

대표도



체 패키지는 각각 제1반도체칩과 인접하는 일측 가장자리에 제2본딩패드가 배열된 제2활성면을 가지며, 제2활성면이 제1활성면과 마주보면서 제2본딩패드가 가장자리 본딩패드와 중첩되게 상호 이격하여 배치된 두 개의 제2반도체칩을 포함할 수 있다. 적층 반도체 패키지는 제1본딩패드와 제2본딩패드 사이에 개재된 제1접속부재를 포함할 수 있다. 적층 반도체 패키지는 제2반도체칩들 사이 영역을 포함하여 제2반도체칩들의 측면 상에 형성된 제2봉지부재를 포함할 수 있다. 적층 반도체 패키지는 제2반도체칩들 사이 영역에 노출된 중앙부 본딩패드와 연결되도록 형성된 몰드비아를 포함할 수 있다.

(52) CPC특허분류

H01L 23/481 (2013.01)

H01L 25/0655 (2013.01)

H01L 25/072 (2013.01)

H01L 25/074 (2013.01)

명세서

청구범위

청구항 1

가장자리 본딩패드들 및 중앙부 본딩패드를 포함하는 제1본딩패드들이 배열된 제1활성면을 갖는 제1반도체칩;

적어도 상기 제1반도체칩의 제1측면 상에 형성된 제1봉지부재;

각각 제1반도체칩과 인접하는 일측 가장자리에 제2본딩패드가 배열된 제2활성면을 가지며, 상기 제2활성면이 상기 제1활성면과 마주보면서 상기 제2본딩패드가 상기 가장자리 본딩패드와 중첩되게 상호 이격하여 배치된 두 개의 제2반도체칩;

상기 제1반도체칩의 상기 가장자리 본딩패드와 상기 제2반도체칩의 상기 제2본딩패드 사이에 개재된 제1접속부재;

상기 제2반도체칩들 사이 영역을 포함하여 상기 제2반도체칩들의 제2측면 상에 형성된 제2봉지부재; 및

상기 제2반도체칩들 사이 영역의 상기 제2봉지부재 부분에 상기 중앙부 본딩패드와 연결되도록 형성된 몰드비아;

를 포함하는 적층 반도체 패키지.

청구항 2

제 1 항에 있어서,

상기 제1반도체칩은 로직 칩을 포함하고, 상기 제2반도체칩들은 메모리 칩을 포함하는 적층 반도체 패키지.

청구항 3

제 1 항에 있어서,

상기 제2봉지부재는 상기 제1반도체칩 및 상기 제1봉지부재와 접하도록 형성된 적층 반도체 패키지.

청구항 4

제 1 항에 있어서,

상기 제1봉지부재는 상기 제1반도체칩의 제1활성면과 동일 평면을 갖는 제1전면 및 상기 제1반도체칩의 제1활성면에 대향하는 제1면과 동일 평면을 갖는 제1후면을 포함하고,

상기 제2봉지부재는 상기 제1봉지부재와 접하는 제2전면 및 상기 제2반도체칩의 제2활성면에 대향하는 제2면과 동일 평면을 갖는 제2후면을 포함하는 적층 반도체 패키지.

청구항 5

제 4 항에 있어서,

상기 제2봉지부재의 상기 제2후면에 배치된 상기 몰드비아 부분에 형성된 범프패드;

상기 제2반도체칩의 상기 제2면 상에 형성된 더미패드;

상기 범프패드 상에 형성된 제2접속부재; 및

상기 더미패드 상에 형성된 서포트부재;

를 더 포함하는 적층 반도체 패키지.

청구항 6

제 5 항에 있어서,

상기 제2반도체칩들의 상기 제2면 및 상기 제2접속부재의 상기 제2후면과 마주하도록 배치되며, 상기 제2접속부재와 전기적으로 연결되는 본드핑거가 배열된 상면 및 상기 본드핑거와 전기적으로 연결되는 전극단자가 배열된 하면을 갖는 기판을 더 포함하는 적층 반도체 패키지.

청구항 7

제 6 항에 있어서,

상기 기판의 상면 상에, 상기 제1 및 제2 봉지부재들의 측면들을 덮고, 상기 제2반도체칩들 및 제2봉지부재와 상기 기판의 상면 사이 공간을 채우도록 형성된 제3봉지부재; 및

상기 전극단자 상에 형성된 외부접속부재;

를 더 포함하는 적층 반도체 패키지.

청구항 8

제 6 항에 있어서,

상기 제2반도체칩들의 상기 제2면 및 상기 제2봉지부재의 상기 제2후면과 상기 기판의 상면 사이 공간을 채우도록 형성된 언더필; 및

상기 전극단자 상에 형성된 외부접속부재;

를 더 포함하는 적층 반도체 패키지.

청구항 9

제 4 항에 있어서,

상기 제2반도체칩들의 상기 제2면과 상기 제2봉지부재의 상기 제2후면 및 상기 몰드비아 상에 형성된 재배선층을 더 포함하는 적층 반도체 패키지.

청구항 10

제 9 항에 있어서,

상기 재배선층은

상기 제2반도체칩들의 상기 제2후면과 상기 제2봉지부재의 제2후면 및 상기 몰드비아 상에 상기 몰드비아를 노출하도록 형성된 제1절연막;

상기 제1절연막 상에 형성되며, 일단이 상기 노출된 몰드비아와 연결되도록 형성된 재배선;

상기 재배선의 상기 일단에 대향하는 타단 부분을 제외하고 상기 재배선을 덮도록 상기 제1절연막 상에 형성된 제2절연막; 및

상기 제2절연막 상에 상기 노출된 재배선의 타단 부분과 연결되도록 형성된 재배선 패드;

를 포함하는 적층 반도체 패키지.

청구항 11

제 10 항에 있어서,

상기 재배선 패드 상에 형성된 외부접속부재를 더 포함하는 적층 반도체 패키지.

청구항 12

가장자리 본딩패드들 및 중앙부 본딩패드를 포함하는 제1본딩패드들이 배열된 제1활성면을 갖는 제1반도체칩들을 상기 캐리어 웨이퍼와 상기 제1활성면이 마주하도록 캐리어 웨이퍼 상에 배치하는 단계;

상기 제1반도체칩들이 재배치된 재형상 웨이퍼가 구성되도록 상기 캐리어 웨이퍼 상에 상기 제1반도체칩을 덮는

제1봉지부재를 형성하는 단계;

상기 재형상 웨이퍼로부터 상기 캐리어 웨이퍼를 제거하는 단계;

상기 재형상 웨이퍼 상에 하나의 제1반도체칩에 대하여 각각 상기 제1반도체칩에 인접한 가장자리에 제2본딩패드가 배열된 제2활성면을 갖고 상기 제2본딩패드 상에 제1접속부재가 형성되며 타겟 두께보다 두꺼운 두께를 갖는 두 개의 제2반도체칩들을 상기 제2활성면이 상기 제1활성면과 마주보고 상기 제2본딩패드가 상기 제1접속부재에 의해 상기 가장자리 본딩패드와 연결되며 상기 중앙부 본딩패드가 노출되도록 상호 이격하여 본딩하는 단계;

상기 제2반도체칩들을 덮도록 상기 재형상 웨이퍼 상에 제2봉지부재를 형성하는 단계;

상기 제2반도체칩의 타겟 두께가 잔류되도록 상기 제2봉지부재 및 상기 제2반도체칩의 일부 두께를 제거하는 단계; 및

상기 제2반도체칩들 사이 영역의 상기 제2봉지부재 부분 내에 상기 제1반도체칩의 중앙부 본딩패드와 연결되는 몰드비아를 형성하는 단계;

를 포함하는 적층 반도체 패키지의 제조방법.

청구항 13

제 12 항에 있어서,

상기 몰드비아를 형성하는 단계 후,

상기 몰드비아 상에 배치되는 범프패드 및 상기 제2반도체칩의 제2면 상에 배치되는 더미패드를 형성하는 단계; 및

상기 범프패드 상에 제2접속부재를 형성하고, 상기 더미패드 상에 서포트부재를 형성하는 단계;

를 더 포함하는 적층 반도체 패키지의 제조방법.

청구항 14

제 13 항에 있어서,

상기 제2접속부재 및 상기 서포트부재를 형성하는 단계 후,

상기 재형상 웨이퍼 상태로 구성된 상기 제1 및 제2 반도체칩들, 상기 제1 및 제2 봉지부재들, 및 몰드비아를 포함하는 복수의 칩 적층물을 본드핑거가 배열된 상면 및 전극단자가 배열된 하면을 갖는 기관상에 상기 제2접속부재와 상기 본드핑거들이 연결되도록 플립 칩 본딩하는 단계;

상기 제1 및 제2 봉지부재의 측면들을 덮도록 상기 기관상에 제3봉지부재를 형성하는 단계; 및

상기 전극단자 상에 외부접속부재를 형성하는 단계;

를 더 포함하는 적층 반도체 패키지의 제조방법.

청구항 15

제 14 항에 있어서,

상기 외부접속부재를 부착하는 단계 후, 개별 패키지들로 분리되도록 결과물을 싱글레이션하는 단계를 더 포함하는 적층 반도체 패키지의 제조방법.

청구항 16

제 13 항에 있어서,

상기 제2접속부재 및 상기 서포트부재를 형성하는 단계 후,

상기 재형상 웨이퍼 상태로 구성된 상기 제1 및 제2 반도체칩들, 상기 제1 및 제2 봉지부재들, 및 몰드비아를 포함하는 복수의 칩 적층물을 본드핑거가 배열된 상면 및 전극단자가 배열된 하면을 갖는 기관상에 상기 제2접

속부재와 상기 본드핑거들이 연결되도록 플립 칩 본딩하는 단계;
상기 제2반도체칩 및 제2봉지부재와 상기 기관의 상면 사이 공간을 채우도록 언더필을 형성하는 단계; 및
상기 전극단자 상에 외부접속부재를 형성하는 단계;
를 더 포함하는 적층 반도체 패키지의 제조방법.

청구항 17

제 16 항에 있어서,
상기 외부접속부재를 부착하는 단계 후, 개별 패키지들로 분리되도록 결과물을 싱글레이션하는 단계를 더 포함하는 적층 반도체 패키지의 제조방법.

청구항 18

제 12 항에 있어서,
상기 몰드비아를 형성하는 단계 후,
상기 제2반도체칩의 제2활성면에 대항하는 제2면 및 상기 제2봉지부재 상에 상기 몰드비아를 노출하도록 제1절연막을 형성하는 단계;
상기 제1절연막 상에 일단이 상기 노출된 몰드비아와 연결되는 재배선을 형성하는 단계;
상기 재배선의 상기 일단에 대항하는 타단 부분을 노출하도록 상기 재배선 및 상기 제1절연막 상에 제2절연막을 형성하는 단계; 및
상기 제2절연막 상에 상기 노출된 재배선들의 타단 부분과 연결되는 재배선 패드를 형성하는 단계;
를 더 포함하는 적층 반도체 패키지의 제조방법.

청구항 19

제 18 항에 있어서,
상기 재배선 패드를 형성하는 단계 후, 상기 재배선 패드 상에 외부접속부재를 형성하는 단계를 더 포함하는 적층 반도체 패키지의 제조방법.

청구항 20

제 19 항에 있어서,
상기 외부접속부재를 형성하는 단계 후,
개별 패키지들로 분리되도록 결과물을 싱글레이션하는 단계를 더 포함하는 적층 반도체 패키지의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지에 관한 것으로, 더욱 상세하게는, 몰드비아를 갖는 적층 반도체 패키지 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 전자 제품이 더 작고 및 고기능화됨에 따라, 요구된 기능을 충족시키기 위하여 고용량을 갖는 반도체칩이 필요로 하게 되었다. 또한, 작은 크기의 전자 제품에 더 많은 수의 반도체칩들을 실장 할 필요가 있게 되었다.

[0003] 그런데 고용량을 갖는 반도체칩을 제조하거나 한정된 공간 내에 더 많은 수의 반도체칩들을 실장하는 기술들은 그 한계에 부딪히게 되었다. 이에 따라, 최근의 추세는 하나의 패키지 내에 더 많은 수의 반도체칩들을 내장하는 방향으로 진행되고 있다.

[0004] 이와 관련하여, 하나의 패키지 내에 이중 칩들을 내장하고, 아울러, 둘 이상의 칩들을 적층 하면서도 패키지의

전체 두께를 증가시키지 않는 기술들이 개발되고 있다. 또한, 적층된 반도체칩들 사이의 전기적 특성을 개선할 수 있는 다양한 기술들이 개발되고 있다.

발명의 내용

해결하려는 과제

[0005] 실시 예는 몰드비아를 갖는 적층 반도체 패키지 및 그의 제조방법을 제공한다.

과제의 해결 수단

[0006] 실시 예에서, 적층 반도체 패키지는 가장자리 본딩패드 및 중앙부 본딩패드를 포함하는 제1본딩패드들이 배열된 제1활성면을 갖는 제1반도체칩을 포함할 수 있다. 적층 반도체 패키지는 적어도 제1반도체칩의 제1측면 상에 형성된 제1봉지부재를 포함할 수 있다. 적층 반도체 패키지는 각각 제1반도체칩과 인접하는 일측 가장자리에 제2본딩패드가 배열된 제2활성면을 가지며, 제2활성면이 제1활성면과 마주보면서 제2본딩패드가 가장자리 본딩패드와 중첩되게 상호 이격하여 배치된 두 개의 제2반도체칩을 포함할 수 있다. 적층 반도체 패키지는 제1본딩패드와 제2본딩패드 사이에 개재된 제1접속부재를 포함할 수 있다. 적층 반도체 패키지는 제2반도체칩들 사이 영역을 포함하여 제2반도체칩들의 측면 상에 형성된 제2봉지부재를 포함할 수 있다. 적층 반도체 패키지는 제2반도체칩들 사이 영역에 노출된 중앙부 본딩패드와 연결되도록 형성된 몰드비아를 포함할 수 있다.

[0007] 실시 예에서, 적층 반도체 패키지의 제조방법은, 가장자리 본딩패드들 및 중앙부 본딩패드를 포함하는 제1본딩패드들이 배열된 제1활성면을 갖는 제1반도체칩들을 캐리어 웨이퍼 상에 캐리어 웨이퍼와 제1활성면이 마주하도록 배치하는 단계, 제1반도체칩들이 재배치된 재형상 웨이퍼가 구성되도록 캐리어 웨이퍼 상에 제1반도체칩을 덮는 제1봉지부재를 형성하는 단계, 재형상 웨이퍼로부터 캐리어 웨이퍼를 제거하는 단계, 재형상 웨이퍼 상에 하나의 제1반도체칩에 대하여 각각 제1반도체칩에 인접한 가장자리에 제2본딩패드가 배열된 제2활성면을 갖고 제2본딩패드 상에 제1접속부재가 형성된 두 개의 제2반도체칩들을 제2활성면이 제1활성면과 마주보고 제2본딩패드가 제1접속부재에 의해 가장자리 본딩패드와 연결되며 중앙부 본딩패드가 노출되도록 상호 이격하여 플립 칩 본딩하는 단계, 제2반도체칩들을 덮도록 재형상 웨이퍼 상에 제2봉지부재를 형성하는 단계, 제2반도체칩의 제2활성면이 노출되도록 제2봉지부재의 일부 두께를 제거하는 단계, 및 제2반도체칩들 사이 영역의 제2봉지부재 내에 제1반도체칩의 중앙부 본딩패드와 연결되는 몰드비아를 형성하는 단계를 포함할 수 있다.

발명의 효과

[0008] 실시 예에 따르면, 적층된 반도체칩들 사이의 전기적 연결 수단으로서 TSV를 사용하지 않으므로 TSV 형성에 기인하는 원가 증가의 문제를 개선할 수 있고, 아울러, 공정 측면에서 복잡성 및 신뢰성 문제들을 개선할 수 있다.

[0009] 실시 예에 따르면, 이종 칩들이 용이하게 내장될 수 있으므로 작은 크기 및 고용량을 가지면서 고속 동작이 가능한 반도체 패키지를 구현할 수 있다.

도면의 간단한 설명

- [0010] 도 1은 실시 예에 따른 적층 반도체 패키지의 단면도이다.
- 도 2a 내지 도 2i는 실시 예에 따른 적층 반도체 패키지의 제조방법을 설명하기 위한 공정별 단면도이다.
- 도 3은 실시 예에 따른 적층 반도체 패키지의 단면도이다.
- 도 4는 실시 예에 따른 적층 반도체 패키지의 단면도이다.
- 도 5는 다양한 실시 예들에 따른 적층 반도체 패키지를 적용한 전자 시스템의 블록도이다.
- 도 6은 다양한 실시 예들에 따른 적층 반도체 패키지를 포함하는 메모리 카드의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 첨부된 도면들을 참조하여 다양한 실시 예들을 상세하게 설명하도록 한다. 여기서, 각 도면에서의 구성요소들의 형상 및 두께 등은 본 발명의 명확한 설명 및 강조를 위해 과장되어 표현될 수 있으며, 동일한 부재들은 동일한 도면부호를 부여하도록 한다.

- [0012] 도 1을 참조하면, 실시 예에 따른 적층 반도체 패키지(100)는 제1반도체칩(10), 제1봉지부재(20), 제2반도체칩들(30), 제1접속부재(40), 제2봉지부재(50), 몰드비아(60), 제2접속부재(70) 및 기판(80)을 포함할 수 있다. 적층 반도체 패키지(100)는 범프패드(62), 더미패드(64) 및 서포트부재(72)를 포함할 수 있다. 적층 반도체 패키지(100)는 제3봉지부재(90) 및 외부접속부재(92)를 포함할 수 있다.
- [0013] 구체적으로, 제1반도체칩(10)은 메모리 칩 또는 로직 칩 중 어느 하나일 수 있다. 예를 들어, 제1반도체칩(10)은 로직 칩일 수 있다. 제1반도체칩(10)은 사각 플레이트 형상을 가질 수 있다. 제1반도체칩(10)은 제1활성면(10a) 및 제1활성면(10b)에 대향하는 제1면(10b)을 가질 수 있고, 또한, 제1반도체칩(10)은 제1활성면(10a)에 매트릭스 형상으로 배열된 복수의 제1본딩패드(12)를 포함할 수 있다.
- [0014] 제1본딩패드들(12)은 제1활성면(10a) 내에 배치될 수 있으며, 이와 다르게 제1본딩패드들(12)은 제1활성면(10a) 상에 배치될 수도 있다. 제1본딩패드들(12)은 제1방향(X)으로 제1활성면(10a)의 양측 가장자리들 각각에 배치된 가장자리 본딩패드(12a) 및 양측의 가장자리 본딩패드들(12a) 사이에 배치된 중앙부 본딩패드(12b)로 구분될 수 있다. 실시 예에서, 가장자리 본딩패드(12a)는 제1활성면(10a)의 양측 가장자리 각각에 3열로 배열될 수 있으며, 중앙부 본딩패드(12b)는 양측의 가장자리 본딩패드들(12a) 사이에 5열로 배열될 수 있다.
- [0015] 이러한 제1반도체칩(10)은 제1본딩패드들(12)이 배열된 제1활성면(10a)이 아래쪽을 향하는 페이스-다운 타입(Face-down type)으로 배치될 수 있다.
- [0016] 도시되지 않았으나, 제1반도체칩(10)은 제1활성면(10a)에 제1본딩패드들(12)을 노출하도록 패시베이션막이 형성된 것으로 이해될 수 있다.
- [0017] 제1봉지부재(20)는 제1반도체칩(10)의 제1측면(10c)이 덮이도록 형성될 수 있다. 제1봉지부재(20)는 제1반도체칩(10)의 제1활성면(10a) 및 제1면(10b)을 노출하도록 형성될 수 있다. 여기서, 제1봉지부재(20)의 제1전면(20a)은 제1반도체칩(10)의 제1활성면(10a)과 동일 평면(coplanar)상에 배치될 수 있으며, 제1봉지부재(20)의 제1후면(20a)은 제1반도체칩(10)의 제1면(10b)과 동일 평면상에 배치될 수 있다. 제1봉지부재(20)는 에폭시 몰딩 컴파운드로 이루어질 수 있다. 도시되지 않았으나, 제1봉지부재(20)는 제1반도체칩(10)의 제1활성면(10a)만 노출되고 제1반도체칩(10)의 제1면(10b) 및 제1측면(10c)이 덮이도록 형성될 수도 있다. 이에 따라, 제1반도체칩(10)의 제1면(10b)은 제1봉지부재(20)에 의해 외부 환경으로부터 보호될 수 있다.
- [0018] 제2반도체칩들(30)은 제2방향(Y)으로 제1반도체칩(10) 및 제1봉지부재(20)의 하부에 배치될 수 있다. 제2반도체칩(30)은 두 개가 배치될 수 있다. 제2반도체칩(30)은 사각 플레이트 형상을 가질 수 있다. 제2반도체칩(30)은 제2활성면(30a) 및 제2활성면(30a)에 대향하는 제2면(30b)을 가질 수 있다. 제2반도체칩(30)은 제2활성면(30a)에 배열된 복수의 제2본딩패드들(32)을 포함할 수 있다.
- [0019] 각 제2반도체칩들(30)에서의 제2본딩패드들(32)은 제1방향(X)으로 제1반도체칩(10)에 인접한 일측 가장자리에 각각 배치될 수 있다. 예를 들어, 제1반도체칩(10)의 좌측 하부에 배치되는 제2반도체칩(30)은 제2본딩패드들(32)이 제2활성면(30a)의 우측 가장자리에 배치될 수 있고, 제1반도체칩(10)의 우측 하부에 배치되는 제2반도체칩(30)은 제2본딩패드들(32)이 제2활성면(30a)의 좌측 가장자리에 배치될 수 있다.
- [0020] 이와 같은 제2반도체칩들(30)은 제2활성면들(30a)이 제1반도체칩(10)의 제1활성면(10a)과 마주하도록 제1반도체칩(10) 및 제1봉지부재(20)의 하부에 페이스-업 타입(Face-up type)으로 배치될 수 있다. 제2반도체칩들(30)은, 제1반도체칩(10)의 가장자리 본딩패드들(12a)과 중첩되고 제1반도체칩(10)의 중앙부 본딩패드들(12b)은 노출되도록 상호 이격하여 배치될 수 있다. 제1반도체칩(10)의 가장자리 본딩패드들(12a)과 제2반도체칩(30)의 제2본딩패드들(32)은 일대일 대응하여 중첩될 수 있다.
- [0021] 제2반도체칩들(30)은 제1반도체칩(10)과 다른 종류의 칩일 수 있다. 예를 들어, 제1반도체칩(10)이 로직 칩이면, 제2반도체칩(30)은 메모리 칩일 수 있다. 도시되지 않았으나, 제2반도체칩(30)은 제2활성면(30a)에 제2본딩패드들(32)을 노출하도록 패시베이션막이 형성된 것으로 이해될 수 있다. 제2본딩패드들(32)은, 도시된 바와 같이, 제2활성면(30a) 내에 배치될 수 있다. 이와 다르게, 도시되지 않았으나 제2본딩패드들(32)은 제2활성면(30a) 상에 배치될 수도 있다.
- [0022] 제1접속부재(40)는 상호 중첩하여 배치된 제1반도체칩(10)의 가장자리 본딩패드들(12a)과 제2반도체칩(30)의 제2본딩패드들(32)을 전기적으로 연결하도록 가장자리 본딩패드들(12a)과 제2본딩패드들(32) 사이 각각에 개재될 수 있다. 제1접속부재(40)는 범프(bump)로 이루어질 수 있다. 제1접속부재(40)는 제2반도체칩(30)의 제2본딩패드들(32) 상에 형성될 수 있다. 제2반도체칩(30)은 제1접속부재(40)에 의해 제1반도체칩(10)의 제1활성면(10a)

에 플립 칩 본딩(Flip Chip Bonding)될 수 있다.

- [0023] 제2봉지부재(50)는 제2반도체칩(30)의 제2활성면(30a) 및 제2측면(30c)을 덮도록 형성될 수 있다. 제2봉지부재(50)는 제2반도체칩(30)의 제2면(30b)을 노출하도록 형성될 수 있다. 제2봉지부재(50)는 제2반도체칩들(30) 사이 영역을 채우도록 형성될 수 있다. 제2봉지부재(50)의 제2전면(50a)은 제1반도체칩(10)의 제1활성면(10a) 및 제1봉지부재(20)의 제1전면(20a)과 접하도록 배치될 수 있으며, 제1봉지부재(20)의 제2후면(50b)은 제2반도체칩(30)의 제2면(30b)과 동일 평면 상에 배치될 수 있다. 제2봉지부재(50)는 제1봉지부재(20)와 동일하게 에폭시 몰딩 컴파운드로 이루어질 수 있다. 여기서, 제2봉지부재(50)와 제2반도체칩들(30)의 합계 폭은 제1반도체칩(10)과 제1봉지부재(20)의 합계 폭과 실질적으로 동일할 수 있다.
- [0024] 몰드비아들(60)은 제1반도체칩(10)과 기판(80) 사이를 전기적으로 연결하도록 형성될 수 있다. 몰드비아들(60)은 제2반도체칩들(30) 사이의 제2봉지부재(50) 부분에 형성될 수 있으며, 또한, 몰드비아들(60)은 제2봉지부재(50)의 제2전면(50a) 및 제2후면(50b)을 관통하도록 형성될 수 있다. 몰드비아들(60)은 제2봉지부재(50)의 제1전면(50a)에서 제1반도체칩(10)의 중앙부 본딩패드들(12b)과 연결될 수 있다. 이러한 몰드비아(60)는 제2봉지부재(50)에 관통 홀이 형성된 후, 관통 홀 내에 금속막과 같은 도전막이 매립되는 것에 의해 형성될 수 있다.
- [0025] 실시 예에서, 범프패드(62)가 제2봉지부재(50)의 제2후면(50b)에 배치된 몰드비아(60) 부분에 형성될 수 있다. 더미패드(64)가 제1방향(X)으로 몰드비아(60)와 인접하지 않는 제2반도체칩(30)의 제2면(30b) 가장자리 부분에 형성될 수 있다. 범프패드(62) 및 더미패드(64)는 금속패턴으로 형성될 수 있다.
- [0026] 제2접속부재(70)는 범프패드(62) 상에 형성될 수 있다. 서포트부재(72)가 더미패드(64) 상에 형성될 수 있다. 제2접속부재(70) 및 서포트부재(72)는 범프로 이루어질 수 있다. 제2접속부재(70)에 의해 제1반도체칩(10), 제1봉지부재(20), 제2반도체칩들(30) 및 제2봉지부재(50)를 포함한 칩 적층물이 기판(80)의 상면(80a) 상에 플립 칩 본딩될 수 있다. 더미패드(64) 및 서포트부재(72)의 적층물은, 칩 적층물의 플립 칩 본딩시에 구조적 안정을 확보하기 위해 형성될 수 있으며, 제1방향(X)으로 몰드비아(60)와 인접하지 않는 제2반도체칩(30)의 제2면(30b) 가장자리 부분에 배치될 수 있다.
- [0027] 기판(80)은 제2반도체칩들(30) 및 제2봉지부재(50)의 하부에 배치될 수 있다. 기판(80)은 인쇄회로기판(Printed Circuit Board)일 수 있으며, 사각 플레이트 형상을 가질 수 있다. 기판(80)은 제2반도체칩들(30)과 제2봉지부재(40)의 크기 합보다 더 큰 크기를 가질 수 있다. 기판(80)은 상면(80a) 및 상면(80a)에 대향하는 하면(80b)을 가질 수 있다. 기판(80)은 상면(80a)에 배열된 복수의 본드핑거(82) 및 하면(80b)에 배열된 복수의 전극단자(84)를 포함할 수 있다.
- [0028] 본드핑거들(82)은 기판(80)의 상면(80a) 중앙부에 배치될 수 있으며, 아울러, 대응하는 몰드비아들(60)과 중첩 되도록 배치될 수 있다. 따라서, 본드핑거들(82)은 제2접속부재(70)에 의해 범프패드(62)를 포함한 몰드비아(60)와 전기적으로 연결될 수 있고, 그 결과, 본드핑거들(82)은 제2접속부재(70), 범프패드(62) 및 몰드비아(60)를 통해 제1반도체칩(10)의 중앙부 본딩패드들(12b)과 전기적으로 연결될 수 있다.
- [0029] 전극단자들(84)은 기판(80)의 하면(80b) 상에, 예를 들어, 매트릭스 형태로 배열될 수 있다. 전극단자(84)는 기판(80)의 내부에 형성된 내부배선(도시안됨)과 연결될 수 있으며, 이러한 내부배선을 통해 기판(80)의 상면(80b)에 배열된 본드핑거(82)와 전기적으로 연결될 수 있다.
- [0030] 제3봉지부재(90)는 기판(80)의 상면(80a) 상에 형성될 수 있다. 보다 명확하게, 제3봉지부재(90)는 제1봉지부재의 제1후면(20a) 및 제1반도체칩(10)의 제1면(10b)을 노출하고 제1봉지부재(20) 및 제2봉지부재(20, 50)의 측면들을 덮으며 제2반도체칩들(30)과 기판(80)의 상면(80a) 사이 공간을 매립하도록 형성될 수 있다. 제3봉지부재(90)는 에폭시 몰딩 컴파운드로 이루어질 수 있다. 도시되지 않았으나, 제3봉지부재(90)는 제1반도체칩의 제1면(10b) 및 제1봉지부재(20)의 제1후면(20a)을 덮도록 형성될 수도 있다.
- [0031] 외부접속부재(92)는 기판(80)의 하면(80b)에 배열된 전극단자들(84) 상에 형성될 수 있다. 외부접속부재(92)는 솔더 볼을 포함할 수 있다. 이와 다르게, 외부접속부재(92)는 도전핀 또는 도전 페이스트를 포함할 수도 있다. 이러한 외부접속부재(92)를 매개로 하여 실시 예에 따른 적층 반도체 패키지(100)는 시스템 보드와 같은 외부 회로에 실장될 수 있다.
- [0032] 전술한 바와 같은 실시 예에 따른 적층 반도체 패키지는 다음과 같은 공정들을 통해 제작될 수 있다.
- [0033] 도 2a를 참조하면, 캐리어 웨이퍼(200)가 마련된다. 캐리어 웨이퍼(200)는 가공되지 않은 실리콘 베어 웨이퍼일 수 있다. 제1활성면(10a)에 제1본딩패드들(12)이 형성된 제1반도체칩들(10)이 캐리어 웨이퍼(200) 상에 부착된

다. 제1반도체칩들(10)은 제1활성면들(10a)이 캐리어 웨이퍼(200)와 마주하도록 부착된다. 아울러, 제1반도체칩들(10)은 후속에서 플립 칩 본딩될 제2반도체칩들을 고려한 간격으로 부착된다.

- [0034] 제1반도체칩(10)은 복수의 제1본딩패드들(12)이 형성된 제1활성면(10a), 제1활성면(10a)에 대향하는 제1면(10b) 및 제1활성면(10a)과 제1면(10b)을 연결하는 제1측면(10c)을 갖는다. 제1본딩패드들(12)은 제1활성면(10a)에서 양측의 가장자리들 각각에 배치되는 가장자리 본딩패드들(12a) 및 양측의 가장자리 본딩패드들(12a) 사이에 배치되는 중앙부 본딩패드(12b)를 포함한다
- [0035] 도 2b를 참조하면, 제1반도체칩들(10)을 덮도록 제1봉지부재(20)가 몰딩 공정을 통해 캐리어 웨이퍼(200) 상에 형성된다. 제1봉지부재(20)는 예폭시 몰딩 컴파운드일 수 있으며, 제1반도체칩(10)의 제1측면(10c) 및 제1면(10b)을 덮도록 형성된다. 제1봉지부재(20)는 제1반도체칩(10)의 제1활성면(10a)과 동일면에 배치되고 캐리어 웨이퍼(200)에 접하는 제1전면(20a) 및 제1전면(20a)에 대향하는 제1후면(20a)을 갖는다.
- [0036] 여기서, 복수의 제1반도체칩들(10)이 제1봉지부재(20)에 의해 재배치된 결과물을 재형상 웨이퍼(250)라 칭하도록 한다.
- [0037] 도 2c를 참조하면, 캐리어 웨이퍼(200)가 제1반도체칩들(10) 및 제1봉지부재(20)를 포함하는 재형상 웨이퍼(250)로부터 제거된다. 그런 다음, 캐리어 웨이퍼가 제거된 재형상 웨이퍼(250)는 제1반도체칩(10)의 제1활성면(10a)이 위쪽에 위치하도록 뒤집어 배치된다.
- [0038] 도 2d를 참조하면, 각각 복수의 제2본딩패드들(32)이 배열된 제2활성면(30a)과 제2활성면(30a)에 대향하는 제2면(30b) 및 제2활성면(30a)과 제2면(30b)을 연결하는 제2측면(30c)을 갖는 제2반도체칩들(30)이 마련된다. 제2본딩패드들(32)은 제2활성면(30a)에서 제1반도체칩(10)에 인접한 일측 가장자리에 배열될 수 있다. 이어서, 제1접속부재(40)가 제2반도체칩(30)의 제2본딩패드들(32) 상에 형성된다. 제1접속부재(40)는 범프를 이루어질 수 있다. 실시 예에서, 제2반도체칩들(30)은 핸들링이 용이하도록 타겟 두께(t), 즉, 최종 적층 반도체 패키지에서의 제2반도체칩(30)보다 두꺼운 두께를 갖는다.
- [0039] 다음으로, 제1반도체칩(10)의 제1활성면(10a)과 제2반도체칩(30)의 제2활성면(30a)이 마주하도록, 웨이퍼 레벨 패키지 기술에 따라 제2반도체칩들(30)이 재형상 웨이퍼(250) 상에 제1접속부재(40)에 의해 플립 칩 본딩된다. 보다 명확하게, 하나의 제1반도체칩(10)에 대하여 두 개의 제2반도체칩들(30)이 제1반도체칩(10)의 제1활성면(10a) 상에 양측의 가장자리 본딩패드들(12a)과 각각 중첩되도록 제1접속부재(40)에 의해 플립 칩 본딩된다. 이에 따라, 제1반도체칩(10)의 가장자리 본딩패드들(12a)과 제2반도체칩(30)의 제2본딩패드들(32)은 제1접속부재(40)에 의해 상호 전기적으로 연결되며, 제1반도체칩(10)의 중앙부 본딩패드들(12b)은 두 개의 제2반도체칩들(30) 사이 영역으로 노출된다.
- [0040] 도 2e를 참조하면, 제2봉지부재(50)가 제2반도체칩들(30)을 덮도록 재형상 웨이퍼(250) 상에 형성된다. 제2봉지부재(50)는 예폭시 몰딩 컴파운드일 수 있다. 제2봉지부재(50)는 제1반도체칩(10)과 제2반도체칩(10) 사이 공간 및 제1봉지부재(20)와 제2반도체칩(30) 사이 공간을 채우도록 형성되며, 아울러, 제2반도체칩들(30) 사이 영역을 채우도록 형성된다. 제2봉지부재(50)는 제1봉지부재(20)와 접하는 제2전면(50a) 및 제2전면(50a)에 대향하는 제2후면(50b)을 갖는다.
- [0041] 도 2f를 참조하면, 제2봉지부재(50) 및 제2반도체칩(30) 일부 두께가 제2반도체칩(30)의 타겟 두께(t)까지 제거된다. 제2봉지부재(50) 및 제2반도체칩(30)의 일부 두께 제거는, 예를 들어, 그라인딩 공정으로 수행될 수 있다. 도 2f에서, 최종 제2봉지부재(50)의 제2후면(50b) 및 최종 제2반도체칩(30)의 제2면(30b)은 각각 일부 두께들이 제거되어 노출된 면들이다.
- [0042] 도 2g를 참조하면, 제1반도체칩(10)의 중앙부 본딩패드들(12b)을 각각 노출시키는 홀들(h)이 형성되도록 제2반도체칩들(30) 사이의 제2봉지부재(50) 부분이 식각된다. 그런 다음, 홀들(h) 내에 금속막과 같은 도전막이 매립되어 각각의 홀들(h) 내에 몰드비아(60)가 형성된다. 여기서, 몰드비아들(60)은 제2봉지부재(50)의 제2전면(50a) 및 제2후면(50b)을 관통하도록 형성되며, 아울러, 제1반도체칩(10)의 중앙부 본딩패드들(12b)과 각각 전기적으로 연결된다.
- [0043] 도 2h를 참조하면, 범프패드들(62)이 제2봉지부재(50)의 제2후면(50b)에 배치된 몰드비아(60) 부분 상에 형성되고, 이와 동시에, 더미패드들(64)이 제2반도체칩들(30)의 제2후면들(30b) 상에 각각 형성된다. 범프패드(62) 및 더미패드(64)는 금속으로 이루어질 수 있다. 그런 다음, 제2접속부재(70)가 범프패드(62) 상에 형성되고, 이와 동시에, 서포트부재(72)가 더미패드(64) 상에 형성된다. 제2접속부재(70) 및 서포트부재(72)는, 예를 들어, 범

프로 이루어질 수 있다.

- [0044] 실시 예에서, 더미패드(64) 및 서포트부재(72)는 후속에서 제2접속부재(50)를 매개로 하는 칩 적층물의 플립 칩 본딩에서 구조적 안정을 확보하기 위해 형성될 수 있다. 더미패드(64) 및 서포트부재(72)는 몰드비아(60)와 인접하지 않는 제2반도체칩(30)의 제2면(30a) 가장자리 부분에 배치될 수 있다.
- [0045] 도 2i를 참조하면, 복수의 본드핑거(82)가 배열된 상면(80a) 및 상면(80a)에 대향하고 복수의 전극단자(86)가 배열된 하면(80b)을 갖는 기판(80)이 마련된다. 그런 다음, 기판(80)의 상면(80a)과 제2반도체칩들(30)의 제2면(30b)이 마주하도록 재형상 웨이퍼(250) 상태로 구성된 제1 및 제2 반도체칩들(10, 30), 제1 및 제2 봉지부재들(20, 50) 및 몰드비아들(60)을 포함하는 복수의 칩 적층물이 기판(80)의 상면(80a) 상에 플립 칩 본딩된다. 이때, 칩 적층물은 제2접속부재들(70)이 기판(80)의 본드핑거들(82)과 연결되도록 본딩되며, 이에 따라, 제1반도체칩(10)의 제1본딩패드들(12)은 몰드비아(60), 범프패드(62) 및 제2접속부재(70)를 매개로 하여 기판(80)의 본드핑거(82)와 전기적으로 연결된다.
- [0046] 한편, 칩 적층물의 플립 칩 본딩시에 더미패드(64)를 포함한 서포트부재(72)가 기판(80)의 상면(80a) 양측 가장자리 부분들과 접하게 되며, 이에 따라, 칩 적층물의 구조적 안정이 확보된다.
- [0047] 이어서, 제3봉지부재(90)가 몰딩 공정을 통해 제1봉지부재의 제1후면(20a) 및 제1반도체칩(10)의 제1면(10b)은 노출하고 제1봉지부재(20) 및 제2봉지부재(20, 50)의 측면들과 제2반도체칩들(30)과 기판(80) 사이 공간을 매립하도록 형성된다. 여기서, 제3봉지부재(90)는 기판(80)의 상면(80a) 상에 칩 적층물을 완전히 덮도록 형성된 후, 제1반도체칩(10)의 제1면(10b) 및 제1봉지부재(20)의 제1후면(20b)이 노출되도록 그라인딩될 수 있다. 제3봉지부재(90)는 에폭시 몰딩 컴파운드로 이루어질 수 있다. 그 다음, 외부접속부재들(92)이 기판(80)의 하면(80b)에 배열된 전극단자들(84) 상에 각각 형성된다. 외부접속부재(92)는 솔더 볼일 수 있다.
- [0048] 이후, 외부접속부재들(92)이 형성된 결과물에 대하여 싱글레이션 공정이 진행되어 웨이퍼 레벨로 제조된 패키지들이 개별 패키지들로 분리되며, 이 결과로 실시 예에 따른 적층 반도체 패키지(100)의 제작이 완성된다.
- [0049] 전술한 바와 같은 실시 예에 따른 적층 반도체 패키지는 제조원가를 줄이고, 제조공정을 단순화할 수 있는 이점을 갖는다.
- [0050] 구체적으로, 종래에는 플래나 타입(planar type) 적층 패키지를 구현하기 위해서 실리콘 인터포저(silicon interposer)를 필요로 하고, 버티컬 타입(vertical type) 적층 패키지를 구현하기 위해서 TSV를 필요로 한다. 그런데 실리콘 인터포저를 적용하게 되면, 실리콘 인터포저로 인해 제조원가 증가가 유발될 수밖에 없고, 시그널 라우팅(signal routing)의 부담을 갖게 된다. TSV를 적용하는 경우도 마찬가지로 복잡한 공정으로 인한 부담과 제조원가의 상승이 유발될 수밖에 없다.
- [0051] 반면, 실시 예에 따른 적층 반도체 패키지의 경우, 제2반도체칩들이 실리콘 인터포저의 적용없이 플래나 타입으로 적층되고, 제1반도체칩과 제2반도체칩이 TSV의 적용없이 버티컬 타입으로 적층될 수 있다. 이에 따라, 실시 예에 따른 적층 반도체 패키지는 실리콘 인터포저 및 TSV 적용에 기인하는 제조원가 증가를 피할 수 있고, 시그널 라우팅 및 복잡한 TSV 형성으로 인한 공정상의 부담을 피할 수 있다.
- [0052] 따라서, 실시 예에 따른 적층 반도체 패키지는 실리콘 인터포저와 시그널 라우팅 및 TSV를 적용해야 하는 종래의 그것과 비교하여 상업적 및 기술적 제약을 극복할 수 있다.
- [0053] 도 3을 참조하면, 실시 예에 따른 적층 반도체 패키지(300)는 제1반도체칩(10), 제1봉지부재(20), 제2반도체칩들(30), 제1접속부재(40), 제2봉지부재(50), 몰드비아(60), 제2접속부재(70), 기판(80) 및 언더필(fill; 95)을 포함할 수 있다. 적층 반도체 패키지(100)는 외부접속부재(92)를 포함할 수 있다.
- [0054] 제1반도체칩(10)은 메모리 칩 또는 로직 칩 중 어느 하나일 수 있다. 예를 들어, 제1반도체칩(10)은 로직 칩일 수 있다. 제1반도체칩(10)은 제1활성면(10a) 및 제1활성면(10b)에 대향하는 제1면(10b)을 가질 수 있다. 제1반도체칩(10)은 제1액티브면(10a)에 배열된 복수의 제1본딩패드(12)를 포함할 수 있다. 제1본딩패드들(12)은 제1방향(X)으로 제1활성면(10a)의 양측 가장자리들 각각에 배치된 가장자리 본딩패드들(12a) 및 양측 가장자리 본딩패드들(12a) 사이에 배치된 중앙부 본딩패드들(12b)을 포함할 수 있다. 제1반도체칩(10)은 제1본딩패드들(12)이 배열된 제1활성면(10a)이 아래쪽을 향하는 페이스-다운 타입으로 배치될 수 있다.
- [0055] 제1봉지부재(20)는 제1반도체칩(10)의 제1측면(10c)을 덮도록 형성될 수 있다. 제1봉지부재(20)는 제1반도체칩(10)의 제1활성면(10a) 및 제1면(10b)을 노출하도록 형성될 수 있다. 제1봉지부재(20)는 에폭시 몰딩 컴파운드를

로 이루어질 수 있다.

- [0056] 제2반도체칩들(30)은 제2방향(Y)으로 제1반도체칩(10) 및 제1봉지부재(20)의 하부에 두 개가 배치될 수 있다. 각 제2반도체칩(30)은 제2활성면(30a) 및 제2활성면(30a)에 대향하는 제2면(30b)을 가질 수 있다. 제2반도체칩들(30)은 제2활성면들(30a)이 제1반도체칩(10)의 제1활성면(10a)과 마주하도록 배치될 수 있다. 제2반도체칩들(30)은 제2활성면(30a)에 배열된 복수의 제2본딩패드들(32)을 포함할 수 있다. 각 제2반도체칩들(30)의 제2본딩패드들(32)은 제1방향(X)으로 제1반도체칩(10)에 인접한 제2활성면(30a)의 일측 가장자리에 배치될 수 있다.
- [0057] 두 개의 제2반도체칩(30)은 각각 제2본딩패드들(32)이 배열된 가장자리가 제1반도체칩(10)의 가장자리 본딩패드들(12a)과는 중첩되고 제1반도체칩(10)의 중앙부 본딩패드들(12b)은 노출되도록 상호 이격하여 배치될 수 있다. 제2반도체칩(30)의 제2본딩패드들(32)은 제1반도체칩(10)의 가장자리 본딩패드들(12a)과 일대일로 중첩되게 배치될 수 있다.
- [0058] 제2반도체칩들(30)은 제1반도체칩(10)과 다른 종류의 칩일 수 있다. 예를 들어, 제1반도체칩(10)이 로직 칩이면, 제2반도체칩(30)은 메모리 칩일 수 있다.
- [0059] 제1접속부재(40)는 제1반도체칩(10)의 가장자리 본딩패드들(12a)과 제2반도체칩(30)의 제2본딩패드들(32) 사이에 개재될 수 있다. 제1접속부재(40)는 범프로 이루어질 수 있다. 제1접속부재(40)는 제2반도체칩(30)의 제2본딩패드들(32) 상에 형성될 수 있으며, 제2반도체칩(30)은 제1접속부재(40)에 의해 제1반도체칩(10)의 제1활성면(10a)에 플립 칩 본딩될 수 있다.
- [0060] 제2봉지부재(50)는 제2반도체칩(30)의 제2활성면(30a) 및 제2측면(30c)을 덮도록 형성될 수 있다. 제2봉지부재(50)는 제2반도체칩(30)의 제1면(30b)을 노출하도록 형성될 수 있다. 제2봉지부재(50)는 제2반도체칩들(30) 사이 영역을 채우도록 형성될 수 있다. 제2봉지부재(20)는 에폭시 몰딩 컴파운드로 이루어질 수 있다.
- [0061] 몰드비아들(60)은 제2반도체칩들(30) 사이의 제2봉지부재(50) 부분에 제2봉지부재(50)의 제2전면(50a) 및 제2후면(50b)을 관통하도록 형성될 수 있다. 몰드비아들(60)은 제2봉지부재(50)의 제2전면(50a)에서 제1반도체칩(10)의 중앙부 본딩패드들(12b)과 각각 연결될 수 있다.
- [0062] 범프패드(62)가 제2봉지부재(50)의 제2후면(50b)에 배치된 몰드비아(60) 부분에 형성될 수 있다. 더미패드(64)가 제1방향(X)으로 몰드비아(60)와 인접하지 않는 제2반도체칩(30)의 제2면(30b) 가장자리 부분에 형성될 수 있다. 범프패드(62) 및 더미패드(64)는 금속패턴으로 형성될 수 있다.
- [0063] 제2접속부재(70)는 범프패드(62) 상에 형성될 수 있다. 서포트부재(72)가 더미패드(64) 상에 형성될 수 있다. 제2접속부재(70) 및 서포트부재(72)는 범프로 이루어질 수 있다. 제2접속부재(70)에 의해 제1반도체칩(10), 제1봉지부재(20), 제2반도체칩들(30) 및 제2봉지부재(50)를 포함한 칩 적층물이 기관(80)의 상면(80a) 상에 플립 칩 본딩될 수 있다. 더미패드(64) 및 서포트부재(72)의 적층물은, 칩 적층물의 플립 칩 본딩시 구조적 안정을 확보하기 위해 형성될 수 있으며, 제1방향(X)으로 몰드비아(60)와 인접하지 않는 제2반도체칩(30)의 제2면(30b) 가장자리 부분에 배치될 수 있다.
- [0064] 기관(80)은 제2반도체칩들(30) 및 제2봉지부재(50)의 하부에 배치될 수 있다. 기관(80)은 인쇄회로기판일 수 있으며, 사각 플레이트 형상을 가질 수 있다. 기관(80)은 상면(80a) 및 상면(80a)에 대향하는 하면(80b)을 가질 수 있다. 기관(80)은 상면(80a)에 배열된 복수의 본드핑거(82) 및 하면(80b)에 배열된 복수의 전극단자(84)를 포함할 수 있다.
- [0065] 본드핑거들(82)은 기관(80)의 상면(80a) 중앙부에 배치될 수 있으며, 아울러, 대응하는 몰드비아들(60)과 중첩되도록 배치될 수 있다. 따라서, 본드핑거들(82)은 제2접속부재(70)에 의해 범프패드(62)를 포함한 몰드비아(60)와 전기적으로 연결될 수 있다. 그 결과, 본드핑거들(82)은 제2접속부재(70), 범프패드(62) 및 몰드비아(60)를 통해 제1반도체칩(10)의 중앙부 본딩패드들(12b)과 전기적으로 연결될 수 있다.
- [0066] 전극단자들(84)은 기관(80)의 하면(80b)에 배열될 수 있다. 전극단자(84)는 기관(80)의 내부에 형성되는 내부배선(도시안됨)을 통해 기관(80)의 상면(80b)에 배열된 본드핑거(82)와 전기적으로 연결될 수 있다.
- [0067] 언더필(95)은 칩 적층물과 기관(80) 사이 공간을 채우도록 형성될 수 있다. 보다 명확하게, 언더필(95)은 범프패드(62)와 제2접속부재(70)의 적층물 및 더미패드(64)와 서포트부재(72)의 적층물이 배치된 제2반도체칩들(30)의 제2면들(30b) 및 제2봉지부재(50)의 제2후면(50b)과 기관(80)의 상면(80a) 사이 공간을 채우도록 형성될 수 있다. 언더필(95)은 에폭시 성분을 포함할 수 있다.

- [0068] 외부접속부재들(92)은 기관(80)의 하면(80b)에 배열된 전극단자들(84) 상에 형성될 수 있다. 외부접속부재(92)는 솔더 볼을 포함할 수 있다. 이와 다르게, 외부접속부재(92)는 도전핀 또는 도전 페이스트를 포함할 수도 있다.
- [0069] 도 4를 참조하면, 실시 예에 따른 적층 반도체 패키지(400)는 제1반도체칩(10), 제1봉지부재(20), 제2반도체칩들(30), 제1접속부재(40), 제2봉지부재(50), 몰드비아(60) 및 재배선층(110)을 포함할 수 있다. 적층 반도체 패키지(100)는 외부접속부재(120)를 포함할 수 있다.
- [0070] 제1반도체칩(10)은 메모리 칩 또는 로직 칩 중 어느 하나일 수 있다. 예를 들어, 제1반도체칩(10)은 로직 칩일 수 있다. 제1반도체칩(10)은 제1활성면(10a) 및 제1활성면(10b)에 대향하는 제1면(10b)을 가질 수 있다. 제1반도체칩(10)은 제1액티브면(10a)에 배열된 복수의 제1본딩패드(12)를 포함할 수 있다. 제1본딩패드들(12)은 제1방향(X)으로 제1활성면(10a)의 양측 가장자리들 각각에 배치된 가장자리 본딩패드들(12a) 및 양측 가장자리 본딩패드들(12a) 사이에 배치된 중앙부 본딩패드들(12b)을 포함할 수 있다. 제1반도체칩(10)은 제1본딩패드들(12)이 배열된 제1활성면(10a)이 아래쪽을 향하는 페이스-다운 타입으로 배치될 수 있다.
- [0071] 제1봉지부재(20)는 제1반도체칩(10)의 제1측면(10c)을 덮도록 형성될 수 있다. 제1봉지부재(20)는 제1반도체칩(10)의 제1활성면(10a) 및 제1면(10b)을 노출하도록 형성될 수 있다. 제1봉지부재(20)는 에폭시 몰딩 컴파운드로 이루어질 수 있다.
- [0072] 제2반도체칩들(30)은 제2방향(Y)으로 제1반도체칩(10) 및 제1봉지부재(20)의 하부에 배치될 수 있다. 제2반도체칩(30)은 두 개가 배치될 수 있다. 제2반도체칩(30)은 제2활성면(30a) 및 제2활성면(30a)에 대향하는 제2면(30b)을 가질 수 있다. 제2반도체칩(30)은 제2활성면(30a)에 배열된 복수의 제2본딩패드들(32)을 포함할 수 있다. 제2반도체칩들(30)에서의 제2본딩패드들(32)은 각각 제1방향(X)으로 제1반도체칩(10)에 인접한 제2활성면(30a)의 일측 가장자리에 배치될 수 있다.
- [0073] 제2반도체칩들(30)은 제2활성면들(30a)이 제1반도체칩(10)의 제1활성면(10a)과 마주하도록 배치될 수 있다. 두 개의 제2반도체칩(30)은 각각 제2본딩패드들(32)이 배열된 가장자리가 제1반도체칩(10)의 가장자리 본딩패드들(12a)과는 중첩되고 제1반도체칩(10)의 중앙부 본딩패드들(12b)은 노출되도록 상호 이격하여 배치될 수 있다. 제1반도체칩(10)의 가장자리 본딩패드들(12a)과 제2반도체칩(30)의 제2본딩패드들(32)은 일대일로 중첩되게 배치될 수 있다.
- [0074] 제2반도체칩들(30)은 제1반도체칩(10)과 다른 종류의 칩일 수 있다. 예를 들어, 제1반도체칩(10)이 로직 칩이면, 제2반도체칩(30)은 메모리 칩일 수 있다.
- [0075] 제1접속부재(40)는 제1반도체칩(10)의 가장자리 본딩패드들(12a)과 제2반도체칩(30)의 제2본딩패드들(32)을 전기적으로 연결하도록 가장자리 본딩패드들(12a)과 제2본딩패드들(32) 사이 각각에 개재될 수 있다. 제1접속부재(40)는 범프로 이루어질 수 있다. 제1접속부재(40)는 제2반도체칩(30)의 제2본딩패드들(32) 상에 형성될 수 있으며, 제2반도체칩(30)은 제1접속부재(40)에 의해 제1반도체칩(10)의 제1활성면(10a)에 플립 칩 본딩될 수 있다.
- [0076] 제2봉지부재(50)는 제2반도체칩(30)의 제2활성면(30a) 및 제2측면(30c)을 덮도록 형성될 수 있다. 제2봉지부재(50)는 제2반도체칩(30)의 제1면(30b)을 노출하도록 형성될 수 있다. 제2봉지부재(50)는 제2반도체칩들(30) 사이 영역을 채우도록 형성될 수 있다. 제2봉지부재(20)는 에폭시 몰딩 컴파운드로 이루어질 수 있다.
- [0077] 몰드비아들(60)은 제2반도체칩들(30) 사이의 제2봉지부재(50) 부분에 제2봉지부재(50)의 제2전면(50a) 및 제2후면(50b)을 관통하도록 형성될 수 있다. 몰드비아들(60)은 제2봉지부재(50)의 제2전면(50a)에서 제1반도체칩(10)의 중앙부 본딩패드들(12b)과 각각 연결될 수 있다.
- [0078] 재배선층(110)은 제1 및 제2 반도체칩들(10, 30)을 포함하는 칩 적층물을 외부 회로에 실장하기 위한 수단으로 기능할 수 있다. 재배선층(110)은 제1절연막(112), 재배선들(114) 및 제3절연막(116)을 포함할 수 있다. 재배선층(110)은 재배선 패드들(118)을 더 포함할 수 있다.
- [0079] 제1절연막(112)은 제2반도체칩들(30)의 제2면들(30b)과 제2봉지부재(50)의 제2후면(50b) 상에 형성될 수 있다. 제1절연막(112)은 제2봉지부재(50)의 제2후면(50b)에 배치된 몰드비아들(60) 부분을 노출하도록 형성될 수 있다. 제1절연막(112)은 스트레스 버퍼로서 역할 할 수 있다. 재배선들(114)은 제1절연막(112) 상에 형성될 수 있다. 재배선들(114)은 각각의 일단들이 제1절연막(112)을 관통하여 노출된 몰드비아들(60)과 연결되도록 형성될 수 있다. 재배선(114)은, 예를 들어, 구리배선으로 이루어질 수 있다. 제2절연막(116)은 재배선들(114)을 덮

도록 제1절연막(112) 상에 형성될 수 있다. 제2절연막(116)은 재배선들(114)의 타단 부분들을 노출하도록 형성될 수 있다. 재배선 패드들(118)은 제2절연막(116) 상에 형성될 수 있다. 재배선 패드들(118)은 제2절연막(116)을 관통하여 노출된 재배선들(116)의 타단 부분들과 각각 연결되도록 형성될 수 있다.

- [0080] 외부접속부재들(120)은 재배선 패드들(118) 상에 각각 형성될 수 있다. 외부접속부재(120)는 솔더 볼을 포함할 수 있다. 이와 다르게, 외부접속부재(120)는 도전핀 또는 도전 페이스트를 포함할 수도 있다.
- [0081] 이 실시 예에 따른 적층 반도체 패키지는 도 1에 도시된 실시 예의 그것과 동일한 이점을 가질 수 있다. 부가해서, 이 실시 예에 따른 적층 반도체 패키지는 기관 대신에 재배선층을 구비하므로, 도 1에 도시된 실시 예의 그것에 비해 전체 두께를 감소시킬 수 있고, 또한, 기관 제거를 통해 제조원가를 줄일 수 있다.
- [0082] 전술한 다양한 실시 예들에 따른 적층 반도체 패키지는 전자 시스템 및 메모리 카드에 적용될 수 있다.
- [0083] 도 5를 참조하면, 전자 시스템(500)은 전술한 다양한 실시 예들에 따른 적층 반도체 패키지를 포함할 수 있다. 전자 시스템(500)은 컨트롤러(510), 입출력장치(520) 및 메모리장치(530)를 포함할 수 있다. 컨트롤러(510), 입출력장치(520) 및 메모리장치(530)는 데이터들이 이동하는 통로를 제공하는 버스(550)를 통하여 결합될 수 있다.
- [0084] 예를 들어, 컨트롤러(510)는 적어도 하나의 마이크로프로세서, 디지털신호프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리소자들 중에서 적어도 어느 하나를 포함할 수 있다. 컨트롤러(510) 및 메모리장치(530)는 전술한 다양한 실시 예들에 따른 반도체 패키지를 포함할 수 있다. 입출력장치 (520)는 키패드, 키보드 및 표시장치 등에서 선택된 어느 하나를 포함할 수 있다.
- [0085] 메모리장치(530)는 데이터 및/또는 컨트롤러(510)에 의해 실행되는 명령어 등을 저장할 수 있다. 메모리장치(530)는 디램과 같은 휘발성 메모리 소자 및/또는 플래시 메모리와 같은 비휘발성 메모리 소자를 포함할 수 있다. 예컨대, 모바일 기기나 데스크 톱 컴퓨터와 같은 정보 처리 시스템에 플래시 메모리가 장착될 수 있다. 이러한 플래시 메모리는 반도체 디스크 장치(SSD)로 구성될 수 있다. 이 경우 전자 시스템(500)은 대용량의 데이터를 플래시 메모리 시스템에 안정적으로 저장할 수 있다.
- [0086] 이와 같은 전자 시스템(500)은 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하기 위한 인터페이스(540)를 더 포함할 수 있다. 인터페이스(540)는 유무선 형태일 수 있다. 예를 들어, 인터페이스(540)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다.
- [0087] 도시하지 않았으나, 전자 시스템(500)은 응용 칩셋 및 카메라 이미지 프로세서 등을 더 포함할 수 있다.
- [0088] 전자 시스템(500)은 모바일 시스템, 개인용 컴퓨터, 산업용 컴퓨터 또는 다양한 기능을 수행하는 로직 시스템 등으로 구현될 수 있다. 예를 들어, 모바일 시스템은 개인 휴대용 정보 단말기(PDA; Personal Digital Assistant), 휴대용 컴퓨터, 웹 타블렛(web tablet), 모바일 폰(mobile phone), 스마트 폰(smart phone), 무선 폰(wireless phone), 랩탑(laptop) 컴퓨터, 메모리 카(memory card)드, 디지털 뮤직 시스템(digital music system) 및 정보 전송/수신 시스템 중 어느 하나일 수 있다.
- [0089] 전자 시스템(500)이 무선 통신을 수행할 수 있는 장비인 경우에 전자 시스템(600)은 CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), NADC(North American Digital Cellular), E-TDMA(Enhanced-Time Division Multiple Access), WCDMA(Wideband Code Division Multiple Access), CDMA2000, LTE(Long Term Evolution), Wibro(Wireless Broadband Internet)과 같은 통신 시스템에서 사용될 수 있다.
- [0090] 도 6을 참조하면, 메모리 카드는 전술한 다양한 실시 예들에 따른 적층 반도체 패키지를 포함할 수 있다. 예를 들어, 메모리 카드(600)는 비휘발성 메모리 소자와 같은 메모리(610) 및 메모리 컨트롤러(620)를 포함할 수 있다. 메모리(610) 및 메모리 컨트롤러(620)는 데이터를 저장하거나 저장된 데이터를 판독할 수 있다. 메모리(610)는 전술한 다양한 실시 예들에 따른 적층 반도체 패키지가 적용된 비휘발성 메모리 소자들 중에서 적어도 어느 하나를 포함할 수 있다. 메모리 컨트롤러(620)는 호스트(630)의 판독/쓰기 요청에 응답하여 저장된 데이터를 독출하거나, 데이터를 저장하도록 메모리(610)를 제어할 수 있다.
- [0091] 이상, 여기에서는 본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당 업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

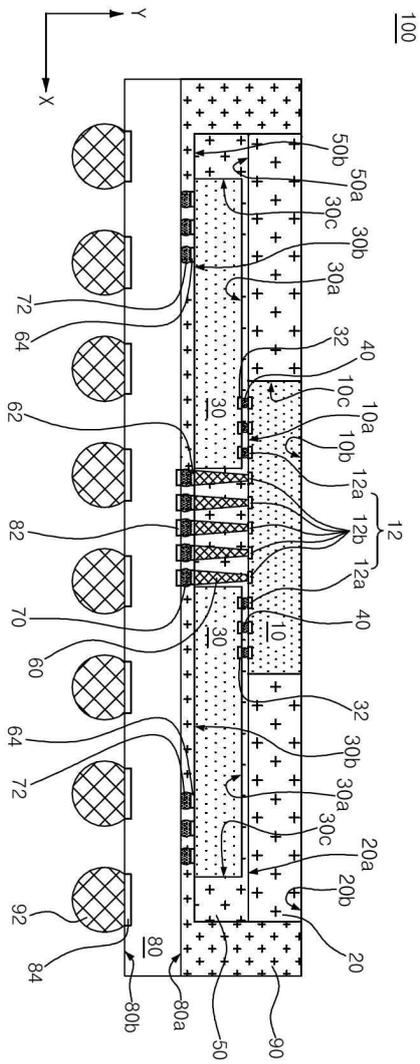
부호의 설명

[0092]

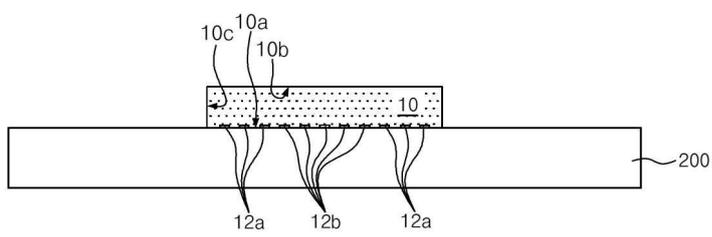
- | | |
|---------------------------|---------------|
| 10: 제1반도체칩 | 12: 제1본딩패드 |
| 12a: 가장자리 제1본드패드 | 12b: 중앙부 본딩패드 |
| 20: 제1봉지부재 | 30: 제2반도체칩 |
| 32: 제2본딩패드 | 40: 제1접속부재 |
| 50: 제2봉지부재 | 60: 몰드비아 |
| 62: 범프패드 | 64: 더미패드 |
| 70: 제2접속부재 | 72: 서포트부재 |
| 80: 기관 | 82: 본드핑거 |
| 84: 전극단자 | 90: 제3봉지부재 |
| 92, 120: 외부접속부재 | 95: 언더필 |
| 100, 300, 400: 적층 반도체 패키지 | 110: 재배선층 |
| 112: 제1절연막 | 114: 재배선 |
| 116: 제2절연막 | 118: 재배선패드 |
| 200: 캐리어 웨이퍼 | 250: 재형상 웨이퍼 |

도면

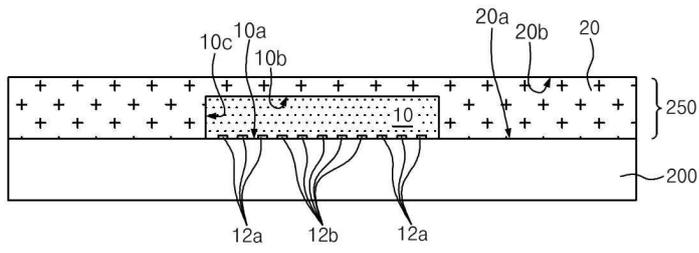
도면1



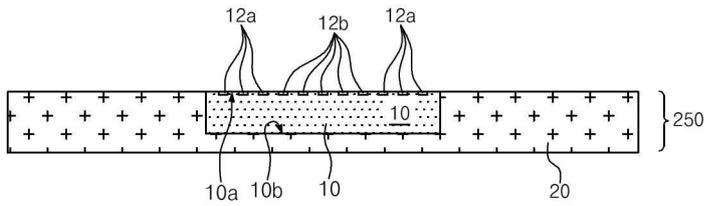
도면2a



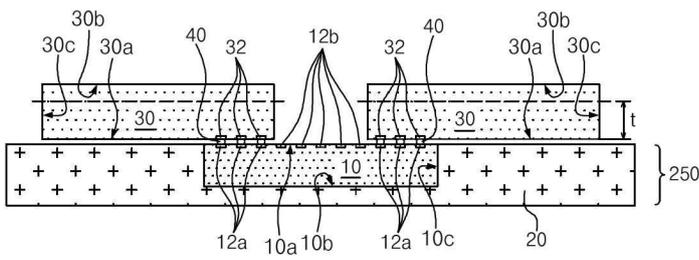
도면2b



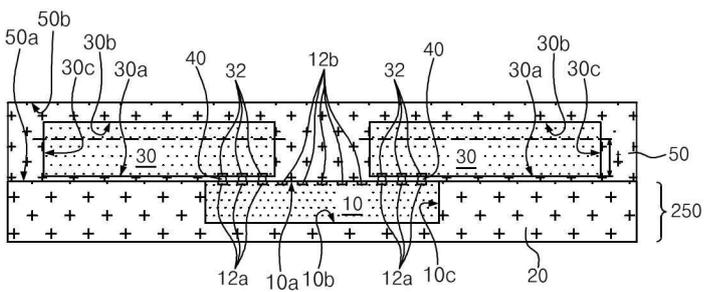
도면2c



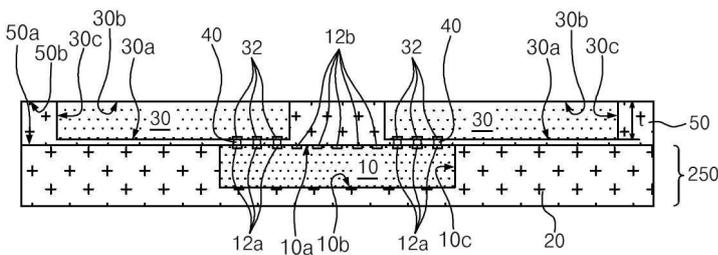
도면2d



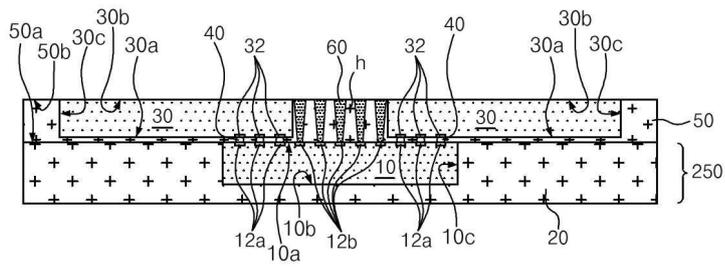
도면2e



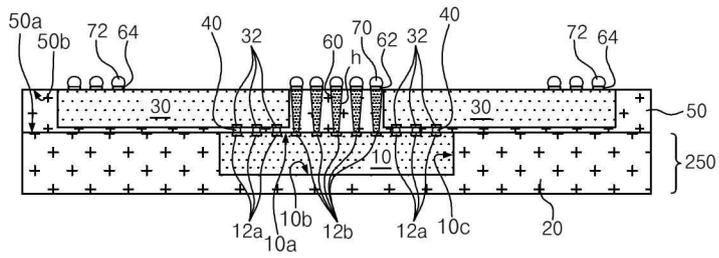
도면2f



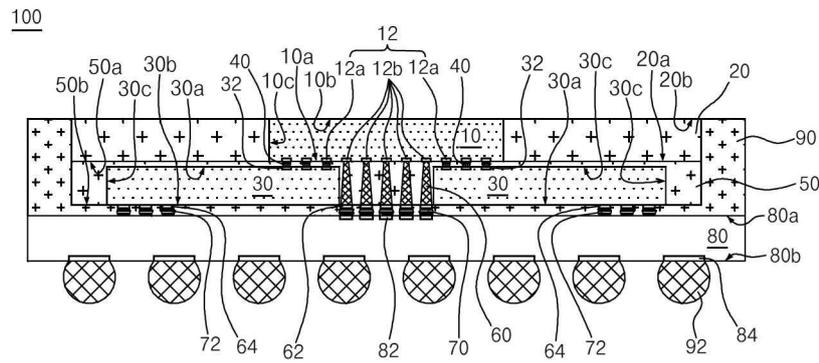
도면2g



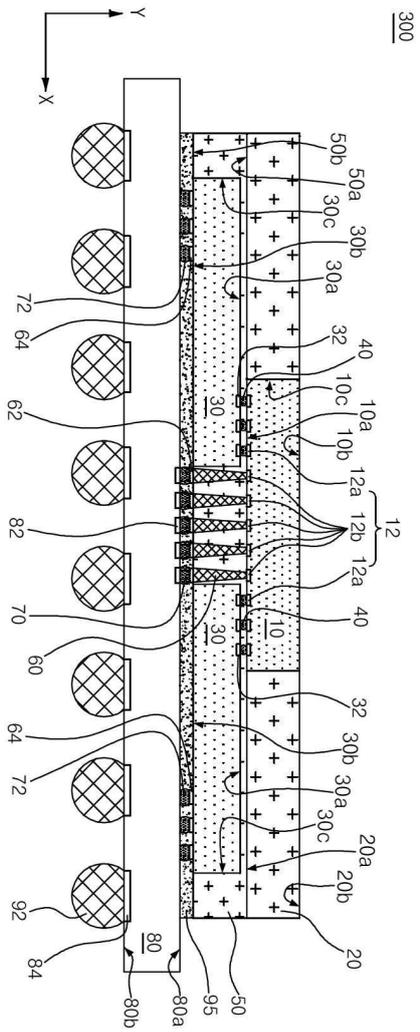
도면2h



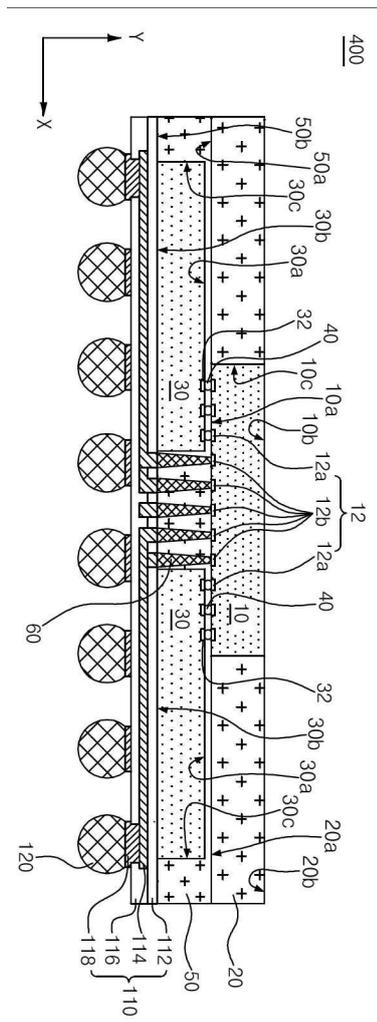
도면2i



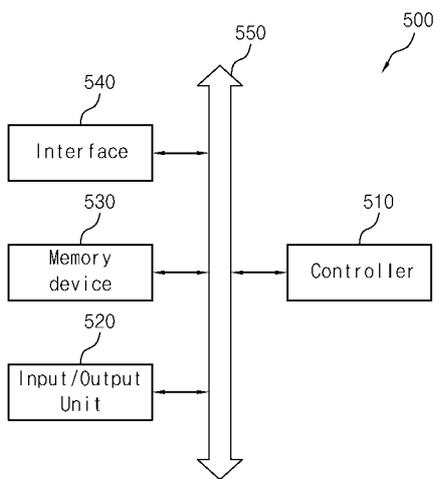
도면3



도면4



도면5



도면6

