

⑫

DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 27.07.01.

③③ Priorité : 17.08.00 KR 00047585; 01.11.00 KR 00064715.

④③ Date de mise à la disposition du public de la demande : 22.02.02 Bulletin 02/08.

⑤⑥ Liste des documents cités dans le rapport de recherche préliminaire : *Ce dernier n'a pas été établi à la date de publication de la demande.*

⑥⑥ Références à d'autres documents nationaux apparentés :

⑦① Demandeur(s) : SAMSUNG ELECTRONICS CO LTD — KR.

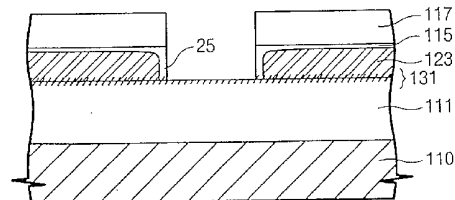
⑦② Inventeur(s) : AHN DONG HO, KANG HO KYU et BAE GEUM JONG.

⑦③ Titulaire(s) :

⑦④ Mandataire(s) : CABINET BONNET THIRION.

⑤④ PROCÉDE POUR EMPECHER LA COURBURE DE COUCHES DE SEMICONDUCTEUR ET DISPOSITIF A SEMICONDUCTEUR FORME PAR CE PROCÉDE.

⑤⑦ On décrit divers procédés pour empêcher qu'une couche SOI portant un motif (123) se courbe au cours d'une oxydation de paroi latérale de tranchée. Dans ces procédés, on forme une couche SOI portant un motif (123) dans laquelle il existe au moins une tranchée, cette couche étant disposée au-dessus d'une couche d'oxyde de silicium enterrée (111); et on bloque la diffusion d'oxygène entre la couche SOI (123) et la couche d'oxyde de silicium enterrée (111), en formant à leur interface une couche (131) contenant de l'azote.



La présente invention concerne de façon générale un procédé de formation d'un dispositif à semiconducteur sur un substrat du type silicium sur isolant (SOI), et un dispositif à semiconducteur formé par ce procédé. Elle concerne plus particulièrement un procédé destiné à éviter qu'une couche SOI soit courbée autour d'une région active lorsqu'une isolation de dispositif par tranchée est effectuée sur le substrat de type SOI, et un dispositif à semiconducteur formé par ce procédé.

Lorsqu'on forme des couches de semiconducteur adjacentes ayant des types d'impuretés différents, l'interface entre les couches agit comme une barrière d'isolation. Des techniques d'isolation du type à jonction couramment employées ne conviennent habituellement pas pour des jonctions à tension élevée dans des couches de semiconducteur, du fait que les caractéristiques de résistance à la tension sont faibles sur des surfaces de jonctions à tension élevée. En outre, un courant indésirable peut circuler dans une couche de déplétion de jonction sous l'effet d'un rayonnement tel qu'un rayonnement gamma, ce qui rend la technique d'isolation inefficace dans un environnement à rayonnement élevé. Par conséquent, un dispositif à semiconducteur du type SOI dans lequel une région de dispositif est complètement isolée par une couche diélectrique est généralement utilisé dans des dispositifs à semiconducteur à hautes performances, comme une unité centrale (UC).

Les techniques d'isolation par mesa, par oxydation locale de silicium (ou LOCOS pour "local oxidation of silicon"), et par tranchée de faible profondeur (ou STI pour "shallow trench isolation") ont été largement utilisées pour isoler des dispositifs sur un substrat de type SOI. La technique STI évite un phénomène de bec d'oiseau qui se produit dans la technique LOCOS. Le phénomène de bec d'oiseau diminue en pratique une aire de

formation de dispositif. Par conséquent, la technique STI est généralement appliquée à un dispositif à semiconducteur à haut degré d'intégration.

Lorsque la technique STI est appliquée pour l'isolation de dispositif sur un substrat de type SOI, il se produit un phénomène de courbure indésirable dans une couche de silicium composant une région active, à cause d'une caractéristique structurale du substrat. Ce problème est illustré sur les figures 1 à 3.

En se référant à la figure 1, on note qu'un substrat de type SOI caractéristique peut comprendre une couche de silicium inférieure 10, une couche d'oxyde de silicium enterrée 11, et une couche SOI 13 qui sont superposées successivement. La couche SOI 13 constitue une région active. Pour effectuer l'isolation STI, on superpose successivement sur une couche SOI d'un substrat de type SOI une couche d'oxyde tampon 15 et une couche de nitrure de silicium 17 remplissant la fonction d'une couche d'arrêt d'attaque. En utilisant une couche de résine photosensible 19, on définit ensuite un motif dans la couche de nitrure de silicium 17 pour former un motif consistant en nitrure de silicium.

En se référant à la figure 2, on note qu'en utilisant à titre de masque d'attaque le motif de la couche de nitrure de silicium 17, on attaque la couche d'oxyde tampon 15 à nu et la couche SOI sous-jacente, pour former une tranchée et une couche SOI portant un motif, 23. Le fond de la tranchée est donc formé par la couche d'oxyde de silicium 11.

En se référant à la figure 3, on note qu'une couche d'oxyde de paroi latérale 25 est formée sur les parois latérales de la tranchée. La couche d'oxyde de paroi latérale 25 résulte d'un traitement thermique pour réparer des défauts cristallins. Une interface entre la couche SOI portant un motif, 23', et la couche d'oxyde de silicium enterrée 11 remplit la fonction d'un chemin de diffusion

d'oxygène. Du fait que l'oxygène est fourni régulièrement à la paroi latérale à nu, conformément à une forme de tranchée, une couche d'oxyde se prolonge à partir de la tranchée jusque dans une région active, sur un fond de la couche SOI portant un motif, 23'. Par conséquent, une couche d'oxyde 24 en forme de coin pénètre entre la couche SOI 23' et la couche d'oxyde de silicium enterrée. Le matériau des coins d'oxyde thermique 24 a un plus grand volume que le silicium d'origine, et il occasionne donc une dilatation, en soulevant ainsi à partir de la tranchée la partie immédiatement adjacente, 26, de la couche SOI portant un motif, 23'. La couche SOI est donc courbée.

Lorsqu'une courbure se produit, une contrainte est appliquée à la couche SOI par une force de soulèvement à partir de la paroi latérale de la tranchée. Si le processus d'implantation ionique suivant est ensuite accompli, un défaut cristallin est créé dans la couche SOI. Le défaut cristallin créé se développe aisément sous l'effet de la force de soulèvement, et il augmente des courants de fuite de jonction. Même si le défaut cristallin n'apparaît pas pendant l'implantation ionique, une profondeur de la couche SOI est partiellement changée et celle de l'implantation ionique pratique est également changée par la courbure. Ceci conduit à une instabilité de tensions de seuil (On peut trouver une comparaison des contraintes et des défauts induits par l'oxydation dans des tranches SIMOX et SOI assemblées, dans Proceedings of the 1997 IEEE International SOI Conference, oct. 1997, Stress Induced Defect and Transistor Leakage for Shallow Trench Isolated SOI : IEEE Electron Device Letters, Vol. 20, n° 5, mai 1999).

Dans des conditions qui forment des couches d'oxyde de paroi latérale avec une épaisseur d'environ 24 nm, une partie d'une couche SOI s'étendant jusqu'à 400 nm à partir de la paroi latérale de la tranchée peut être soulevée. Bien que le phénomène de courbure change en fonction du degré et de la condition d'oxydation de paroi latérale, il

ne peut pas être complètement évité. Il est donc souhaitable de procurer un procédé ou des procédés de fabrication de dispositifs à semiconducteur d'une manière qui élimine ou tout au moins atténue une telle courbure.

5 On décrit ici des procédés pour éviter la courbure d'une couche SOI portant un motif pendant l'oxydation de paroi latérale de tranchée, un procédé préféré comprenant les opérations qui consistent à établir une couche SOI portant un motif ayant au moins une tranchée, cette couche
10 SOI portant un motif étant disposée au-dessus d'une couche d'oxyde de silicium enterrée sous-jacente; et à bloquer la diffusion d'oxygène entre la couche SOI portant un motif et la couche d'oxyde de silicium enterrée.

Un aspect de l'invention procure un procédé dans
15 lequel une couche contenant de l'azote est formée sur une interface globale entre une couche SOI et une couche d'oxyde de silicium enterrée qui sont incluses dans un substrat de type SOI. Un processus d'isolation par tranchée de faible profondeur est ensuite accompli. A titre de
20 procédé de formation de la couche contenant de l'azote dans la structure de type SOI globale, on effectue un dépôt ou une nitruration dans une ambiance gazeuse contenant de l'azote, au stade de la formation du substrat SOI. Selon une variante, après avoir formé le substrat STI, on
25 effectue une implantation d'ions contenant de l'azote.

Conformément à un procédé préféré, on attaque une couche SOI pour former une tranchée sur un substrat de type SOI. On incline sous un certain angle le substrat de type SOI ayant la tranchée, et on le fait tourner. L'angle
30 d'inclinaison sera généralement maintenu constant. On effectue ensuite une implantation d'ions contenant de l'azote pour former une couche contenant de l'azote sur une interface entre la couche SOI et une couche d'oxyde de silicium enterrée, dans une zone adjacente à la tranchée.

35 Selon un autre aspect de l'invention, on attaque une couche SOI pour former une tranchée. On forme une

couche de silicium monocristallin sur une paroi latérale de la tranchée. On superpose de préférence une couche d'arrêt d'attaque sur un substrat de type SOI. On forme un motif pour mettre à nu une zone de tranchée. En utilisant le motif à titre de masque d'attaque, on attaque une couche SOI du substrat de type SOI pour former une tranchée. On superpose une couche de silicium amorphe, de façon conforme, sur une surface globale du substrat de type SOI. On accomplit un processus de recuit pour obtenir une croissance épitaxiale en phase solide (ou SPE pour "solid phase epitaxy") de la couche de silicium amorphe en contact avec la paroi latérale de la tranchée constituée par la couche SOI. On superpose une couche d'oxyde enterrée pour remplir la tranchée. On effectue un processus d'attaque d'aplanissement pour enlever la couche d'oxyde enterrée sur la région active. En d'autres termes, on forme la tranchée dans le substrat de type SOI et on superpose de façon conforme une couche temporaire de barrière contre l'oxygène sur la couche de silicium amorphe. On obtient une croissance épitaxiale en phase solide de la couche de silicium amorphe empilée. Dans ce cas, la couche d'oxyde enterrée est généralement constituée par de l'oxyde produit par dépôt chimique en phase vapeur (ou CVD pour "chemical vapor deposition").

Selon encore un autre aspect de l'invention, on attaque une couche SOI pour l'isolation de dispositif. On forme une tranchée et on superpose de façon conforme une couche d'oxyde formée par CVD, sur une surface globale du substrat à l'endroit auquel la tranchée est formée. Dans ce cas, un revêtement constituant une barrière contre l'oxygène peut être superposé sur une paroi interne de la tranchée. De façon générale, le revêtement est superposé en utilisant une couche de nitrure de silicium superposée par CVD.

Selon un autre aspect supplémentaire de l'invention, on forme une tranchée pour l'isolation de

dispositif sur un substrat de type SOI et on effectue un traitement thermique rapide (ou RTP pour "rapid thermal processing") pour former une couche d'oxyde. On peut former sur la couche d'oxyde un revêtement pour constituer une
5 barrière contre l'oxygène. De façon générale, le revêtement est superposé en utilisant une couche de nitrure de silicium superposée par CVD.

Pour mettre en oeuvre l'aspect ci-dessus de l'invention, on fournit un dispositif à semiconducteur pour
10 l'isolation de dispositif par tranchée. Conformément à une structure, le dispositif à semiconducteur comprend une couche de silicium inférieure, une couche d'oxyde de silicium enterrée, et une couche SOI qui sont superposées successivement sur une région active. Au moins autour de la
15 région active, une couche contenant de l'azote est formée entre la couche d'oxyde de silicium enterrée et la couche SOI.

Dans un dispositif à semiconducteur préféré, une couche d'oxyde est formée sur une partie latérale à
20 l'endroit auquel une couche d'isolation de dispositif par tranchée vient en contact avec la région active. La couche d'oxyde est généralement constituée par de l'oxyde thermique formé dans un four, mais peut être formée par de l'oxyde produit par CVD ou de l'oxyde produit par oxydation
25 thermique rapide (ou RTO pour "rapid thermal oxidation"). A l'exception de la partie latérale, la majeure partie de la couche d'isolation de dispositif par tranchée est constituée par de l'oxyde pour remplir la tranchée.

Selon un autre aspect du dispositif à
30 semiconducteur pour l'isolation de dispositif par tranchée, le dispositif à semiconducteur comprend une couche de silicium inférieure, une couche d'oxyde de silicium enterrée, et une couche SOI qui sont superposées successivement sur une région active. Une paroi latérale de
35 la région active, venant en contact avec une couche d'isolation de dispositif par tranchée, est constituée par

du silicium monocristallin formé par épitaxie en phase solide. Dans ce cas, une couche d'oxyde thermique et un revêtement de nitrure de silicium peuvent être formés sur la couche de silicium monocristallin.

5 Conformément à un mode de réalisation préféré, on décrit un procédé pour éviter un phénomène de courbure d'une couche de silicium sur isolant (SOI), le procédé comprenant la formation d'un substrat de type SOI incluant une couche de silicium inférieure, une couche d'oxyde de
10 silicium enterrée, une couche SOI et une couche contenant de l'azote entre la couche d'oxyde de silicium enterrée et la couche SOI; et l'attaque de la couche SOI du substrat de type SOI pour former une tranchée pour l'isolation de dispositif.

15 Selon un aspect supplémentaire du procédé, la couche contenant de l'azote est formée en implantant des ions d'azote dans l'étape de formation du substrat de type SOI.

20 Selon encore un autre aspect supplémentaire du procédé, les ions d'azote sont implantés dans un stade de formation d'une couche d'oxyde tampon sur une surface de la couche SOI.

25 Conformément à un procédé préféré pour éviter un phénomène de courbure d'une couche silicium sur isolant (SOI), on décrit un procédé comprenant l'attaque d'une couche SOI d'un substrat de type SOI incluant une couche de silicium inférieure, une couche d'oxyde de silicium enterrée et une couche SOI, pour former une tranchée; et l'inclinaison du substrat de type SOI dans lequel la
30 tranchée est formée, et l'implantation d'ions d'azote dans ce substrat, pour former une couche contenant de l'azote entre la couche SOI et la couche d'oxyde de silicium enterrée, dans une zone adjacente à la tranchée.

35 D'autres caractéristiques et avantages de l'invention seront mieux compris à la lecture de la description qui va suivre de modes de réalisation, donnés à

titre d'exemples non limitatifs. La suite de la description se réfère aux dessins annexés, dans lesquels :

Les figures 1 à 3 sont des représentations séquentielles en coupe montrant un phénomène de courbure qui se produit lorsqu'une isolation de dispositif par tranchée est réalisée sur un substrat SOI classique.

Les figures 4 à 6 sont des représentations séquentielles en coupe montrant une caractéristique conforme à un premier mode de réalisation de la présente invention.

La figure 7 est une représentation en coupe montrant une caractéristique conforme à un second mode de réalisation de la présente invention.

Les figures 8 et 9 sont des représentations en coupe montrant une caractéristique conforme à un troisième mode de réalisation de la présente invention.

La figure 10 est une représentation en coupe montrant une caractéristique conforme à un quatrième mode de réalisation de la présente invention.

Les figures 11 à 14 sont des représentations en coupe montrant une séquence conforme à un cinquième mode de réalisation de la présente invention.

Les figures 15 à 18 sont des représentations en coupe montrant une séquence conforme à un sixième mode de réalisation de la présente invention.

On va décrire six procédés préférés conformes à des modes de réalisation de la présente invention, pour éviter la courbure d'une couche SOI, et un dispositif à semiconducteur formé par les procédés.

Premier Procédé

Les figures 4 à 6 sont des représentations séquentielles montrant la formation de la couche contenant de l'azote sur une interface entre une couche SOI et une couche d'oxyde de silicium, conformément à un aspect de l'invention.

En se référant à la figure 4, on note qu'un

substrat de type SOI comprend une couche de silicium inférieure 110, une couche d'oxyde de silicium enterrée 111 et une couche SOI 113, pour former un dispositif, qui sont superposées successivement. Une couche d'oxyde tampon 115 est formée sur une surface du substrat de type SOI. Des ions contenant de l'azote sont implantés dans une surface globale du substrat de type SOI, pour former une couche contenant de l'azote, 131.

L'énergie d'implantation ionique permet aux ions implantés d'avoir une valeur de crête de concentration à une interface entre la couche SOI 113 et la couche d'oxyde de silicium enterrée 111. L'énergie d'implantation ionique est changée conformément à une épaisseur de la couche d'oxyde tampon 115 et de la couche SOI 113, mais elle est généralement comprise dans une plage de 30-100 keV.

En se référant à la figure 5, on note qu'une couche de nitrure de silicium 117 remplissant la fonction d'une couche d'arrêt d'attaque pour former une tranchée est superposée sur une couche SOI à l'endroit auquel une couche d'oxyde tampon 115 est formée. En utilisant un processus photolithographique classique (ou un autre processus approprié), on forme sur la couche de nitrure de silicium 117 un motif de résine photosensible 119 pour mettre à nu une zone de tranchée d'isolation de dispositif. En utilisant le motif de résine photosensible 119 à titre de masque d'attaque, on attaque la couche de nitrure de silicium 117 et la couche d'oxyde tampon. On attaque ensuite la couche SOI pour mettre à nu la couche d'oxyde de silicium enterrée. Avec la formation d'une couche SOI, portant un motif, 123, une tranchée est formée. Avant d'attaque la couche SOI, on peut enlever le motif de résine photosensible 119.

En se référant à la figure 6, on note que dans le but de réparer un défaut cristallin d'une paroi latérale de tranchée qui est attaquée dans une étape d'attaque de tranchée, on accomplit une oxydation thermique sur un

substrat de type SOI à l'endroit auquel la tranchée est formée. L'oxydation thermique peut alors être accomplie par exemple dans un four à une température de 900°C pendant 15 minutes. Une couche d'oxyde thermique 25 ayant de façon caractéristique une épaisseur de 20-30 nm est formée sur les parois latérales de la tranchée qui sont définies par la couche SOI portant un motif, 123. Une couche contenant de l'azote, 131, telle qu'une couche de nitrure de silicium ou une couche d'oxyde-nitrure de silicium, est formée à une interface entre la couche SOI portant un motif, 123, et la couche d'oxyde de silicium enterrée 111. Par conséquent, l'interface remplissant la fonction d'un chemin de diffusion d'oxygène est éliminée, du fait que l'oxygène ne diffuse pas aisément entre une couche de silicium et une couche de nitrure de silicium ou une couche d'oxynitrure de silicium. Bien que ceci ne soit pas représenté en détail, on peut mentionner en passant que lorsque la couche d'oxyde tampon 115 est formée de manière épaisse sur la paroi latérale de la tranchée, elle se dilatera et courbera légèrement la couche de nitrure de silicium au-dessus d'elle.

Dans ce mode de réalisation, une couche d'oxyde tampon 115 sur une couche SOI est représentée, mais il faut noter que la formation de la couche d'oxyde tampon n'est pas essentielle. Après l'oxydation thermique, un revêtement de nitrure de silicium peut être formé sur la tranchée, et ensuite la tranchée peut être remplie avec une couche d'oxyde enterrée, comme une couche d'oxyde formée par CVD, pour réaliser l'isolation de dispositif.

30 Second Procédé

La figure 7 montre un stade d'implantation d'ions d'azote dans une tranchée qui est formée sur un substrat SOI comprenant une couche de silicium inférieure 110, une couche d'oxyde de silicium enterrée 111 et une couche SOI portant un motif, 123. En utilisant un motif d'une couche d'arrêt d'attaque à titre de masque d'attaque, on attaque

la couche SOI portant un motif, 123, pour former la tranchée. Lorsqu'on implante les ions d'azote dans la tranchée, on applique une énergie inférieure d'environ 10 keV. Du fait qu'un substrat dans lequel la tranchée est formée est incliné sous un angle (habituellement environ 15°), des flèches indiquant des directions d'implantation ionique sont également inclinées. Dans le processus d'implantation ionique, on fait tourner le substrat pour permettre l'implantation des ions d'azote dans des parois latérales à nu de toutes les couches de la tranchée. Dans ce cas, une zone partielle entre la couche SOI et la couche d'oxyde de silicium enterrée est importante. Autour d'une région active en contact avec la tranchée, les ions d'azote sont implantés pour former entre elles une couche contenant de l'azote. Dans le processus de recuit dans une ambiance d'oxygène qui est effectué à la suite, la couche contenant de l'azote se dilatera à travers une interface entre elles. En dépit d'une largeur constante, la couche contenant de l'azote a pour fonction d'empêcher une oxydation partielle d'une partie inférieure de la couche SOI.

Après la formation d'une couche d'oxyde ou d'une couche de nitrure sur les parois latérales, on effectue le remplissage d'une partie restante de la tranchée avec une couche diélectrique.

25 Troisième Procédé

La figure 8 montre un stade de superposition d'une couche d'oxyde de silicium sur une surface globale d'un substrat de type SOI dans lequel une couche SOI portant un motif, 123, et une tranchée sont formées, en utilisant une technique de CVD. La technique de CVD est un dépôt chimique en phase vapeur à basse pression (ou LPCVD pour "low pressure chemical vapor deposition") qui est accompli à une température d'environ 700-750°C. La technique de LPCVD à une température d'environ 700°C ou plus est utile pour réparer des défauts cristallins occasionnés par l'attaque. La couche d'oxyde formée par CVD, 132, remplit la fonction

d'une couche de protection des parois latérales de la tranchée. Néanmoins, un phénomène de courbure ne se produit pas, du fait qu'une couche d'oxyde thermique en forme de coin n'est pas formée, à cause des faibles pressions et de
5 la température du processus de LPCVD.

En se référant à la figure 9, on voit une procédure supplémentaire facultative consistant à superposer en outre une couche de barrière contre l'oxygène, 133. Pour éviter qu'une couche SOI se courbe au moment d'une
10 oxydation ultérieure dans un état représenté sur la figure 8, on dépose une couche de barrière contre l'oxydation, 133, sur une couche d'oxyde produite par CVD, 132, avec une épaisseur de 3-30 nm. La couche de barrière contre l'oxydation 133 peut consister en Si_2N_4 , SiON ou AlO_3 .
15 L'oxydation suivante est destinée à former une couche d'oxyde d'écran et une couche d'oxyde de grille sur une région active, comprenant une couche SOI portant un motif, 123, avant l'implantation d'ions dans la couche SOI. En plus, ou à la place, l'oxydation suivante peut être
20 effectuée de façon à oxyder une paroi latérale d'une électrode de grille en silicium polycristallin.

Quatrième Procédé

En se référant maintenant à la figure 10, on note qu'une oxydation thermique rapide (RTO) pour l'isolation de
25 dispositif est accomplie sur un substrat de type SOI dans lequel une tranchée est formée par attaque. Contrairement à une oxydation thermique dans un four classique, l'oxydation thermique est accomplie sur les parois latérales d'une couche de silicium, c'est-à-dire la couche de silicium
30 portant un motif, 123, à une température d'environ 950-1180°C pendant environ 30-200 secondes. Ceci conduit à la formation d'une couche d'oxyde de paroi latérale 125. La diffusion d'oxygène à travers une interface entre la couche d'oxyde et la couche de silicium, de façon à oxyder la
35 couche de silicium, est en proportion de la température et du temps de traitement. Par conséquent, du fait que le

temps de traitement est raccourci, l'oxydation et sa courbure résultante sont réduites.

Cinquième Procédé

En se référant à la figure 11, on note qu'il existe un motif de couche de nitrure de silicium 117' pour former une tranchée sur un substrat de type SOI à l'endroit auquel une couche SOI portant un motif, 123, et la tranchée sont formées en attaquant une couche SOI. Une couche de silicium amorphe 151 est ensuite superposée de façon conforme avec une épaisseur d'environ 5-30 nm sur la surface de la structure résultante.

En se référant à la figure 12, on note qu'une oxydation de paroi latérale de tranchée classique est accomplie sur un substrat de type SOI sur lequel une couche de silicium amorphe est superposée. Dans ce cas, l'épaisseur de l'oxydation est inférieure à l'épaisseur totale de la couche de silicium amorphe 153. Par conséquent, une surface en contact avec l'oxygène sur la couche de silicium amorphe superposée est oxydée pour former une couche d'oxyde de surface 161 ayant une épaisseur d'environ 3-25 nm, et une couche de silicium amorphe 153 restante. Dans la couche de silicium amorphe 153 en contact avec la couche SOI portant un motif, 123, (c'est-à-dire la paroi latérale de la tranchée), un défaut cristallin de la couche SOI peut être réparé par une température élevée qui est appliquée dans l'oxydation thermique, et une croissance épitaxiale en phase solide (SPE) peut être partiellement réalisée.

En se référant à la figure 13, on note qu'en utilisant une technique de CVD, une couche d'oxyde de tranchée 171 pour remplir une tranchée est superposée sur la couche d'oxyde de surface 161. Avant de former la couche d'oxyde de tranchée 171, on peut facultativement superposer un revêtement mince de nitrure de silicium (non représenté). Le recuit est effectué à une température d'environ 750-1150°C pendant une heure, et peut être suivi

par un autre recuit pour densifier la couche d'oxyde de tranchée 171 et abaisser une vitesse d'attaque par voie humide. Le recuit est effectué de préférence dans une ambiance d'azote. Une croissance épitaxiale en phase solide a lieu dans la couche de silicium 153 restante, d'une partie en contact avec la couche SOI pendant le recuit mentionné en premier, ce qui forme un motif SOI dilaté, 123'. D'autre part, une partie dans laquelle il n'y a pas de croissance épitaxiale en phase solide sera une couche d'oxyde dans le processus suivant. Par conséquent, des problèmes d'isolation occasionnés par une couche de silicium amorphe restante quelconque dans cette région sont évités.

En se référant à la figure 14, on note qu'une couche d'oxyde de tranchée en excès est enlevée par polissage chimio-mécanique (ou CMP pour "chemical mechanical polishing"), de façon à laisser une couche d'isolation de dispositif 173 remplissant une tranchée. Ensuite, la couche de nitrure de silicium remplissant la fonction d'une couche d'arrêt d'attaque et la couche d'oxyde tampon peuvent être enlevées, comme on le désire.

Sixième Procédé

En se référant à la figure 15, on note qu'il y a un motif de couche de nitrure de silicium 117' pour former une tranchée sur un substrat de type SOI dans lequel la tranchée pour l'isolation de dispositif est formée en attaquant une couche SOI. Une couche de silicium amorphe 151 est ensuite superposée de façon conforme, avec une épaisseur d'environ 5-30 nm, sur la surface de la structure résultante.

En se référant à la figure 16, on note qu'un recuit est effectué sur un substrat sur lequel une couche de silicium amorphe 151 est superposée, à une température d'environ 550-700°C pendant une heure, comme dans un four classique ou dans un système à ultra-vide en l'absence d'oxygène (comme dans une atmosphère d'azote). La couche

d'oxyde de silicium amorphe 151 est recristallisée, et une croissance épitaxiale en phase solide est réalisée dans une partie adjacente à une couche SOI portant un motif, 123, grâce à l'influence de la structure monocristalline de la
5 couche SOI portant un motif, 123. Il en résulte qu'une couche SOI portant un motif et dilatée, 123', est formée.

En se référant à la figure 17, on note qu'une oxydation de paroi latérale est ensuite effectuée pour former une couche d'oxyde de surface 161. Une couche
10 d'oxyde de tranchée 171 est superposée pour remplir une tranchée. De façon similaire à un processus d'isolation de dispositif par tranchée classique, un recuit de la couche d'oxyde de tranchée 171 suit habituellement. Une partie de la couche de silicium amorphe d'origine de la figure 6
15 reste non oxydée et est identifiée comme une couche de silicium 153 restante.

En se référant à la figure 18, on note que la couche d'oxyde de tranchée 171 est enlevée sur une couche SOI portant un motif, 123', qui est une région active, par
20 un processus d'attaque d'aplanissement utilisant une technique de polissage chimio-mécanique. Il ne reste de celle-ci qu'une couche d'isolation de dispositif 173. Ensuite, on enlève la couche de nitrure de silicium remplissant la fonction d'un masque d'attaque dans la
25 définition de motif de tranchée, et la couche d'oxyde tampon. Avant de superposer une couche d'oxyde de tranchée, on peut superposer de façon conforme un revêtement de nitrure de silicium (non représenté).

Dans un processus de recuit pour la croissance
30 épitaxiale en phase solide, on répare un défaut cristallin d'une couche SOI. Par conséquent, il est souvent souhaitable de renoncer à une oxydation thermique de paroi latérale séparée. Une couche de silicium, en particulier une couche de silicium 153 restante, sur un fond de
35 tranchée, peut rester du fait que l'oxydation thermique n'est pas effectuée. Cependant, la couche de silicium 153

restante est oxydée au cours de l'oxydation suivante, de façon à éviter des problèmes d'isolation occasionnés par cette couche.

Il faut noter que, sauf mention explicite du contraire, toutes les quantités physiques mentionnées ici ne doivent pas être considérées comme exactement égales à la quantité indiquée, mais plutôt comme approximativement égales à la quantité indiquée. En outre, la simple absence d'un qualificatif tel que "environ", ou autres, ne doit pas être considérée comme une indication explicite du fait qu'une telle quantité physique mentionnée est une quantité exacte, en dépit du fait que de tels qualificatifs soient utilisés ou non en relation avec n'importe quelles autres quantités physiques mentionnées ici.

Il va de soi que de nombreuses modifications peuvent être apportées au dispositif et au procédé décrits et représentés, sans sortir du cadre de l'invention.

REVENDICATIONS

1. Procédé pour éviter une courbure d'une couche SOI portant un motif pendant une oxydation de paroi latérale de tranchée, caractérisé en ce qu'il comprend : la formation d'une couche SOI portant un motif (123) ayant au moins une tranchée, cette couche SOI portant un motif étant disposée sur une couche d'oxyde de silicium enterrée (111) sous-jacente; et le blocage de la diffusion d'oxygène entre la couche SOI portant un motif (123) et la couche d'oxyde de silicium enterrée (111).

2. Procédé selon la revendication 1, caractérisé en ce que l'étape de blocage de la diffusion d'oxygène comprend la formation d'une couche contenant de l'azote (131) entre la couche SOI portant un motif (123) et la couche d'oxyde de silicium enterrée (111).

3. Procédé selon la revendication 1, caractérisé en ce que la couche contenant de l'azote (131) est formée par l'implantation d'ions d'azote.

4. Procédé selon la revendication 3, caractérisé en ce que les ions d'azote sont implantés après la formation d'une couche d'oxyde tampon (115) sur une surface de la couche SOI (123).

5. Procédé pour empêcher un phénomène de courbure d'une couche silicium sur isolant (SOI), caractérisé en ce qu'il comprend : l'attaque d'une couche SOI (123) d'un substrat de type SOI comprenant une couche d'oxyde de silicium enterrée (111), et une couche SOI (123), pour former une tranchée; et l'inclinaison du substrat de type SOI dans lequel la tranchée est formée et l'implantation d'ions d'azote dans celle-ci, pour former une couche contenant de l'azote (131) entre la couche SOI (123) et la couche d'oxyde de silicium enterrée (111) dans une zone adjacente à la tranchée.

6. Procédé pour empêcher un phénomène de courbure d'une couche silicium sur isolant (SOI), caractérisé en ce qu'il comprend : la formation d'une tranchée dans une

couche SOI (123) d'un substrat de type SOI; et la formation d'une couche de silicium monocristallin sur une paroi latérale de la tranchée.

7. Procédé selon la revendication 6, caractérisé en ce que la formation d'une tranchée comprend : la superposition d'une couche d'arrêt d'attaque (117) sur le substrat de type SOI, et la formation d'un motif mettant à nu une zone de tranchée; et l'attaque de la couche SOI (123) du substrat de type SOI, en utilisant le motif à titre de masque d'attaque, pour former une tranchée; et en ce que l'étape de formation de la couche de silicium monocristallin comprend : la superposition d'une couche de silicium amorphe (151), de manière conforme, sur une surface globale du substrat de type SOI incluant la tranchée; le recuit du substrat de type SOI pour réaliser une croissance épitaxiale en phase solide (SPE) dans la couche de silicium amorphe (151) en contact avec une paroi latérale de la tranchée; la superposition d'une couche d'oxyde enterrée (171) pour remplir la tranchée; et l'accomplissement d'un processus d'attaque d'aplanissement pour enlever la couche d'oxyde enterrée (171) au-dessus d'une région active.

8. Procédé selon la revendication 7, caractérisé en ce que le recuit est effectué avant de superposer la couche d'oxyde enterrée (171).

9. Procédé selon la revendication 7, caractérisé en ce que le recuit est effectué dans une ambiance d'azote à une température de 550-700°C.

10. Procédé selon la revendication 7, caractérisé en ce que le recuit est effectué dans un système à ultra-vide.

11. Procédé selon la revendication 8, caractérisé en ce qu'un processus d'oxydation de paroi latérale est effectué avant la superposition de la couche enterrée (171), pour former une couche d'oxyde (161) sur une surface de la couche de silicium amorphe (151).

12. Procédé selon la revendication 7, caractérisé en ce que le recuit est effectué après la superposition de la couche de silicium amorphe (151) dans la tranchée, la formation d'une couche d'oxyde (161) sur la surface de la
5 couche de silicium amorphe (151) et le remplissage de la tranchée avec une couche d'oxyde enterrée (171).

13. Procédé selon la revendication 12, caractérisé en ce que le recuit est effectué sur la couche d'oxyde enterrée (171).

10 14. Procédé selon la revendication 12, caractérisé en ce que le recuit est effectué à une température de 750-1150°C pendant une heure.

15 15. Procédé pour empêcher un phénomène de courbure d'une couche silicium sur isolant (SOI), caractérisé en ce qu'il comprend : l'attaque d'une couche SOI (123) d'un substrat de type SOI comprenant une couche d'oxyde de silicium enterrée (111), et la couche SOI (123), pour former une tranchée; et la superposition, de façon conforme, d'une couche d'oxyde formée par CVD (132) sur une
20 surface globale du substrat de type SOI incluant la tranchée.

16. Procédé selon la revendication 15, caractérisé en ce que l'étape consistant à superposer de façon conforme la couche d'oxyde formée par CVD (132) est effectuée à une
25 pression inférieure, jusqu'à une épaisseur de 5-50 nm.

17. Procédé selon la revendication 15, caractérisé en ce qu'il comprend en outre, après l'étape consistant à superposer de façon conforme la couche d'oxyde formée par CVD (132) : la formation d'un revêtement de nitrure de
30 silicium (133); et le remplissage de la tranchée avec une couche d'oxyde enterrée.

18. Procédé pour empêcher un phénomène de courbure d'une couche silicium sur isolant (SOI), caractérisé en ce qu'il comprend : l'attaque d'une couche SOI (113) d'un
35 substrat de type SOI incluant une couche de silicium inférieure (110), une couche d'oxyde de silicium enterrée

(111) et la couche SOI (113), pour former une tranchée; et l'accomplissement d'une oxydation thermique rapide (ou RTO) sur la tranchée pour former une couche d'oxyde thermique (125).

5 19. Procédé selon la revendication 18, caractérisé en ce que l'oxydation thermique rapide est effectuée à une température de 950-1180°C pendant 30-200 secondes.

 20. Procédé selon la revendication 18, caractérisé en ce qu'il comprend en outre, après l'étape de formation de la couche d'oxyde thermique (125) : la formation d'un revêtement de nitrure de silicium; et le remplissage de la tranchée avec une couche d'oxyde enterrée.

 21. Dispositif à semiconducteur du type à isolation de dispositif par tranchée, ayant une couche d'oxyde de silicium enterrée (111) et une couche silicium sur isolant (SOI) (123) dans une région active, caractérisé en ce qu'il comprend une couche contenant de l'azote (131) formée entre la couche d'oxyde de silicium enterrée (111) et la couche SOI (131), au moins autour de la région active.

20 22. Dispositif selon la revendication 21, caractérisé en ce qu'une couche d'isolation de dispositif par tranchée comprend une couche d'oxyde (25, 125, 132) d'un côté en contact avec la région active.

 23. Dispositif selon la revendication 22, caractérisé en ce que la couche d'oxyde est constituée par un oxyde sélectionné dans le groupe comprenant un oxyde thermique (25), un oxyde formé par CVD (132) et un oxyde formé par une technique d'oxydation thermique rapide (ou RTO).

30 24. Dispositif selon la revendication 22, caractérisé en ce qu'il comprend en outre un revêtement de nitrure de silicium (133) du côté opposé au substrat, formé sur la couche d'oxyde (132).

 25. Dispositif à semiconducteur du type à isolation de dispositif par tranchée, caractérisé en ce qu'il comprend: une couche d'oxyde de silicium enterrée (111) et

une couche silicium sur isolant (SOI) (123) dans une région active; et une couche de silicium monocristallin formée par croissance épitaxiale en phase solide (ou SPE) d'une paroi latérale de la région active en contact avec une couche
5 d'isolation de dispositif de la tranchée.

26. Dispositif selon la revendication 25, caractérisé en ce qu'il comprend en outre une couche d'oxyde thermique (161) du côté opposé à la région active, formée sur la couche de silicium monocristallin.

10 27. Dispositif selon la revendication 26, caractérisé en ce qu'il comprend en outre un revêtement de nitrure de silicium du côté opposé à la couche de silicium monocristallin, formé sur la couche d'oxyde thermique (161).

15 28. Dispositif à semiconducteur du type à isolation de dispositif par tranchée ayant une couche d'oxyde de silicium enterrée (111) et une couche silicium sur isolant (SOI) (123) dans une région active, caractérisé en ce qu'il comprend des moyens (131) pour bloquer la diffusion
20 d'oxygène entre la couche SOI (123) et la couche d'oxyde de silicium enterrée (111).

29. Procédé pour empêcher un phénomène de courbure d'une couche silicium sur isolant (SOI), caractérisé en ce qu'il comprend les étapes suivantes : on forme un substrat
25 de type SOI incluant une couche de silicium inférieure (110), une couche d'oxyde de silicium enterrée (111), une couche SOI (113) et une couche contenant de l'azote (131) entre la couche d'oxyde de silicium enterrée (111) et la couche SOI (113); et on attaque la couche SOI du substrat
30 de type SOI pour former une tranchée pour l'isolation de dispositif.

30. Procédé selon la revendication 29, caractérisé en ce que la couche contenant de l'azote (131) est formée en implantant des ions d'azote dans l'étape de formation du
35 substrat de type SOI.

31. Procédé selon la revendication 30, caractérisé

en ce que les ions d'azote sont implantés dans un stade de formation d'une couche d'oxyde tampon (115) sur une surface de la couche SOI (113).

32. Procédé pour empêcher un phénomène de courbure
5 d'une couche silicium sur isolant (SOI), caractérisé en ce qu'il comprend les étapes suivantes : on attaque une couche SOI (113) d'un substrat de type SOI incluant une couche de silicium inférieure (110), une couche d'oxyde de silicium enterrée (111) et une couche SOI (113) pour former une
10 tranchée; et on incline le substrat de type SOI dans lequel la tranchée est formée et on implante des ions d'azote dans la tranchée, pour former une couche contenant de l'azote (131) entre la couche SOI et la couche d'oxyde de silicium enterrée (111) dans une zone adjacente à la tranchée.

Fig. 1

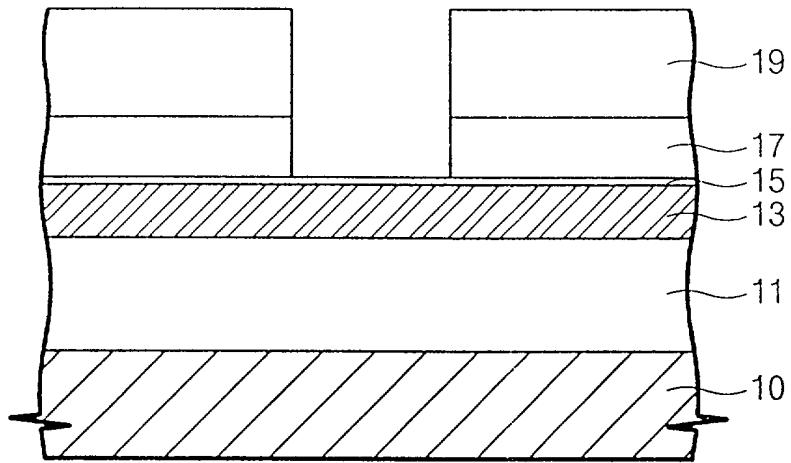


Fig. 2

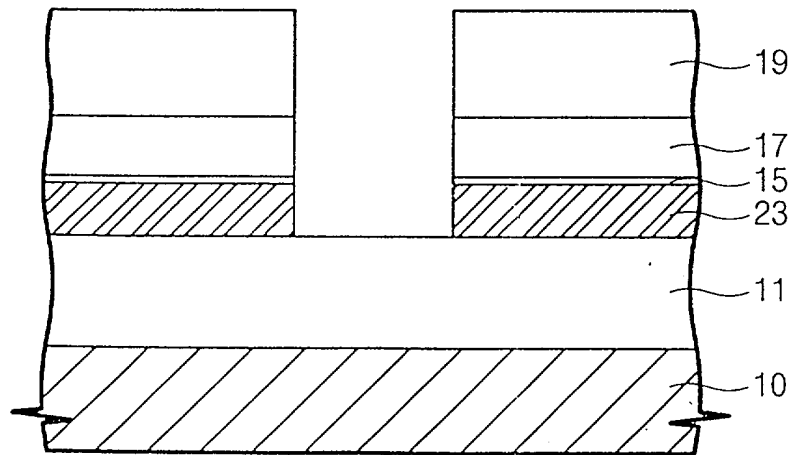


Fig. 3

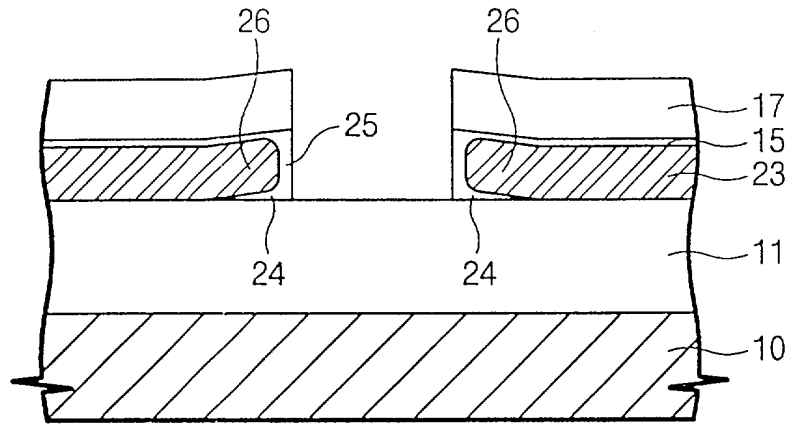


Fig. 4

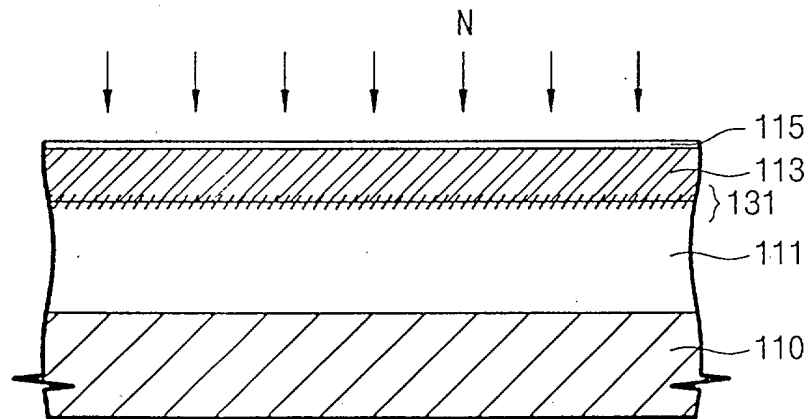


Fig. 5

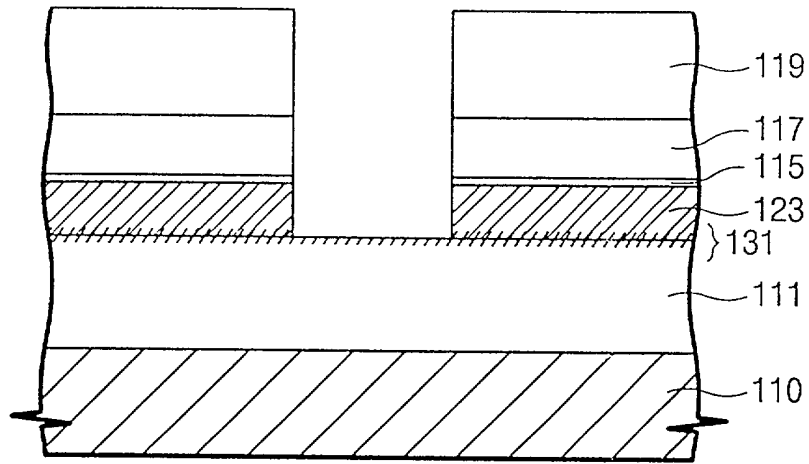


Fig. 6

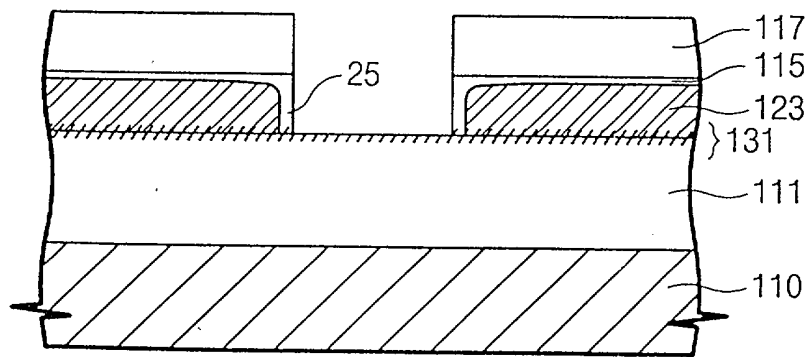


Fig. 7

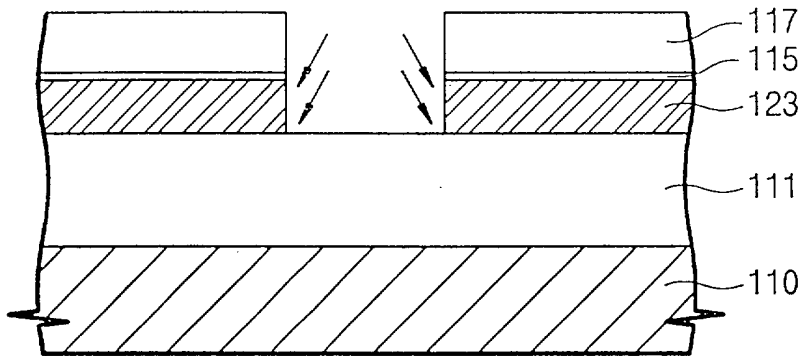


Fig. 8

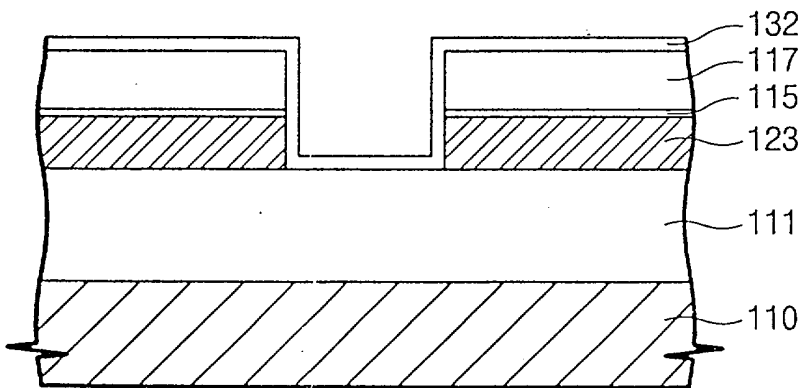


Fig. 9

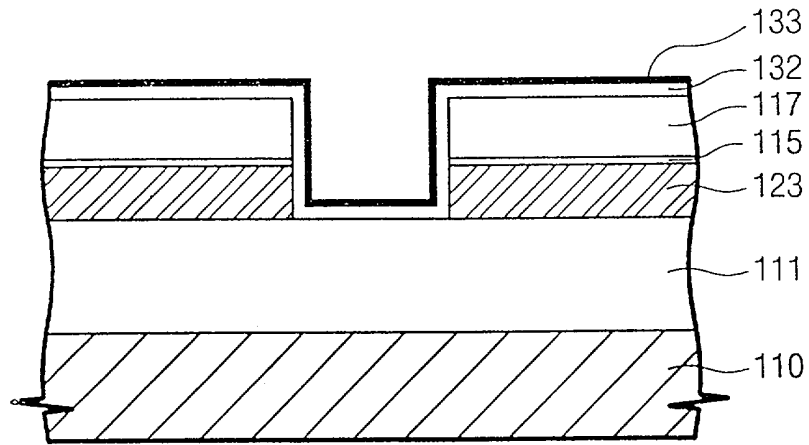


Fig. 10

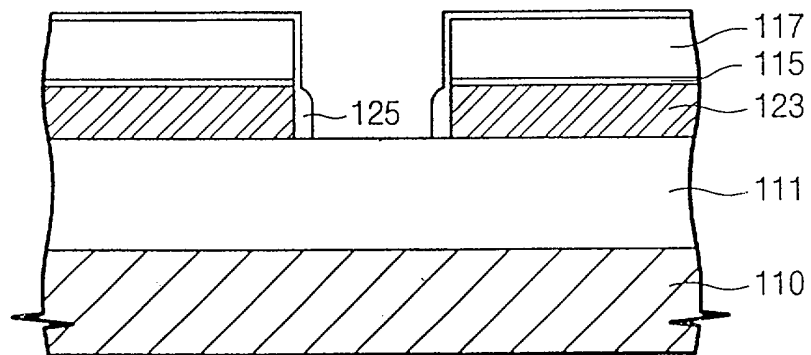


Fig. 11

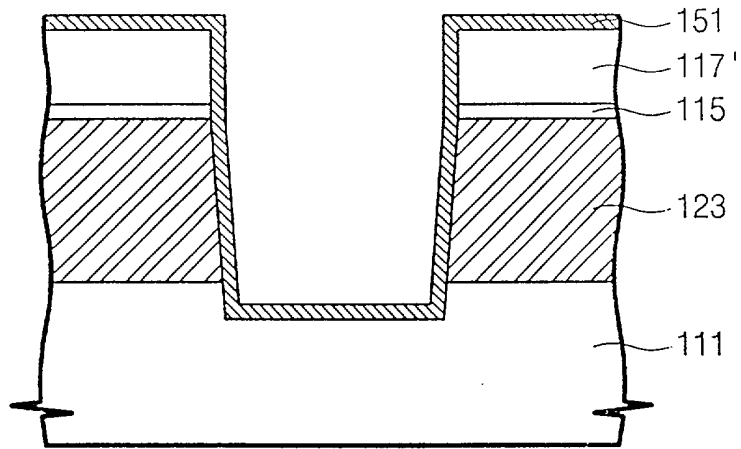


Fig. 12

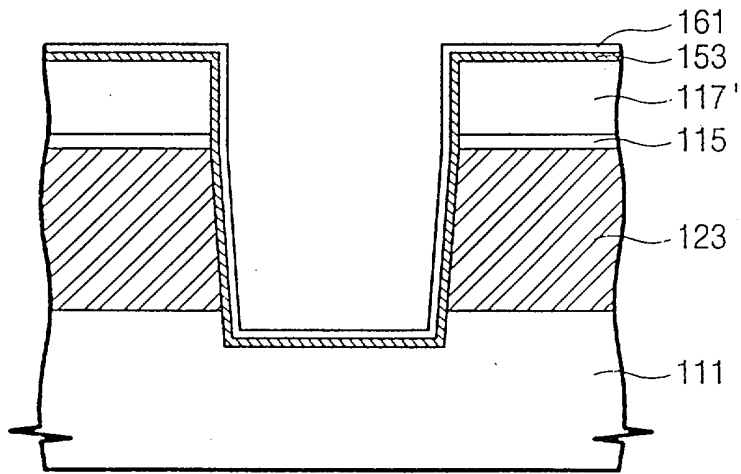


Fig. 13

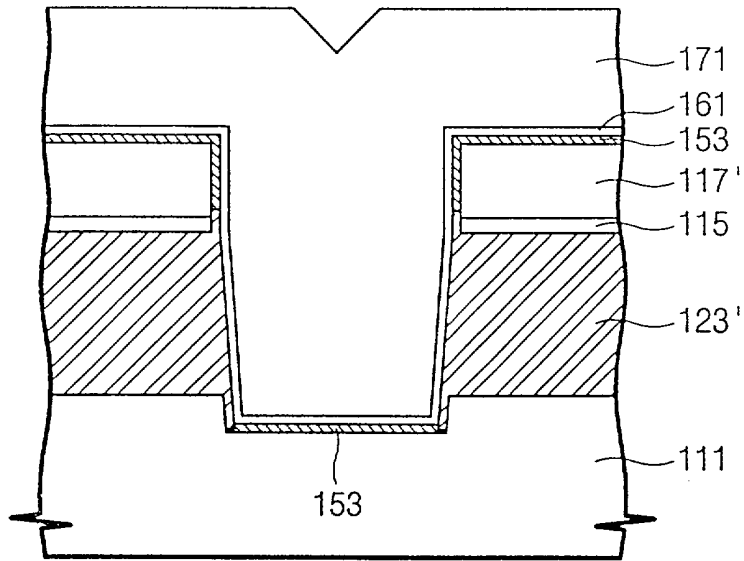


Fig. 14

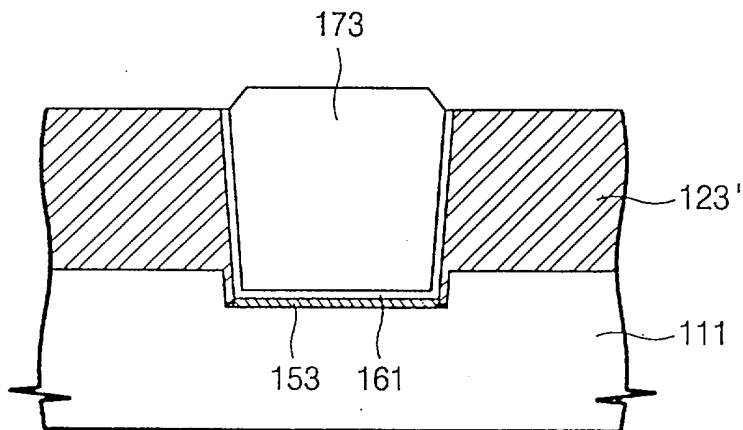


Fig. 15

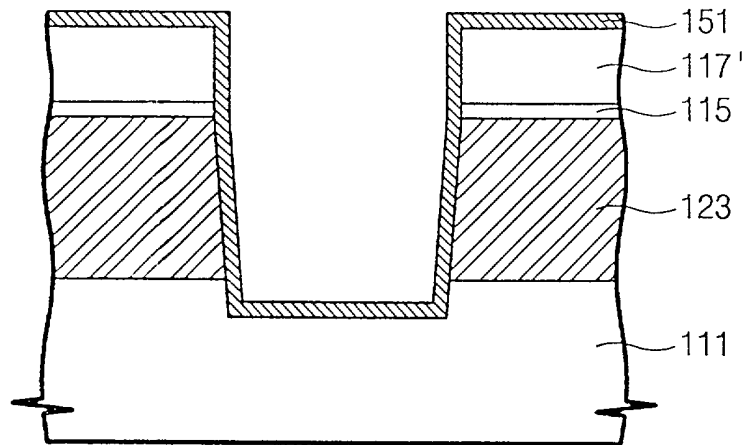


Fig. 16

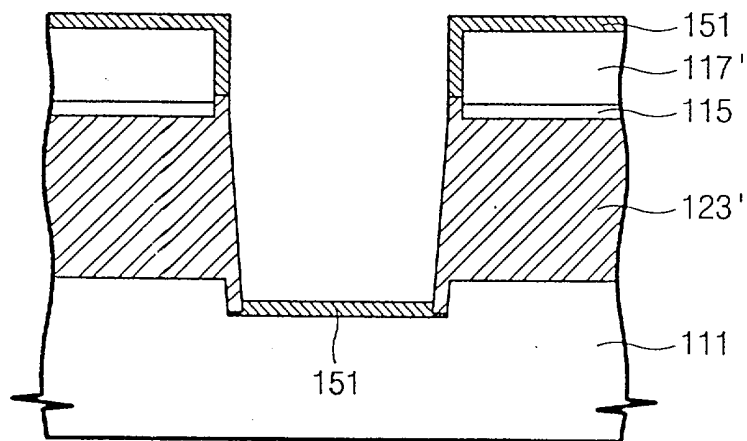


Fig. 17

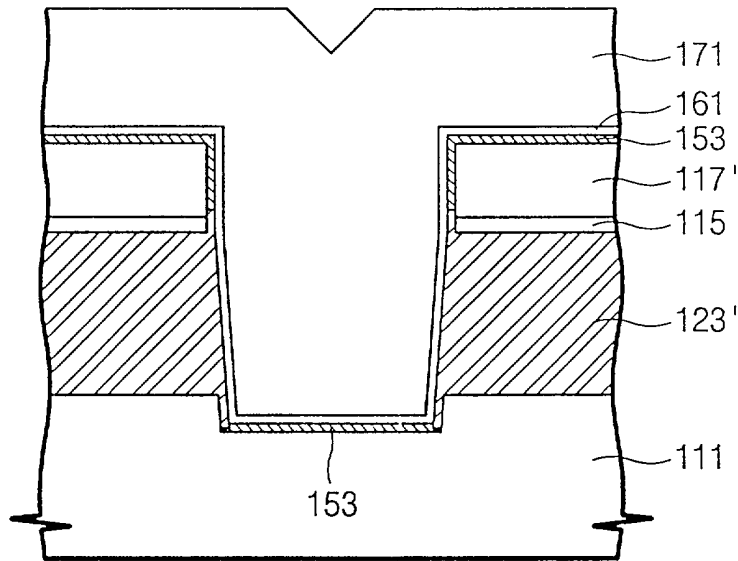


Fig. 18

