

특허청구의 범위

청구항 1

초기화 신호를 기초로, 소켓 내에 포함된 소켓 스큐 정보와 드라이버 테스트 신호들을 기초로 입력된 드라이버 스큐 정보를 입력받아 상기 소켓에 실장되는 피시험 메모리 장치(DUT, Device Under Test)에 전송되는 제1 테스트 데이터의 스큐를 조절하고, 비교기 테스트 신호들을 입력받아 상기 피시험 메모리 장치로부터 전송되는 제2 테스트 데이터의 스큐를 조절하는 메모리 테스트 보드; 및

상기 피시험 메모리 장치에 대한 테스트 환경이 변화될 때, 상기 초기화 신호를 출력하고, 상기 드라이버 테스트 신호들이 입력된 경우 상기 입력받은 드라이버 테스트 신호들의 스큐를 측정하여 상기 드라이버 스큐 정보를 출력하며, 상기 비교기 테스트 신호들을 상기 메모리 테스트 보드에 출력하는 보상/하이픽스 보드(Calibration Board)를 포함하고,

상기 테스트 환경의 변화는 상기 피시험 메모리 장치의 종류가 바뀌는 경우 및 상기 소켓의 종류가 바뀌는 경우 중 적어도 하나 이상의 변화를 포함하는 것을 특징으로 하는 반도체 메모리 테스트 장치.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 보상/하이픽스 보드는

상기 소켓으로부터 소켓 스큐 정보(Socket Skew Information)를 가져와 상기 메모리 테스트 보드에 출력하는 것을 특징으로 하는 반도체 메모리 테스트 장치.

청구항 4

제3항에 있어서, 상기 메모리 테스트 보드는

상기 피시험 메모리 장치의 테스트를 위한 상기 제1 테스트 데이터를 생성하고 상기 초기화 신호가 입력될 때 상기 드라이버 테스트 신호들을 출력하는 드라이버;

상기 생성된 제1 테스트 데이터와 상기 피시험 메모리 장치로부터 출력된 상기 제2 테스트 데이터를 비교하고, 상기 비교기 테스트 신호들을 입력받아 상기 제2 테스트 데이터의 스큐를 조절하거나 상기 비교기 테스트 신호들을 입력받아 비교기 스큐 정보를 생성하는 비교기; 및

상기 소켓 스큐 정보 및 드라이버 스큐 정보를 기초로 상기 제1 테스트 데이터의 스큐를 조절하고 상기 비교기 스큐 정보가 입력된 경우에는 상기 제2 테스트 데이터의 스큐를 조절하는 스큐 조절부를 포함하는 것을 특징으로 하는 반도체 메모리 테스트 장치.

청구항 5

제4항에 있어서, 상기 비교기 스큐 정보는

상기 제2 테스트 데이터에 상응하는 신호들의 딜레이 정보를 포함하는 것을 특징으로 하는 반도체 메모리 테스트 장치.

청구항 6

제5항에 있어서, 상기 스큐 조절부는

상기 딜레이 정보를 기초로 상기 제2 테스트 데이터에 상응하는 신호들 중 딜레이가 가장 적은 신호를 기초로 상기 제2 테스트 데이터의 스큐를 조절하는 것을 특징으로 하는 반도체 메모리 테스트 장치.

청구항 7

제4항에 있어서, 상기 드라이버 스큐 정보는

상기 제1 테스트 데이터에 상응하는 신호들의 딜레이 정보를 포함하는 것을 특징으로 하는 반도체 메모리 테스트

트 장치.

청구항 8

제7항에 있어서, 상기 스큐 조절부는

상기 딜레이 정보를 기초로 상기 제1 테스트 데이터에 상응하는 신호들 중 딜레이가 가장 적은 신호와 딜레이가 가장 긴 신호를 선택하고, 상기 선택된 신호들이 가지는 딜레이들의 평균값을 기초로 상기 제2 테스트 데이터의 스큐를 조절하는 것을 특징으로 하는 반도체 메모리 테스트 장치.

청구항 9

제3항에 있어서, 상기 보상/하이픽스 보드는

상기 실장된 소켓으로부터 상기 소켓 스큐 정보(Socket Skew Information)를 가져오는 소켓 보상부(Socket Calibration Unit);

상기 드라이버 테스트 신호들을 입력받아 상기 입력받은 드라이버 테스트 신호들의 스큐를 측정하고 상기 측정된 스큐를 기초로 상기 드라이버 스큐 정보를 생성하는 드라이버 보상부(Driver Calibration Unit); 및

상기 비교기 테스트 신호들을 상기 메모리 테스트 보드에 출력하는 비교기 보상부(Comparator Calibration Unit)를 포함하는 것을 특징으로 하는 반도체 메모리 테스트 장치.

청구항 10

제9항에 있어서, 상기 소켓 스큐 정보는

상기 소켓의 출력단에서 출력되는 상기 제1 테스트 데이터에 상응하는 신호들의 딜레이 정보를 포함하는 것을 특징으로 하는 반도체 메모리 테스트 장치.

청구항 11

제10항에 있어서, 상기 보상/하이픽스 보드는

상기 피시험 메모리 장치와 상기 메모리 테스트 보드 간의 전송되는 상기 제1 및 제2 테스트 데이터를 중계하는 릴레이를 더 포함하는 것을 특징으로 하는 반도체 메모리 테스트 장치.

청구항 12

초기화 신호를 기초로, 소켓 내에 포함된 소켓 스큐 정보와 드라이버 테스트 신호들을 기초로 입력된 드라이버 스큐 정보를 입력받아 상기 소켓에 실장되는 피시험 메모리 장치(DUT, Device Under Test)에 전송되는 제1 테스트 데이터의 스큐를 조절하는 단계;

비교기 테스트 신호들을 입력받아 상기 피시험 메모리 장치로부터 전송되는 제2 테스트 데이터의 스큐를 조절하는 단계; 및

상기 피시험 메모리 장치에 대한 테스트 환경이 변화될 때, 상기 초기화 신호를 출력하는 단계를 포함하고,

상기 테스트 환경의 변화는 상기 피시험 메모리 장치의 종류가 바뀌는 경우 및 상기 소켓의 종류가 바뀌는 경우 중 적어도 하나 이상의 변화를 포함하는 것을 특징으로 하는 반도체 메모리 테스트 방법.

청구항 13

삭제

청구항 14

삭제

청구항 15

제12항에 있어서,

상기 드라이버 테스트 신호들이 입력된 경우 상기 입력받은 드라이버 테스트 신호들의 스큐를 측정하여 상기 드

라이버 스큐 정보를 출력하는 단계; 및

상기 비교기 테스트 신호들을 상기 메모리 테스트 보드에 출력하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 테스트 방법.

청구항 16

제12항에 있어서, 상기 드라이버 스큐 정보는

상기 제1 테스트 데이터에 상응하는 신호들의 딜레이 정보를 포함하는 것을 특징으로 하는 반도체 메모리 테스트 방법.

청구항 17

제16항에 있어서, 상기 제1 테스트 데이터의 스큐를 조절하는 단계는

상기 딜레이 정보를 기초로 상기 제1 테스트 데이터에 상응하는 신호들 중 딜레이가 가장 적은 신호와 딜레이가 가장 긴 신호를 선택하는 단계; 및

상기 선택된 신호들이 가지는 딜레이들의 평균값을 기초로 상기 제2 테스트 데이터의 스큐를 조절하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 테스트 방법.

청구항 18

제12항에 있어서, 상기 제2 테스트 데이터의 스큐를 조절하는 단계는

상기 비교기 테스트 신호들을 입력받는 단계;

상기 입력받은 비교기 테스트 신호들의 딜레이 정보를 기초로 상기 제2 테스트 데이터에 상응하는 신호들 중 딜레이가 가장 적은 신호를 기초로 상기 제2 테스트 데이터의 스큐를 조절하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 테스트 방법.

청구항 19

제12항에 있어서, 상기 제2 테스트 데이터의 스큐를 조절하는 단계는

상기 비교기 테스트 신호들을 입력받아 비교기 스큐 정보를 생성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 테스트 방법.

청구항 20

제19항에 있어서, 상기 비교기 스큐 정보는

상기 제2 테스트 데이터에 상응하는 신호들의 딜레이 정보를 포함하는 것을 특징으로 하는 반도체 메모리 테스트 방법.

청구항 21

제20항에 있어서, 상기 제2 테스트 데이터의 스큐를 조절하는 단계는

상기 딜레이 정보를 기초로 상기 제2 테스트 데이터에 상응하는 신호들 중 딜레이가 가장 적은 신호를 기초로 상기 제2 테스트 데이터의 스큐를 조절하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 테스트 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<10> 본 발명은 반도체 메모리 테스트에 관한 것으로 특히, 피시험 메모리 장치(DUT, Device Under Test)를 테스트할 때 전송되는 신호들의 스큐를 조절하여 피시험 메모리 장치를 정확하게 테스트할 수 있는 반도체 메모리 테스트

장치 및 반도체 메모리 테스트 방법에 관한 것이다.

- <11> 오늘날 반도체 메모리 장치는 사용자의 요구를 만족시키기 위하여 다양한 종류의 메모리 장치가 출현하고 있다. 예를 들어, 반도체 메모리 장치는 데이터를 한번 저장하면 다시 충전(refresh)하지 않아도 데이터를 잃지 않는 SRAM(Static Random Access Memory), 메인 프로세서(CPU, Central Processing Unit)와 별개로 동작하는 비동기 방식의 DRAM(Dynamic Random Access Memory) 및 메인 프로세서의 동작 속도를 고려하여 설계된 동기 방식의 DRAM을 포함할 수 있다. 특히, 최근의 동기 방식의 DRAM은 클록마다 하나의 데이터를 출력하는 SDR(Single Data Rate)과 DDR(Double Data Rate)로 분류될 수 있다.
- <12> 일반적으로 반도체 메모리 장치들은 각각 서로 다른 방법을 사용하여 동작하고 있으므로 반도체 메모리 테스트 장치 역시 반도체 메모리 장치들의 각각의 동작 방법을 지원할 수 있도록 설계된다.
- <13> 일반적으로, 반도체 메모리 테스트 장치는 피시험 메모리 장치가 바뀌는 경우 또는 시간이 경과함에 따라 스큐가 변경되는 경우에는 테스트 정밀도가 감소하여 정확한 테스트가 어려운 문제점이 발생한다.
- <14> 따라서 피시험 메모리 장치(DUT, Device Under Test)를 테스트할 때 전송되는 신호들의 스큐를 조절하여 피시험 메모리 장치를 효율적으로 테스트할 수 있는 반도체 메모리 테스트 장치가 요구된다.

발명이 이루고자 하는 기술적 과제

- <15> 본 발명의 목적은 피시험 메모리 장치(DUT, Device Under Test)를 테스트할 때 전송되는 신호들의 스큐를 조절하여 피시험 메모리 장치를 효율적으로 테스트할 수 있는 반도체 메모리 테스트 장치를 제공하는데 있다.
- <16> 본 발명의 다른 목적은 피시험 메모리 장치(DUT, Device Under Test)를 테스트할 때 전송되는 신호들의 스큐를 조절하여 피시험 메모리 장치를 효율적으로 테스트할 수 있는 반도체 메모리 테스트 방법을 제공하는 데 있다.

발명의 구성 및 작용

- <17> 상기 목적을 달성하기 위하여 본 발명의 반도체 메모리 테스트 장치는 초기화 신호를 기초로, 소켓 내에 포함된 소켓 스큐 정보와 드라이버 테스트 신호들을 기초로 입력된 드라이버 스큐 정보를 입력받아 상기 소켓에 실장되는 피시험 메모리 장치(DUT, Device Under Test)에 전송되는 제1 테스트 데이터의 스큐를 조절하고, 비교기 테스트 신호들을 입력받아 상기 피시험 메모리 장치로부터 전송되는 제2 테스트 데이터의 스큐를 조절하는 메모리 테스트 보드 및 상기 피시험 메모리 장치에 대한 테스트 환경이 변화될 때, 상기 초기화 신호를 출력하고, 상기 드라이버 테스트 신호들이 입력된 경우 상기 입력받은 드라이버 테스트 신호들의 스큐를 측정하여 상기 드라이버 스큐 정보를 출력하며, 상기 비교기 테스트 신호들을 상기 메모리 테스트 보드에 출력하는 보상/하이픽스 보드(Calibration Board)를 포함한다.
- <18> 예를 들어, 상기 테스트 환경의 변화는 상기 피시험 메모리 장치의 종류가 바뀌는 경우 및 상기 소켓의 종류가 바뀌는 경우 중 적어도 하나 이상의 변화를 포함할 수 있다.
- <19> 상기 보상/하이픽스 보드는 상기 소켓으로부터 소켓 스큐 정보(Socket Skew Information)를 가져와 상기 메모리 테스트 보드에 출력할 수 있다.
- <20> 상기 메모리 테스트 보드는 상기 피시험 메모리 장치의 테스트를 위한 상기 제1 테스트 데이터를 생성하고 상기 초기화 신호가 입력될 때 상기 드라이버 테스트 신호들을 출력하는 드라이버; 상기 생성된 제1 테스트 데이터와 상기 피시험 메모리 장치로부터 출력된 상기 제2 테스트 데이터를 비교하고, 상기 비교기 테스트 신호들을 입력받아 상기 제2 테스트 데이터의 스큐를 조절하거나 상기 비교기 테스트 신호들을 입력받아 비교기 스큐 정보를 생성하는 비교기; 및 상기 소켓 스큐 정보 및 드라이버 스큐 정보를 기초로 상기 제1 테스트 데이터의 스큐를 조절하고 상기 비교기 스큐 정보가 입력된 경우에는 상기 제2 테스트 데이터의 스큐를 조절하는 스큐 조절부를 포함할 수 있다.
- <21> 예를 들어, 상기 비교기 스큐 정보는 상기 제2 테스트 데이터에 상응하는 신호들의 딜레이 정보를 포함할 수 있다.
- <22> 상기 스큐 조절부는 상기 딜레이 정보를 기초로 상기 제2 테스트 데이터에 상응하는 신호들 중 딜레이가 가장 적은 신호를 기초로 상기 제2 테스트 데이터의 스큐를 조절할 수 있다.
- <23> 예를 들어, 상기 드라이버 스큐 정보는 상기 제1 테스트 데이터에 상응하는 신호들의 딜레이 정보를 포함할 수

있다.

- <24> 상기 스큐 조절부는 상기 딜레이 정보를 기초로 상기 제1 테스트 데이터에 상응하는 신호들 중 딜레이가 가장 적은 신호와 딜레이가 가장 긴 신호를 선택하고, 상기 선택된 신호들이 가지는 딜레이들의 평균값을 기초로 상기 제2 테스트 데이터의 스큐를 조절할 수 있다.
- <25> 상기 보상/하이픽스 보드는 상기 실장된 소켓으로부터 상기 소켓 스큐 정보(Socket Skew Information)를 가져오는 소켓 보상부(Socket Calibration Unit); 상기 드라이버 테스트 신호들을 입력받아 상기 입력받은 드라이버 테스트 신호들의 스큐를 측정하고 상기 측정된 스큐를 기초로 상기 드라이버 스큐 정보를 생성하는 드라이버 보상부(Driver Calibration Unit); 및 상기 비교기 테스트 신호들을 상기 메모리 테스트 보드에 출력하는 비교기 보상부(Comparator Calibration Unit)를 포함할 수 있다.
- <26> 예를 들어, 상기 소켓 스큐 정보는 상기 소켓의 출력단에서 출력되는 상기 제1 테스트 데이터에 상응하는 신호들의 딜레이 정보를 포함할 수 있다.
- <27> 예를 들어, 상기 보상/하이픽스 보드는 상기 피시엄 메모리 장치와 상기 메모리 테스트 보드 간의 전송되는 상기 제1 및 제2 테스트 데이터를 중계하는 릴레이를 더 포함할 수 있다.
- <28> 상기 다른 목적을 달성하기 위하여 본 발명의 반도체 메모리 테스트 장치는 초기화 신호를 기초로, 소켓 내에 포함된 소켓 스큐 정보와 드라이버 테스트 신호들을 기초로 입력된 드라이버 스큐 정보를 입력받아 상기 소켓에 실장되는 피시엄 메모리 장치(DUT, Device Under Test)에 전송되는 제1 테스트 데이터의 스큐를 조절하는 단계; 및 비교기 테스트 신호들을 입력받아 상기 피시엄 메모리 장치로부터 전송되는 제2 테스트 데이터의 스큐를 조절하는 단계를 포함한다.
- <29> 또한, 상기 방법은 상기 피시엄 메모리 장치에 대한 테스트 환경이 변화될 때, 상기 초기화 신호를 출력하는 단계를 더 포함할 수 있다.
- <30> 예를 들어, 상기 테스트 환경의 변화는 상기 피시엄 메모리 장치의 종류가 바뀌는 경우 및 상기 소켓의 종류가 바뀌는 경우 중 적어도 하나 이상의 변화를 포함할 수 있다.
- <31> 상기 방법은 상기 드라이버 테스트 신호들이 입력된 경우 상기 입력받은 드라이버 테스트 신호들의 스큐를 측정하여 상기 드라이버 스큐 정보를 출력하는 단계; 및 상기 비교기 테스트 신호들을 상기 메모리 테스트 보드에 출력하는 단계를 더 포함할 수 있다.
- <32> 예를 들어, 상기 드라이버 스큐 정보는 상기 제1 테스트 데이터에 상응하는 신호들의 딜레이 정보를 포함할 수 있다.
- <33> 상기 제1 테스트 데이터의 스큐를 조절하는 단계는 상기 딜레이 정보를 기초로 상기 제1 테스트 데이터에 상응하는 신호들 중 딜레이가 가장 적은 신호와 딜레이가 가장 긴 신호를 선택하는 단계; 및 상기 선택된 신호들이 가지는 딜레이들의 평균값을 기초로 상기 제2 테스트 데이터의 스큐를 조절하는 단계를 포함할 수 있다.
- <34> 상기 제2 테스트 데이터의 스큐를 조절하는 단계는 상기 비교기 테스트 신호들을 입력받는 단계; 상기 입력받은 비교기 테스트 신호들의 딜레이 정보를 기초로 상기 제2 테스트 데이터에 상응하는 신호들 중 딜레이가 가장 적은 신호를 기초로 상기 제2 테스트 데이터의 스큐를 조절하는 단계를 포함할 수 있다.
- <35> 상기 제2 테스트 데이터의 스큐를 조절하는 단계는 상기 비교기 테스트 신호들을 입력받아 비교기 스큐 정보를 생성하는 단계를 포함할 수 있다.
- <36> 예를 들어, 상기 비교기 스큐 정보는 상기 제2 테스트 데이터에 상응하는 신호들의 딜레이 정보를 포함할 수 있다.
- <37> 상기 제2 테스트 데이터의 스큐를 조절하는 단계는 상기 딜레이 정보를 기초로 상기 제2 테스트 데이터에 상응하는 신호들 중 딜레이가 가장 적은 신호를 기초로 상기 제2 테스트 데이터의 스큐를 조절하는 단계를 포함할 수 있다.
- <38> 따라서 본 발명에서는 피시엄 메모리 장치(DUT, Device Under Test)를 테스트할 때 필요한 다양한 스큐들을 조절하여 피시엄 메모리 장치를 정확하게 테스트할 수 있다.
- <39> 또한, 본 발명에서는 피시엄 메모리 장치에 대한 테스트 환경이 변화될 때 변경되는 다양한 스큐들을 조절하여 피시엄 메모리 장치를 정확하게 테스트할 수 있다.

- <40> 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- <41> 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- <42> 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- <43> 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- <44> 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- <45> 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- <46> 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- <47> 이하 본 발명의 실시예들을 도면과 함께 설명하고자 한다.
- <48> 도 1은 본 발명의 일 실시예에 따른 반도체 메모리 테스트 장치를 개괄적으로 나타내는 블록도이고, 도2는 본 발명의 일 실시예에 따른 반도체 메모리 테스트 장치의 동작을 설명하기 위한 도면이다.
- <49> 도 1 및 2를 참조하면, 반도체 메모리 테스트 장치(110)는 보상/하이픽스 보드(Calibration Board)(112) 및 메모리 테스트 보드(114)를 포함한다.
- <50> 메모리 테스트 보드(114)는 드라이버(242), 비교기(244), 스큐 조절부(246) 및 메모리 테스트 보드(114)의 전체 동작을 제어하는 컨트롤러(248)를 포함하고, 보상/하이픽스 보드(112)는 소켓 보상부(222), 드라이버 보상부(224), 비교기 보상부(226) 및 릴레이(228)를 포함한다.
- <51> 메모리 테스트 보드(114)는 초기화 신호를 기초로, 소켓(120) 내에 포함된 소켓 스큐 정보(122)와 드라이버 테스트 신호들을 기초로 입력된 드라이버 스큐 정보를 입력받아 소켓(120)에 실장되는 피시험 메모리 장치(DUT, Device Under Test)(130)에 전송되는 제1 테스트 데이터의 스큐를 조절하고, 비교기 테스트 신호들을 입력받아 피시험 메모리 장치(130)로부터 전송되는 제2 테스트 데이터의 스큐를 조절한다.
- <52> 보상/하이픽스 보드(112)는 피시험 메모리 장치(130)에 대한 테스트 환경이 변화될 때, 초기화 신호를 출력하고, 드라이버 테스트 신호들이 입력된 경우 드라이버 테스트 신호들의 스큐를 측정하여 드라이버 스큐 정보를 출력하며, 비교기 테스트 신호들을 메모리 테스트 보드(114)에 출력한다. 또한, 보상/하이픽스 보드(112)는 소켓(120)으로부터 소켓 스큐 정보(Socket Skew Information)를 가져와 메모리 테스트 보드(114)에 출력할

수 있다.

- <53> 예를 들어, 테스트 환경의 변화는 피시엄 메모리 장치(130)의 종류가 바뀌는 경우와 소켓(120)의 종류가 바뀌는 경우 중 적어도 하나 이상의 변화를 포함할 수 있다.
- <54> 보상/하이픽스 보드(112) 및 메모리 테스트 보드(114)의 구체적인 동작은 다음과 같다.
- <55> 드라이버(242)는 피시엄 메모리 장치(130)의 테스트를 위한 제1 테스트 데이터를 생성하고 초기화 신호가 입력될 때 드라이버 테스트 신호들을 출력한다.
- <56> 비교기(244)는 제1 테스트 데이터와 피시엄 메모리 장치(130)로부터 출력된 제2 테스트 데이터를 비교하고, 비교기 테스트 신호들을 입력받아 입력받은 제2 테스트 데이터의 스큐를 조절하거나 비교기 테스트 신호들을 입력받아 비교기 스큐 정보를 생성한다. 즉, 비교기(244)는 비교기 테스트 신호들을 기초로 직접 스큐를 조절하거나 또는 비교기 스큐 정보를 생성하여 스큐 조절부(246)에게 스큐를 조절하도록 할 수 있다.
- <57> 스큐 조절부(246)는 소켓 스큐 정보 및 드라이버 스큐 정보를 기초로 제1 테스트 데이터의 스큐를 조절하고 비교기 스큐 정보가 입력된 경우에는 제2 테스트 데이터의 스큐를 조절한다.
- <58> 예를 들어, 드라이버 스큐 정보는 제1 테스트 데이터에 상응하는 신호들의 딜레이 정보를 포함할 수 있고, 비교기 스큐 정보는 제2 테스트 데이터에 상응하는 신호들의 딜레이 정보를 포함할 수 있다.
- <59> 소켓 보상부(222)는 소켓(120)으로부터 소켓 스큐 정보(122)를 가져온다.
- <60> 드라이버 보상부(224)는 드라이버 테스트 신호들을 입력받아 입력받은 드라이버 테스트 신호들의 스큐를 측정하고 측정된 스큐를 기초로 드라이버 스큐 정보를 메모리 테스트 보드(114)(즉, 스큐 조절부(246))에 출력한다.
- <61> 비교기 보상부(226)는 비교기 테스트 신호들을 메모리 테스트 보드(114)에 출력한다.
- <62> 릴레이(228)는 소켓(120)으로부터 소켓 스큐 정보를 가져와 스큐 조절부(262)에 전송하거나, 제1 테스트 데이터 및 제2 테스트 데이터를 피시엄 메모리 장치(130)에 전송하거나 피시엄 메모리 장치(130)로부터 전송받는다. 예를 들어, 소켓 스큐 정보는 소켓(120)의 출력단에서 출력되는 제1 테스트 데이터에 상응하는 신호들의 딜레이 정보를 포함하고, 오실로스코프 등을 이용하여 소켓(120)의 출력단에서 출력되는 신호들의 딜레이를 측정할 수 있다.
- <63> 이하, 도 3 내지 4를 참조하여 제1 테스트 데이터 및 제2 테스트 데이터의 스큐를 조절하는 방식을 설명한다.
- <64> 도 3은 스큐 조절부에 의하여 제1 및 제2 테스트 데이터의 스큐를 조절하는 방법을 나타내는 타이밍도이다.
- <65> 스큐 조절부(228)는 소켓 스큐 정보를 입력받아 제1 테스트 데이터에 상응하는 신호들 중 딜레이가 가장 적은 신호를 기초로 제1 테스트 데이터의 스큐를 조절할 수 있다. 예를 들어, 스큐 조절부(228)는 제1 신호(CP1) 및 제2 신호(CP2) 중 딜레이가 가장 적은 제1 신호(CP1)를 기초로 제2 신호(CP2)의 스큐를 조절할 수 있다.
- <66> 또한, 스큐 조절부(246)는 비교기 스큐 정보를 입력받아 제2 테스트 데이터에 상응하는 신호들 중 딜레이가 가장 적은 신호를 기초로 제2 테스트 데이터의 스큐를 조절할 수 있다. 예를 들어, 스큐 조절부(246)는 제1 신호(CP1) 및 제2 신호(CP2) 중 딜레이가 가장 적은 제1 신호(CP1)를 기초로 제2 신호(CP2)의 스큐를 조절할 수 있다. 한편, 비교기(244)가 직접 제2 테스트 데이터의 스큐를 조절하는 경우에는 비교기(244)는 비교기 스큐 정보를 출력하지 않으므로 스큐 조절부(246)는 제2 테스트 데이터의 스큐를 조절하지 않을 수 있다.
- <67> 도 4는 스큐 조절부에 의하여 제1 테스트 데이터의 스큐를 조절하는 방법을 나타내는 타이밍도이다.
- <68> 스큐 조절부(246)는 딜레이 정보를 기초로 제1 테스트 데이터에 상응하는 신호들 중 딜레이가 가장 적은 신호와 딜레이가 가장 긴 신호를 선택하고, 선택된 신호들이 가지는 딜레이들의 평균값을 기초로 제2 테스트 데이터의 스큐를 조절할 수 있다.
- <69> 예를 들어, 스큐 조절부(246)는 제1 신호(A), 제2 신호(B) 및 제3 신호(C)를 입력받고 딜레이가 가장 적은 신호(A)와 딜레이가 가장 긴 신호(B)의 평균값(R)을 기초로 제1 내지 제3 신호들의 스큐를 조절할 수 있다.
- <70> 도 5는 본 발명의 일 실시예에 따른 반도체 메모리 테스트 장치의 동작을 나타내는 흐름도이다.
- <71> 소켓 조절부(222)는 소켓(120)으로부터 소켓 스큐 정보를 가져와 소켓 스큐 정보를 스큐 조절부(246)에 전송한다(단계 S510). 스큐 조절부(246)는 소켓 스큐 정보를 기초로 소켓(120)으로부터 피시엄 메모리 장치(130)에 출력되는 제1 테스트 데이터의 스큐를 조절한다.

- <72> 드라이버(242)는 초기화 신호가 입력될 때 드라이버 테스트 신호들을 출력한다(단계 S520). 드라이버 보상부(224)는 드라이버 테스트 신호들을 입력받아 입력받은 드라이버 테스트 신호들의 스큐를 측정하고 측정된 스큐를 기초로 드라이버 스큐 정보를 스큐 조절부(246)에 출력한다. 스큐 조절부(246)는 드라이버 스큐 정보를 기초로 드라이버(242)로부터 출력되는 제1 테스트 데이터의 스큐를 조절한다.
- <73> 비교기 보상부(226)는 비교 테스트 신호들을 비교기(244)에 출력한다(단계 S530). 비교기(244)는 비교기 테스트 신호들을 입력받아 직접 제2 테스트 데이터를 위한 스큐를 조절할 수 있다. 또한, 비교기(244)는 비교기 테스트 신호들을 입력받아 입력받은 비교기 테스트 신호들의 스큐를 측정하며 측정된 스큐를 기초로 비교기 스큐 정보를 생성한다. 스큐 조절부(246)는 비교기 스큐 정보를 기초로 비교기(244)에 출력되는 제2 테스트 데이터의 스큐를 조절한다.
- <74> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- <75> 예를 들어, 보상/하이픽스 보드(112)는 제1 및 제2 테스트 데이터의 스큐를 조절한 후에는 일반적인 하이픽스 보드로 교체될 수 있다. 즉, 보상/하이픽스 보드(112)는 스큐의 조절을 위하여 사용하고 일반적인 하이픽스 보드를 이용하여 피시험 메모리 장치를 테스트할 수 있다.

발명의 효과

- <76> 상술한 바와 같이 본 발명에서는 피시험 메모리 장치(DUT, Device Under Test)를 테스트할 때 필요한 다양한 스큐들을 조절하여 피시험 메모리 장치를 정확하게 테스트할 수 있다.
- <77> 또한, 본 발명에서는 피시험 메모리 장치에 대한 테스트 환경이 변화될 때 변경되는 다양한 스큐들을 조절하여 피시험 메모리 장치를 정확하게 테스트할 수 있다.

도면의 간단한 설명

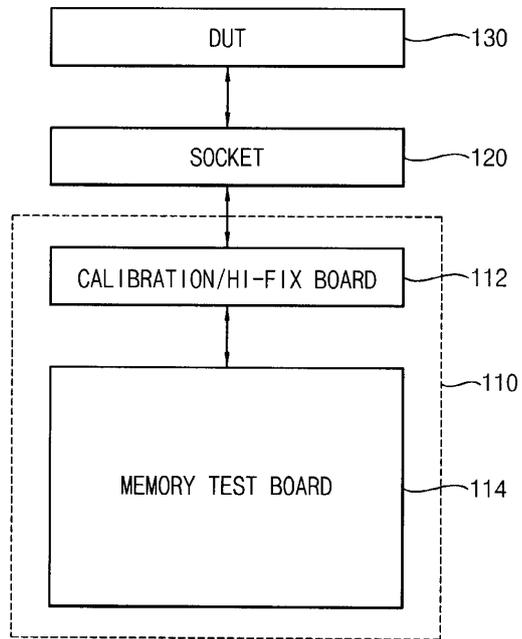
- <1> 도 1은 본 발명의 일 실시예에 따른 반도체 메모리 테스트 장치를 개괄적으로 나타내는 블록도이다.
- <2> 도 2는 본 발명의 일 실시예에 따른 반도체 메모리 테스트 장치의 동작을 설명하기 위한 도면이다.
- <3> 도 3은 스큐 조절부 및 릴레이에 의하여 스큐를 조절하는 방법을 나타내는 타이밍도이다.
- <4> 도 4는 스큐 조절부에 의하여 스큐를 조절하는 방법을 나타내는 타이밍도이다.
- <5> 도 5는 본 발명의 일 실시예에 따른 반도체 메모리 테스트 장치의 동작을 나타내는 흐름도이다.

<도면의 주요 부분에 대한 부호의 설명>

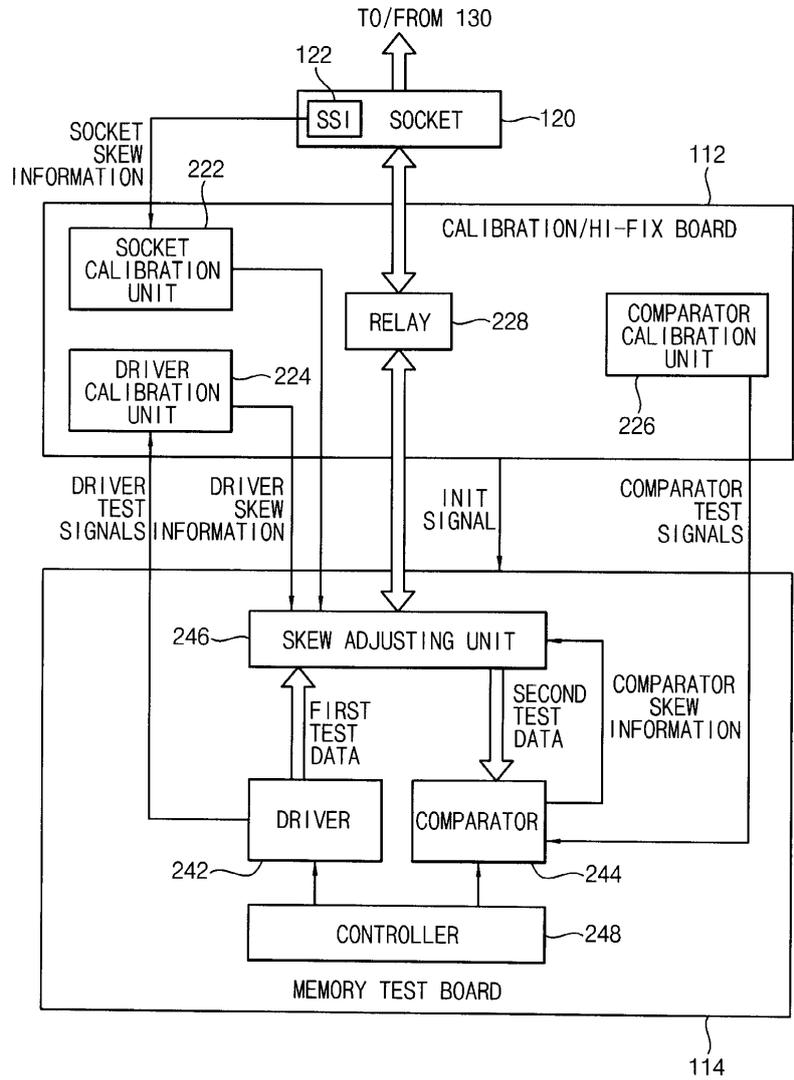
- <7> 110 : 반도체 메모리 테스트 장치 120 : 소켓
- <8> 130 : 피시험 메모리 장치 112 : 보상/하이픽스 보드
- <9> 114 : 메모리 테스트 보드

도면

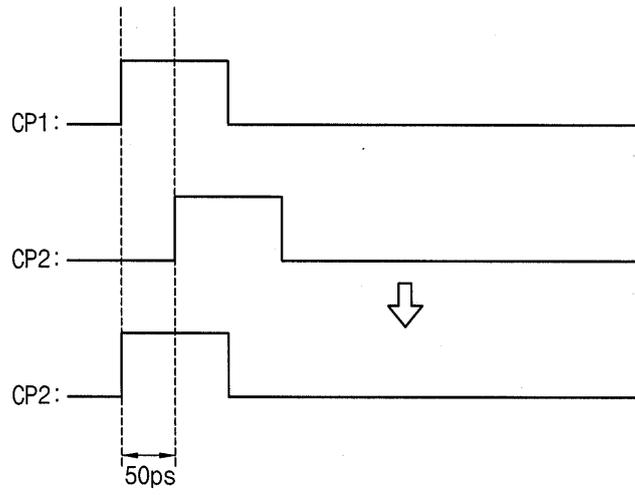
도면1



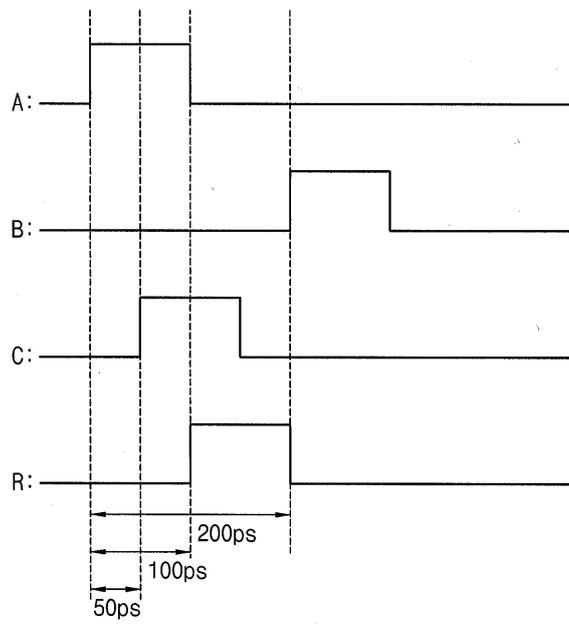
도면2



도면3



도면4



도면5

