



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0005246
(43) 공개일자 2017년01월12일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3225 (2013.01)
G09G 2320/0233 (2013.01)

(21) 출원번호 10-2015-0094295
(22) 출원일자 2015년07월01일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
배나영
부산광역시 부산진구 국악로54번길 17 (연지동)
홍성진
경기도 고양시 일산서구 킨텍스로 340 710동 806호 (주엽동, 문촌마을7단지아파트)

(74) 대리인
김은구, 송해모

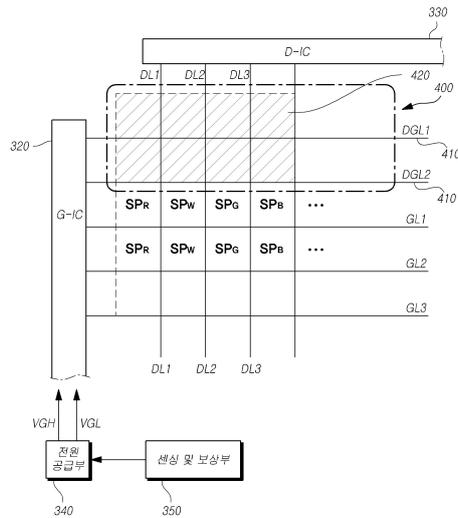
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 더미 게이트 라인 구조를 포함하는 표시패널

(57) 요약

본 발명은 더미 게이트 라인구조를 포함하는 표시패널에 관한 것으로, 표시패널의 표시영역에 포함되는 최초 게이트 라인의 외곽 및 최종 게이트 라인의 외곽 중 하나 이상의 영역에 더미 게이트 라인을 포함하는 더미 게이트 라인 구조를 형성함으로써, 박막 트랜지스트 특성의 센싱 및 보상 과정에서 수행되는 전원 스위칭에 의한 화질 열화 현상을 방지할 수 있다.

대표도 - 도3



(52) CPC특허분류
G09G 2320/043 (2013.01)

명세서

청구범위

청구항 1

제1방향으로 연장되는 다수의 게이트 라인(GL)과 제2방향으로 연장되는 다수의 데이터 라인(DL) 및 상기 게이트 라인 및 데이터 라인의 교차 영역으로 정의되며 유기발광층을 포함하는 1 이상의 서브 픽셀(SP)을 제어하는 1 이상의 박막 트랜지스터;

상기 게이트 라인 각각에 게이트 구동신호를 인가하는 게이트 구동부;

상기 데이터 라인 각각에 데이터 구동 신호를 인가하는 데이터 구동부; 및,

상기 게이트 라인 중 첫번째 게이트 라인의 외곽 및 마지막 게이트 라인의 외곽 중 1 이상의 영역에 배치되는 1 이상의 더미 게이트 라인과, 상기 더미 게이트 라인을 따라 형성되는 다수의 비발광 더미 화소부를 포함하는 더미 게이트 라인 구조;

를 포함하는 표시패널.

청구항 2

제1항에 있어서,

상기 게이트 라인에 게이트 구동전압을 인가하기 위한 전원공급부; 및,

상기 박막 트랜지스터의 특성을 센싱하고, 그에 따라 상기 전원 공급부를 제어하여 상기 게이트 구동전압의 스윙을 발생시키는 센싱 및 보상부;

를 추가로 포함하는 표시패널.

청구항 3

제2항에 있어서,

상기 더미 게이트 라인에는 상기 게이트 구동부로부터 더미 게이트 구동신호가 인가되는 표시패널.

청구항 4

제3항에 있어서,

상기 더미 게이트 라인은 2개 이상이며, 상기 더미 게이트 라인 각각에는 대응되는 채널을 통한 더미 게이트 구동신호가 별도로 인가되는 표시패널.

청구항 5

제3항에 있어서,

상기 더미 게이트 라인은 1개이며, 상기 더미 게이트 라인에는 2 이상의 다른 채널을 통한 더미 게이트 구동신호가 순차적으로 인가되는 표시패널.

청구항 6

제5항에 있어서,

상기 더미 게이트 라인에 인가되는 더미 게이트 구동신호의 채널은 상기 게이트 구동전압의 스윙의 크기에 따라 2개 내지 10개 중 하나로 결정되는 표시패널.

청구항 7

제2항에 있어서,

상기 비발광 더미 화소부는 1 이상의 박막 트랜지스터와, 애노드 전극층, 상기 비발광 더미 화소부 영역 전체를 커버하는 बैं크층 및 캐소드 전극층을 포함하는 표시패널.

청구항 8

제7항에 있어서,

상기 बैं크층 상부와 상기 캐소드 전극 사이에는 유기발광층이 배치되는 표시패널.

청구항 9

제2항에 있어서,

상기 비발광 더미 화소부는 1 이상의 박막 트랜지스터와, 애노드 전극층, 상기 비발광 더미 화소부 영역 전체를 커버하는 비발광 층간 절연층 및 캐소드 전극층을 포함하는 표시패널.

청구항 10

제9항에 있어서,

상기 애노드 전극층과 상기 캐소드 전극 사이에는 유기발광층이 배치되지 않는 표시패널.

발명의 설명

기술 분야

[0001] 본 발명은 더미 게이트 라인구조를 포함하는 표시패널에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display Device) 등과 같은 다양한 표시장치가 활용되고 있다. 이러한 다양한 표시장치에는, 그에 맞는 표시패널이 포함된다.

[0003] 이러한 표시패널은 외부로부터 데이터 신호를 인가하기 위한 패드가 형성된 비표시영역과 화소(pixel) 또는 부화소(subpixel)이 형성된 표시영역을 포함한다. 한편, 비표시영역에 형성되는 패드는 표시영역 내의 게이트라인 또는 데이터라인과 연결되는 배선 및 패드 간에 연결되는 배선들이 배치된다.

[0004] 한편, 이러한 표시패널 중에서 유기발광 표시패널(OLED)에서는 표시패널의 화소내에 포함된 스캔 박막트랜지스터의 열화에 따라 문턱전압(V_{th})이 변동되어 표시장치의 고온 신뢰성을 저하시키고 수명이 단축되는 문제 등이 있으며, 이를 해결하기 위하여 해당 박막트랜지스터의 문턱전압 센싱결과에 근거하여 게이트 하이레벨 구동전압 및 로우레벨 구동전압을 조절하는 전압 보상 기술이 적용될 수 있다.

[0005] 특히, 산화물 반도체 기반의 백플레인(backplane)을 사용하는 유기발광 표시장치의 표시패널은 초기 박막트랜지스터(TFT)의 문턱전압(V_{th}), 이동도(mobility)가 넓은 산포를 가지며, 박막트랜지스터의 열화에 따른 문턱전압 편이 현상(V_{th} shift)으로 인하여 박막트랜지스터의 특성을 일정 주기마다 센싱하여 보상을 필요로 한다.

[0006] 한편, 이러한 전압 보상을 위한 센싱 과정에서 전원의 세기를 가변적으로 유동시키는 전압 스윙(swing)이 필요하며, 표시패널이 대면적화 되고 고해상도화 되면서 전원 라인에 걸리는 부하(Load), 즉 저항과 커패시턴스가 커져서 전원 딥(dip) 또는 전원 플럭추에이션(fluctuation)과 같은 전원 유동이 발생할 가능성이 크다.

[0007] 이러한 전원 유동 현상으로 인하여 패널 휘도의 불균일성을 야기할 수 있으며, 특히 이러한 현상은 전압 센싱에 따른 전원 스윙이 발생한 직후 인가되는 초기 게이트 전압에서 집중적으로 발생될 수 있다.

발명의 내용

해결하려는 과제

[0008] 이러한 배경에서, 본 발명의 목적은 전원 스윙 또는 전원 유동에 따른 표시패널의 휘도 불균일 문제를 해결할

수 있는 유기발광 표시패널을 제공하는 것이다.

- [0009] 본 발명의 다른 목적은 표시영역의 최초 게이트 라인의 외곽 및 최종 게이트 라인의 외곽 중 하나 이상의 영역에 더미 게이트 라인 구조를 형성함으로써, 전원 센싱 및 보상 과정에서 수행되는 전원 스위칭에 의한 화질 열화 현상을 방지할 수 있는 표시패널 및 표시장치를 제공하는 것이다.
- [0010] 본 발명의 다른 목적은 표시패널의 비표시 영역 중 일측에 더미 게이트 라인과 유기발광층을 포함하지 않는 더미 화소영역을 포함하는 더미 게이트 라인 구조를 형성함으로써, 전원 딥(dip) 또는 전원 유동에 의한 휘도 불균일을 최소화할 수 있는 유기발광 표시패널 및 표시장치를 제공하는 것이다.
- [0011] 본 발명의 또다른 목적은 비표시영역의 일측에 1개의 더미 게이트 라인 구조를 형성한 후, 게이트 구동회로의 2 이상의 채널로부터의 게이트 구동신호를 단일의 더미 게이트 라인으로 입력함으로써, 전원 딥(dip) 또는 전원 유동에 의한 휘도 불균일을 해소하면서도 더미 영역의 크기를 최소화하여 내로우 베젤(Narrow Bezel)을 달성할 수 있는 표시패널과 표시장치를 제공하고자 한다.

과제의 해결 수단

- [0012] 전술한 목적을 달성하기 위하여, 본 발명의 일 실시예에서는, 제1방향으로 연장되는 다수의 게이트 라인(GL)과 제2방향으로 연장되는 다수의 데이터 라인(DL) 및 상기 게이트 라인 및 데이터 라인의 교차 영역으로 정의되며 유기발광층을 포함하는 1 이상의 서브 픽셀(SP)을 제어하는 1 이상의 박막 트랜지스터와, 상기 게이트 라인 각각에 게이트 구동신호를 인가하는 게이트 구동부와, 상기 데이터 라인 각각에 데이터 구동 신호를 인가하는 데이터 구동부, 및 상기 게이트 라인 중 첫번째 게이트 라인의 외곽 및 마지막 게이트 라인의 외곽 중 1 이상의 영역에 배치되는 1 이상의 더미 게이트 라인과, 상기 더미 게이트 라인을 따라 형성되는 다수의 비발광 더미 화소부를 포함하는 더미 게이트 라인 구조를 포함하는 표시패널을 제공한다.

발명의 효과

- [0013] 본 실시예들에 의하면, 전원 센싱 및 보상 과정에서 수행되는 전원 스위칭에 의한 화질 열화 현상을 방지할 수 있는 효과가 있다.
- [0014] 또한, 표시패널의 비표시 영역 중 일측에 더미 게이트 라인과 유기발광층을 포함하지 않거나 유기발광층으로의 전계 인가를 차단할 수 있는 뱅크층이 형성된 비발광 더미 화소부를 포함하는 더미 게이트 라인 구조를 형성함으로써, 전원 딥(dip) 또는 전원 유동에 의한 휘도 불균일을 최소화할 수 있는 효과가 있다.
- [0015] 또한, 본 발명의 다른 실시예에 의하면, 1개의 더미 게이트 라인 구조를 형성한 후, 게이트 구동부의 2 이상의 채널로부터의 더미 게이트 구동신호를 단일의 더미 게이트 라인으로 입력함으로써, 전원 딥(dip) 또는 전원 유동에 의한 휘도 불균일을 해소하면서도 더미 영역의 크기를 최소화하여 내로우 베젤(Narrow Bezel)을 달성할 수 있는 효과가 있다.

도면의 간단한 설명

- [0016] 도 1은 본 실시예들에 적용될 수 있는 유기전계 발광표시장치의 전체 구성을 도시한다
- 도 2는 일반적인 유기전계 발광 표시패널의 평면도 일부를 도시한다.
- 도 3은 본 발명의 실시예에 의한 유기전계 발광 표시패널의 전체 구성을 도시한다.
- 도 4는 본 실시예에 의한 더미 게이트 라인 구조가 형성되는 위치 및 세부 구성에 대하여 도시한다.
- 도 5는 본 발명의 일 실시예에 의한 더미 게이트 라인 구조에 게이트 구동신호가 인가되는 방식을 도시한다.
- 도 6은 본 발명의 다른 실시예에 의한 더미 게이트 라인 구조 및 구동신호 인가 방식을 도시한다.
- 도 7의 (a) 및 도 7의 (b)는 도 5 및 도 6의 실시예에 의한 더미 게이트 라인 구조에서의 신호 타이밍도이다.
- 도 8은 본 실시예에 의한 더미 게이트 라인 구조를 포함하는 표시패널의 평면도 일부를 도시한다.
- 도 9는 도 8에 도시된 표시영역의 서브 픽셀에 대한 I-I' 단면도이다.
- 도 10은 본 발명의 일 실시예에 의한 더미 게이트 라인 구조의 세부구성을 도시하는 것으로서, 도 8의 II-II'선

을 따라 자른 단면도이다.

도 11은 본 발명의 다른 실시예에 의한 더미 게이트 라인 구조의 세부구성을 도시하는 것으로서, 도 8의 II-II'선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0018] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0019] 도 1은 본 실시예들에 적용될 수 있는 유기전계 발광표시장치의 전체 구성을 도시한다.
- [0020] 도 1과 같이, 본 실시예들이 적용될 수 있는 유기전계 발광표시장치는 복수의 화소(PX)가 정의되는 표시패널(100)와, 표시패널(100)과 연결되는 각종 구동부들(110 ~ 150)과, 전압공급부(160)를 포함한다. 표시패널(100)은 유기기관 또는 플라스틱 기관상에 서로 교차되도록 복수의 게이트 라인(GL) 및 데이터라인(DL)이 형성되고, 게이트 라인(GL) 및 데이터 라인(DL)이 교차하는 지점에 각각 적, 녹 및 청에 해당하는 계조를 표시하는 화소 또는 픽셀(PX)들이 정의된다.
- [0021] 게이트 라인(GL)은 표시패널(100)의 외곽에 형성되며 게이트 구동신호(Vg)를 출력하는 게이트 구동부(120)와 연결되고, 데이터 라인(DL)은 데이터신호를 출력하는 데이터 구동부(130)와 연결되어 있다.
- [0022] 또한, 유기발광 표시장치는 전원전압(ELVDD)뿐만 아니라, 접지전압(ELVSS)등 표시장치의 구동을 위한 전압 등을 공급하는 전원공급부(160)와 연결되어 있다. 각 전압은 표시패널(100)에 형성된 전압배선(미도시)를 통해 각 화소(PX)에 공급된다.
- [0023] 화소(PX)들은 적어도 하나의 유기전계 발광다이오드, 캐패시터, 스위칭 박막트랜지스터 및 구동 박막트랜지스터를 포함한다. 여기서, 유기전계 발광다이오드는 제 1 전극(정공주입 전극)과 유기 화합물층 및 제 2 전극(전자주입 전극)로 이루어질 수 있다.
- [0024] 타이밍 제어부(110)는 외부로부터 인가되는 영상데이터와, 클럭신호, 수직 및 수평동기신호 등의 타이밍 신호를 인가받아 게이트 제어신호(GCS), 데이터 제어신호(DCS) 및 센싱구동 제어신호(SCS)등을 포함하는 각종 제어신호를 생성한다.
- [0025] 이러한 타이밍 제어부(110)는 외부의 시스템과 소정의 인터페이스를 통해 연결되어 그로부터 출력되는 영상관련 신호와 타이밍신호를 잡음 없이 고속으로 수신하게 된다. 이러한 타이밍 제어부(110)는 유기전계 발광표시장치의 설계의도에 따라, 데이터 구동부(140)와 일체형으로 구비될 수도 있다.
- [0026] 게이트 구동부(120)는 타이밍 제어부(110)로부터 게이트 제어신호(GCS)에 대응하여 각 화소(PX)들에 게이트 전압을 하나의 수평선 단위씩 순차적으로 인가한다. 이러한 게이트 구동부(120)는 다수의 스테이지를 갖는 쉬프트 레지스터로 구현될 수 있으며, 쉬프트 레지스터의 각 스테이지는 해당되는 게이트 라인으로 게이트 구동신호를 인가하는 게이트 회로블록(GCB)를 구성한다.
- [0027] 이러한 각각의 게이트 회로블록(GCB)와 해당되는 게이트 라인 사이를 게이트 신호 채널로 표현할 수 있으며, 각각의 게이트 신호 채널을 통하여 특정 게이트 회로블록으로부터 해당되는 게이트 라인으로 게이트 구동신호가 인가된다.
- [0028] 한편, 데이터 구동부(140)는 타이밍 제어부(110)로부터 인가되는 디지털 파형의 영상신호(RGB)를 입력받아, 화소(PX)가 처리할 수 있는 계조값을 갖는 아날로그 전압형태의 데이터 신호(Vdata)로 변환하고, 또한 입력되는 데이터 제어신호(DCS)에 대응하여 데이터 신호(Vdata)를 데이터 라인(DL)을 통해 각 화소(PX)에 공급한다.

- [0029] 또한, 전류싱크배선(ISL)은 화소(PX)에 흐르는 전류를 싱크(sink)하여 그 싱크전류(Isink)에 따른 화소의 구동 박막트랜지스터의 문턱전압 변동값을 판단하고 데이터신호(Vdata)를 보상하는 문턱 전압 보상부(150)를 추가로 포함할 수 있다. 이때, 데이터 구동부(130)는 문턱전압 보상부(150)를 내장할 수 있으며, 문턱전압 보상부(150)에서 산출한 구동 박막트랜지스터의 문턱전압(Vth) 변동정도를 데이터 신호(Vdata)에 반영하여 출력하게 된다.
- [0030] 문턱전압 보상부(150)는 화소(PX)에 흐르는 전류를 싱크(sink)하고, 싱크된 전류에 따라 각 화소의 구동 박막트랜지스터에 대한 문턱전압 및 전자 이동도 정도를 센싱한다. 상세하게는, 정상 화소에서 구동 박막트랜지스터의 전류값은 일정하게 된다. 이러한 전류값은 구동 박막트랜지스터의 문턱전압 특성에 비례하지만, 구동 박막트랜지스터의 열화가 발생되면 그 전류값이 달라지게 되고 그 전류를 싱크하여 문턱전압 특성의 변동값을 추출할 수 있다. 이를 위해, 각 화소(PX)에는 기준전압(Vref)이 인가될 수 있다.
- [0031] 문턱전압 보상부(150)는 정상상태에서의 예측되는 전류값과 싱크전류(Isink)값을 비교하여 각 화소(PX)의 구동 박막트랜지스터의 문턱전압 및 전자이동도의 변동정도를 산출하고, 변동정도에 따라 데이터신호를 보상한다. 이러한 문턱전압 및 전자이동도 변동에 따라 해당 박막트랜지스터는 포지티브 쉬프트(positive shift)될 수 있다.
- [0032] 이와 같이, 유기전계 발광 표시장치의 화질을 결정하는 데 있어 화소(PX)의 구동 박막트랜지스터의 특성이 큰 비율을 차지하나, 이를 제외한 나머지 박막트랜지스터에도 열화가 발생할 수 있으며, 이러한 열화현상은 옥사이드 실리콘과 같은 산화물 반도체 재료로 반도체층을 구성하는 박막트랜지스터의 경우 더 현저하게 발생한다.
- [0033] 또한, 전압 공급부(160)는 게이트 구동부(120)의 게이트 구동신호(Vg)에 대한 하이레벨 및 로우레벨의 크기를 정의하는 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 공급하는 역할을 한다. 특히, 전압공급부(160)는 전술한 문턱전압 보상부(150)로부터 구동 박막트랜지스터가 아닌 센싱 박막트랜지스터의 포지티브 쉬프트 보상시 게이트 전압 제어신호(Vgc)를 입력받게 되며, 이에 응답하여 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 센싱 박막트랜지스터의 변동값과 대응되도록 전압레벨을 증폭하여 출력하게 된다.
- [0034] 일례로서, 기존에 게이트 하이레벨 구동전압(VGH) 및 게이트 로우레벨 구동전압(VGL)이 각각 27V, -7V 라하고 하면, 증폭된 게이트 하이레벨 구동전압(VGH) 및 게이트 로우레벨 구동전압(VGL)은 적어도 27V, -7V 이상으로 출력될 수 있는 것이다.
- [0035] 또한, 게이트 하이레벨 구동전압(VGH) 및 게이트 로우레벨 구동전압(VGL)은 게이트 구동부(120) 뿐만 아니라, 센싱 제어부(130)의 센싱제어신호(Vcon)의 생성시에도 이용될 수 있다. 이에 따라, 두 전압(VGH, VGL)의 레벨상승에 의해 화소(PX)의 센싱 박막트랜지스터의 포지티브 쉬프트(positive shift) 또는 네가티브 쉬프트(negative shift)와 같은 특성변동을 보상할 수 있게 된다.
- [0036] 이와 같이, 박막 트랜지스터의 열화 또는 특성 변화에 대응하기 위한 전압 센싱 및 보상 과정에서 게이트 구동 전압(VGH, VGL)의 레벨이 변동되는 전압 스윙이 발생할 수 있으며, 이러한 전압 스윙으로 인하여 전원 댐(dip) 또는 전원 플럭추에이션(fluctuation)과 같은 전원 유동이 발생할 가능성이 크다.
- [0037] 특히, 이러한 전원 유동 현상은 표시패널이 대면적화 되고 고해상도화 되면서 전원 라인에 걸리는 부하(저항 및 캐피시턴스)가 커지는 경우 더 민감해지고, 그에 따른 전원 댐(dip) 또는 전원 플럭추에이션(fluctuation)과 같은 전원 유동이 발생할 가능성이 크며, 이러한 전원 유동 현상으로 인하여 패널 휘도의 불균일성을 야기할 수 있다.
- [0038] 특히, 센싱에 따른 전원 스윙 또는 전원 유동이 발생한 직후 인가되는 초기 게이트 라인 등에 미치는 영향이 더 클 수 있다.
- [0039] 즉, 표시패널의 전원을 OFF 상태에서 ON 상태로 켜지는 경우, 게이트 하이전압(VGH)의 댐(Dip)이 발생할 수 있고, 이러한 게이트 전압의 유동에 의하여 표시패널 상하단에 배치된 게이트 입력부에 밝고, 어두운 게이트 가로선을 만들 수 있다.
- [0040] 이러한 게이트 가로선에 의하여 표시패널 전체의 휘도 균일성이 저하될 수 있는 문제가 있다.
- [0041] 또한, 이러한 전원 유동(Dip or Fluctuation)에 의하여 박막 트랜지스터의 센싱 및 보상과정에서의 센싱값도 영향을 받을 수 있으며, 이로 인하여 박막트랜지스터 특성 보상 및 표시패널의 휘도 균일화에도 문제를 발생시킬 수 있다.
- [0042] 본 발명의 실시예는 이러한 전압 유동에 의한 화질 열화를 방지하기 위하여, 표시영역의 일측 또는 타측에 게이

트 라인과 평행하게 형성되는 1 이상의 더미 게이트 라인 구조를 포함할 수 있다.

- [0043] 이하에서는 도 3 내지 도 11을 기초로 본 발명의 상세한 실시예에 의하여 설명한다.
- [0044] 도 2는 일반적인 유기전계 발광 표시패널의 평면도 일부를 도시한다.
- [0045] 도 2와 같이, 일반적인 유기전계 발광 표시패널에는 패널의 제1방향으로 연장 형성되는 1 이상의 게이트 라인 (GL1, GL2...)과, 제1방향과 수직한 제2방향으로 연장 형성되는 다수의 데이터 라인(DL1, DL2...)을 포함하며, 게이트 라인과 데이터 라인이 교차하는 각각의 영역은 화소 또는 서브 픽셀 영역으로 정의된다.
- [0046] 이러한 서브 픽셀(Sub-Pixel) 영역인 SP_ij의 각각은 레드(R), 화이트(W), 그린(G) 및 블루(B)를 발광하며, R/W/G/B 4개의 서브 픽셀을 하나의 픽셀 또는 화소로 정의할 수도 있다.
- [0047] 또한, 게이트 라인 각각으로 게이트 구동신호(Vg)를 출력하는 게이트 구동부(120) 또는 G-IC를 포함하며, 이러한 게이트 구동부는 패널 상에 직접 형성되는 게이트-인-패널(Gate-In-Panel; GIP) 구조로 형성될 수 있다.
- [0048] 또한, 표시패널의 상측에는 각각의 데이터 라인과 연결되어 데이터 라인(DL) 각각에 데이터신호를 출력하는 데이터 구동부(130)가 형성될 수 있다.
- [0049] 이러한 일반적인 유기전계 발광 표시패널의 경우, 게이트 구동부(120)의 게이트 구동신호(Vg)에 대한 하이레벨 및 로우레벨의 크기를 정의하는 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 공급하는 역할을 하는 전원 공급부를 포함하며, 이러한 전압 공급부는 박막트랜지스터(TFT)의 문턱전압(Vth), 이동도(mobility)가 넓은 산포를 가지며, 박막트랜지스터의 열화에 따른 문턱전압 편이 현상(Vth shift)을 보상하기 위한 과정에서 게이트 구동전압(VGH, VGL)의 레벨이 변동되는 전압 스윙을 발생시킬 수 있다.
- [0050] 도2의 (b)는 이러한 게이트 구동전압 (VGH, VGL)의 스윙 및 그에 의하여 게이트 라인으로 입력전압에서 발생하는 전원 딥(dip) 또는 전원 플럭추에이션(fluctuation) 현상을 도시한다.
- [0051] 도 2의 (b)에서와 같이, 박막 트랜지스터의 특성을 센싱하여 보상하는 과정에서, 게이트 구동부(G-IC; 120)로부터 출력되는 게이트 구동전압 출력값(VGHout)이 초기에는 일정한 범위의 안정된 값을 유지하다가 일정 시점 t0에서 그 진폭이 증가하는 구동 전압 스윙이 발생된다.
- [0052] 이 경우, 시점 t0 이후 일정 시간 동안 게이트 라인으로 입력되는 게이트 구동전압 입력값(VGHin)이 일정한 값으로 고정되지 않고 약간의 변화 또는 플럭추에이션을 일으키게 되며, 이를 전술한 전원 딥(dip) 또는 전원 플럭추에이션(fluctuation) 현상으로 표현할 수 있다.
- [0053] 이러한 전원 딥(dip) 또는 전원 플럭추에이션(fluctuation) 현상은 센싱에 따른 전원 스윙이 발생한 직후 일정 시간동안 지속되며, 따라서 게이트 구동신호의 입력방향에 따라서 최초 게이트 라인 또는 최종 게이트 라인과 그에 인접하는 몇 개의 게이트 라인에 더 민감한 영향을 미치게 된다.
- [0054] 즉, 전원 딥(dip) 또는 전원 플럭추에이션(fluctuation)에 의하여 게이트 구동전압의 입력값(VGHin)이 가변되는 경우 해당되는 게이트 라인에 의하여 형성되는 화소의 휘도가 다른 화소와 다르게 되어, 패널의 일측 라인의 화소들이 다른 라인의 화소보다 밝거나 어두운 가로선을 발생시켜 휘도 불균일을 야기하게 되는 것이다.
- [0055] 따라서, 본 발명의 실시예에서는 이러한 문제를 해결하기 위하여 최초 게이트 라인의 외곽부 및/또는 최종 게이트 라인의 외곽부에 1 이상의 더미 게이트 라인과 그 더미 게이트 라인을 따라 형성되는 더미 화소부를 포함하는 더미 게이트 라인 구조를 형성함으로써, 전원 딥(dip) 또는 전원 플럭추에이션(fluctuation)에 의한 영향이 더미 게이트 라인 구조가 흡수토록 하고, 표시영역에 형성된 게이트 라인까지는 미치지 않도록 한다.
- [0056] 도 3은 본 발명의 실시예에 의한 유기전계 발광 표시패널의 전체 구성을 도시한다.
- [0057] 도 3의 실시예에 의한 유기전계 발광 표시패널은 제1방향으로 연장되는 다수의 게이트 라인(GL)과 제2방향으로 연장되는 다수의 데이터 라인(DL) 및 상기 게이트 라인 및 데이터 라인의 교차 영역으로 정의되며 유기발광층을 포함하는 다수의 서브 픽셀(SP)을 포함하며, 게이트 라인 각각에 게이트 구동신호를 인가하는 게이트 구동부(320)와, 데이터 라인 각각에 데이터 구동 신호를 인가하는 데이터 구동부(330)와, 게이트 라인 중 첫번째 게이트 라인의 외곽 및 마지막 게이트 라인의 외곽 중 1 이상의 영역에 배치되는 1 이상의 더미 게이트 라인 구조(400)를 포함한다.
- [0058] 본 실시예에 의한 더미 게이트 라인 구조(400) 하나의 더미 게이트 라인(410, 410')과, 더미 게이트 라인을 따라 형성되는 다수의 비발광 더미 화소부(420)를 포함할 수 있다.

- [0059] 본 실시예에 의한 더미 게이트 라인 구조(400)의 더미 게이트 라인으로는 게이트 구동부로부터 일정한 더미 게이트 구동신호가 인가되며, 비발광 더미 화소부(420)는 표시영역에 형성되는 서브 픽셀과 유사한 구조를 가지되 단지 유기발광층이 없거나 유기발광층으로 전계가 형성되지 않도록 차단층을 포함함으로써 더미 게이트 라인 및 데이터 라인에 일정한 구동신호가 인가되더라도 발광되지 않는 특성을 가진다.
- [0060] 이러한 비발광 더미 화소부(420)의 구체적인 구조에 대해서는 도 10 이하를 참고로 아래에서 더 상세하게 설명한다.
- [0061] 전술한 서브 픽셀에는 1 이상의 박막 트랜지스터가 형성되어 있으며, 이러한 박막 트랜지스터는 유기발광층으로 전계를 인가하기 위한 스위칭 기능의 구동 박막 트랜지스터를 포함할 수 있다. 서브 픽셀에 형성되는
- [0062] 또한, 본 실시예에 의한 유기전계 발광 표시패널은 게이트 라인에 게이트 구동전압(VGH, VGL)을 인가하기 위한 전원공급부(340)와, 박막 트랜지스터의 특성을 센싱하고, 그에 따라 전원 공급부를 제어하여 상기 게이트 구동전압의 스윙을 발생시키는 센싱 및 보상부(350)를 추가로 포함할 수 있다.
- [0063] 전원 공급부(340)는 게이트 구동부(320)의 게이트 구동신호(Vg)에 대한 하이레벨 및 로우레벨의 크기를 정의하는 게이트 하이레벨 구동전압(VGH) 및 게이트 로우레벨 구동전압(VGL)을 공급하는 기능과 함께, 후술할 센싱 및 보상부(350)로부터의 게이트 전압 제어신호(Vgc)를 입력받아 게이트 하이레벨 구동전압(VGH) 및 게이트 로우레벨 구동전압(VGL)을 가변하여 출력하는 전압 스윙 기능을 수행한다.
- [0064] 센싱 및 보상부(350)는 박막 트랜지스터의 특성을 센싱한 후, 넓은 산포를 가지는 박막트랜지스터(TFT)의 문턱전압(Vth)과 전하 이동도(mobility)와, 박막트랜지스터의 열화에 따른 문턱전압 편이 현상(Vth shift)을 보상하기 위하여 게이트 구동전압(VGH, VGL)을 가변시키도록 하는 게이트 전압 제어신호(Vgc)를 생성하여 전원 공급부(340)로 전달하는 기능을 수행한다.
- [0065] 더 구체적으로, 센싱 및 보상부(350)는 각 화소의 구동 박막트랜지스터에 대한 문턱전압 및 전자 이동도 정도를 센싱하고, 구동 박막트랜지스터의 열화와 관련된 구동 박막트랜지스터의 문턱전압 특성의 변동값을 추출하고, 그를 기초로 데이터 신호를 보상하기 위한 데이터 신호 보상 제어신호를 생성하여 데이터 구동부로 전달하는 기능을 한다. 또한, 각 화소의 센싱 박막트랜지스터의 포지티브 편이(Shift)를 보상하기 위하여, 게이트 구동전압(VGH, VGL)을 일정한 진폭으로 가변시켜 전원 스윙을 발생하도록 하는 게이트 전압 제어신호(Vgc)를 생성하여 전원 공급부(340)로 전달하는 기능을 수행한다.
- [0066] 이러한 더미 게이트 라인 구조(400)는 게이트 구동신호 또는 스캔신호의 인가 방향에 따라서, 최초 게이트라인(GL1)의 외곽쪽 영역에 1개 이상 형성되거나, 마지막 게이트라인(GLn)의 외곽 영역에 1개 이상 형성될 수 있다. 물론, 양방향으로 게이트 구동신호가 인가되는 경우를 위하여, 최초 게이트라인(GL1)의 외곽 영역 및 마지막 게이트라인(GLn)의 외곽 영역 모두에 1 이상의 더미 게이트 라인 구조(400)가 형성될 수 있다.
- [0067] 도 2에서 설명한 바와 같이, 전술한 센싱 및 보상부(350)에 의하여 게이트 구동전압(VGH, VGL)에 스윙이 발생하는 경우, 게이트 라인에 입력되는 게이트 구동신호 입력값에 유동이 발생하는데, 이러한 전원 유동은 최초 전원 인가후 일정시간동안만 지속되기 때문에 최초로 게이트 구동신호가 입력되는 최초 또는 마지막 게이트 라인에 더 큰 영향을 받게 된다.
- [0068] 따라서, 본 실시예에 의한 더미 게이트 라인 구조를 최초 게이트 라인 또는 최종 게이트 라인의 외곽에 1 이상 형성하고, 그 더미 게이트 라인에도 게이트 구동신호를 인가함으로써, 전원 유동의 영향을 더미 게이트 라인 구조가 흡수하도록 하는 것이다.
- [0069] 도 4는 본 실시예에 의한 더미 게이트 라인 구조가 형성되는 위치 및 세부 구성에 대하여 도시한다.
- [0070] 도 4에 도시한 바와 같이, 본 실시예에 의한 더미 게이트 라인 구조(400)는 게이트 구동신호 입력방향에 따라서 최초 게이트라인(GL1)의 외곽 영역 및 마지막 게이트라인(GLn)의 외곽 영역 중 하나 이상의 영역에 1 이상 형성될 수 있다.
- [0071] 더 구체적으로, 도 4의 (a)와 같이, 예를 들어, 표시영역에 2160개의 게이트 라인(GL1-GL2160)이 형성되고, 게이트 구동신호가 첫번째 게이트 라인(GL1)부터 입력되는 표시패널의 경우에는, 본 실시예에 의한 더미 게이트 라인 구조(400)를 첫번째 게이트 라인(GL1)의 외곽 영역에 1개 이상 형성할 수 있다.
- [0072] 도 4의 (a)에는 더미 게이트 라인 구조가 첫번째 게이트 라인(GL1)의 외곽 영역에 3개 형성한 예를 도시하고 있으나, 반드시 3개에 한정되는 것은 아니며, 전원 스윙의 크기와 전원 딥(dip)의 영향, 베젤 크기 등에 따라 1개

내지 10개의 더미 게이트 라인 구조가 형성될 수 있다.

- [0073] 즉, 전원 유동에 따른 화질불량 개선을 위해서는 많은 더미 게이트 라인 구조를 형성하여야 할 것이지만, 이러한 더미 게이트 라인 구조로 인하여 비표시영역이 커지고 결과적으로 베젤이 커지는 문제가 있으므로 더미 게이트 라인 구조의 개수를 제한할 필요가 있는 것이다.
- [0074] 한편, 도 4의 (b)에서는 게이트 구동신호가 마지막 게이트 라인(GL2160)부터 입력되는 표시패널의 경우로서, 이 경우에는 본 실시예에 의한 더미 게이트 라인 구조(400)를 마지막 게이트 라인(GL2160)의 외곽 영역에 1개 이상 형성할 수 있다.
- [0075] 물론, 도 4에 도시하지는 않았지만, 게이트 구동신호의 인가가 양방향으로 이루어지는 경우에는 최초 게이트라인(GL1)의 외곽 영역 및 마지막 게이트라인(GL2160)의 외곽 영역 모두에 1 이상의 더미 게이트 라인 구조가 형성될 수 있을 것이다.
- [0076] 도 4에 도시한 바와 같이, 표시영역에 형성되는 게이트 라인(GL1-GL2160)을 따라서 다수의 서브 픽셀이 형성되며, 각 서브픽셀에는 해당하는 칼라의 유기발광층이 포함되어 적(R), 백(W), 녹(G), 청(B) 컬러를 발광한다.
- [0077] 한편, 본 실시예에 의한 더미 게이트 라인 구조(400)는 표시영역의 게이트 라인 및 서브 픽셀과 거의 대등한 전기적 특성을 가질 수 있도록, 표시영역의 게이트 라인(GL1-GL2160)과 동일한 재료 및 형태로 형성되는 더미 게이트 라인(410)과, 더미 게이트 라인과 데이터 라인의 교차 영역에 형성되는 비발광 더미 화소부(420)를 포함한다.
- [0078] 비발광 더미 화소(420)는 유기발광층이 없거나 비발광 더미 화소영역 전체에서 유기발광층을 가리는 차단구조(뱅크 등)를 가짐으로써, 더미게이트 라인 및 데이터 라인에 구동신호가 입력되어 일정 전계가 인가되더라도 발광하지 않는 점을 제외하고는, 표시영역의 서브 픽셀 또는 화소와 유사한 구조를 가지는 것이 바람직하다.
- [0079] 더 구체적으로, 비발광 더미 화소부(420)는 1 이상의 박막 트랜지스터와, 제1전극으로서의 애노드(Anode) 전극층 및 제2전극으로서의 캐소드(Cathode) 전극층 등을 포함하며, 표시영역의 서브 픽셀에서는 상기 애노드 전극층과 캐소드 전극층 사이에 유기발광층이 배치되는 것과 상이하게, 비발광 더미 화소부(420)의 애노드 전극층 및 캐소드 전극층 사이에는 유기발광층 전체를 커버하는 뱅크층 또는 격벽층이 형성될 수 있다.
- [0080] 또다른 실시예로서, 비발광 더미 화소부(420)의 애노드 전극층 및 캐소드 전극층 사이에는 유기발광층 대신 비발광 더미 화소부 영역 전체에 형성되는 비발광 층간 절연층을 포함할 수 있다.
- [0081] 이러한 더미 게이트 라인 구조(400)의 세부 구성에 대해서는 아래에서 도 10 등을 참고로 더 설명될 것이다.
- [0082] 이와 같이, 본 실시예에 의한 더미 게이트 라인 구조에서는 발광하지 않는 점을 제외하고는 표시영역의 게이트 라인 및 서브 픽셀과 유사한 구조를 가짐으로써, 더미 게이트 라인은 표시영역의 게이트 라인과 동등한 정도의 부하(저항 또는 캐패시턴스)를 받게 되기 때문에, 전술한 바와 같은 전원 유동에 의하여 기존의 게이트 라인이 받던 것과 동등한 정도의 영향을 더미 게이트 라인 구조가 흡수하게 된다. 이로써, 전원 유동에 의한 화질 불균일 문제 등이 최소화될 수 있는 것이다.
- [0083] 도 5 및 도 6은 본 실시예에 의한 더미 게이트 라인 구조에 게이트 구동신호가 인가되는 방식을 도시한다.
- [0084] 도 5의 실시예는 2 이상의 더미 게이트 라인 각각에는 대응되는 채널을 통한 더미 게이트 구동신호가 별도로 인가되는 방식이고, 도 6의 실시예는 더미 게이트 라인이 1개이고 그 더미 게이트 라인에는 2 이상의 다른 채널을 통한 더미 게이트 구동신호가 순차적으로 인가되는 방식을 도시한다.
- [0085] 도 5의 실시예에서는, 더미 게이트 라인 구조가 3개 형성된 것으로 예시되어 있고, 각각의 더미 게이트 라인(DGL1~DGL3)에는 데이터 구동부(520)로부터 각각 대응되는 채널인 CH1(522), CH2(524), CH3(525)을 통해 게이트 구동신호가 별도로 입력된다.
- [0086] 이를 위하여, 본 실시예에 의한 게이트 구동부(520)에는 게이트 라인 개수와 더미 게이트 라인 개수를 더한 숫자만큼의 게이트 회로블록(Gate Circuit Block; GCB)을 포함하며, 각 게이트 회로블록은 해당되는 채널(CH)을 통해서 대응되는 게이트 라인 및 더미 게이트 라인과 연결될 수 있다.
- [0087] 도 7의 (a) 및 도 7의 (b)는 도 5 및 도 6의 실시예에 의한 더미 게이트 라인 구조에서의 신호 타이밍도이다.
- [0088] 도 7의 (a)는 도 5에 의한 더미 게이트 라인 구조와 신호 입력 방식에서의 신호 타이밍도로서, 제1수평주기(H)의 기간동안 채널 1(CH1)을 통하여 제1 더미 게이트 라인(DGL1)로 더미 게이트 구동신호가 입력되고, 다음 제2

및 제3수평주기(H) 동안에는 각각 채널 2 및 3(CH2, 3)을 통하여 제2 및 제3 더미 게이트 라인(DGL2, 3)로 더미 게이트 구동신호가 순차적으로 입력된다.

- [0089] 이어서 제4수평주기(H)에서는 채널 4(CH4)를 통해서 표시영역의 게이트 라인으로 게이트 구동신호가 입력되어 화소를 발광하게 된다.
- [0090] 이와 같이, 더미 게이트 라인(DGL1~DGL3)에 더미 게이트 구동신호가 입력된 이후, 네번째 채널인 CH4를 통해서 비로소 표시영역의 게이트 라인(GL)에 게이트 구동신호가 입력되며, 따라서 센싱 및 보상에 의한 게이트 구동전압 스윙 또는 전원 유동의 영향을 앞선 3개의 더미 게이트 라인 구조가 전부 또는 상당부분 흡수함으로써, 전원 유동에 의한 화질 불균일 문제를 해소할 수 있게 되는 것이다.
- [0091] 도 6은 본 발명의 다른 실시예에 의한 더미 게이트 라인 구조 및 구동신호 인가 방식을 도시한다.
- [0092] 도 6과 같이, 더미 게이트 라인 구조가 1개 형성되되, 그 더미 게이트 라인에는 2 이상의 다른 채널을 통한 더미 게이트 구동신호가 순차적으로 인가되도록 구성할 수 있다.
- [0093] 즉, 도 6에 도시된 바와 같이, 1개의 더미 게이트 라인(DGL1)만이 형성되되, 그 더미 게이트 라인에는 게이트 구동부(520)로부터 3개의 채널 CH1, CH2, CH3(522, 524, 526)이 연결되어 있는 구조이며, 3개의 채널을 통해서 더미 게이트 신호가 순차적으로 더미 게이트 라인 DGL1으로 인가된다.
- [0094] 도 7의 (b)는 도 6에 의한 더미 게이트 라인 구조와 신호 입력 방식에서의 신호 타이밍도로서, 제1수평주기(H)의 기간동안 채널 1(CH1)을 통하여 더미 게이트 라인 DGL1로 첫번째 더미 게이트 구동신호가 입력되고, 다음 제2 및 제3수평주기(H) 동안에는 각각 채널 2 및 3(CH2, 3)을 통하여 동일한 더미 게이트 라인인 DGL1으로 더미 게이트 구동신호가 순차적으로 입력된다.
- [0095] 이어서 제4수평주기(H)에서는 채널 4(CH4)를 통해서 표시영역의 게이트 라인으로 게이트 구동신호가 입력되어 화소를 발광하게 된다.
- [0096] 따라서, 결과적으로, 더미 게이트 라인 DGL1으로 입력되는 게이트 구동신호의 파형은 도 7의 (b)의 우측에 도시된 바와 같이 되며, 3구간의 수평주기(H)동안 더미 게이트 라인 DGL1이 구동되게 된다.
- [0097] 도 6의 실시예에 의하면, 도 5의 실시예와 마찬가지로, 더미 게이트 라인(DGL1)에 3구간의 수평주기 동안 더미 게이트 구동신호가 입력된 이후, 네번째 채널인 CH4를 통해서 비로소 표시영역의 게이트 라인(GL)에 게이트 구동신호가 입력되며, 따라서 센싱 및 보상에 의한 게이트 구동전압 스윙 또는 전원 유동의 영향을 앞선 3개의 더미 게이트 라인 구조가 전부 또는 상당부분 흡수함으로써, 전원 유동에 의한 화질 불균일 문제를 해소할 수 있게 되는 것이다.
- [0098] 특히, 도 6의 실시예에는, 도 5의 실시예와 비교할 때, 전원 인가 후 일정 기간동안 박막 트랜지스터 특성 보상을 위한 전원 유동의 영향을 더미 게이트 라인 구조가 흡수함으로써 전원 뚎(dip) 등에 의한 화질 불균일 현상을 해소하면서, 동시에 더미 게이트 라인 구조 또는 더미 게이트 라인의 개수를 최소화할 수 있기 때문에 베젤 또는 비표시영역의 크기를 최소화 할 수 있는 효과도 가진다.
- [0099] 도 6의 실시예에서, 더미 게이트 라인 DGL1에 인가되는 더미 게이트 구동신호의 채널 개수는 게이트 구동전압의 스윙의 크기 등에 따라 2개 내지 10개 중 하나로 결정될 수 있다.
- [0100] 도 5 내지 도 7에서는 모두 최초 게이트 라인(GL1) 외곽부에 3개 또는 1개의 더미 게이트 라인 구조를 형성한 것으로 도시하였으나, 그에 한정되는 것은 아니며, 전술한 바와 같이, 최종 게이트 라인의 외곽부에도 더미 게이트 라인 구조가 형성될 수 있고, 더미 게이트 라인의 개수 역시 1 내지 10개 중에서 선택될 수 있을 것이다.
- [0101] 도 8은 본 실시예에 의한 더미 게이트 라인 구조를 포함하는 표시패널의 평면도 일부를 도시한다.
- [0102] 도 8에 도시한 바와 같이, 표시패널의 표시영역(A/A)에는 가로방향(제1방향)으로 다수의 게이트 라인(GL; 210)이 형성되고, 세로방향(제2방향)으로는 다수의 데이터 라인(DL)이 형성되어 있다.
- [0103] 한편, 최초 게이트 라인 GL1의 외곽의 비표시영역(N/A)에는 게이트 라인과 평행한 방향으로 연장되고, 게이트 라인과 동일한 구조 및 재료로 형성되는 더미 게이트 라인(DGL; 810)이 형성된다.
- [0104] 더미 게이트 라인(810)과 데이터 라인(DL)이 교차되는 영역에는 비발광 더미화소부(820)가 형성되며, 더미 게이트 라인(810)과 이러한 비발광 더미 화소부(820)를 포함한 구조를 더미 게이트 라인 구조로 정의할 수 있다.
- [0105] 비발광 더미 화소부(820)는 1 이상의 박막 트랜지스터와, 애노드 전극층 및 캐소드 전극층을 포함한다. 비발광

더미 화소부(820)의 애노드 전극층 및 캐소드 전극층 사이에는 비발광 더미 화소부 전체를 커버하는 बैं크층과 유기발광층이 형성되거나, 유기발광층을 대신하여 비발광 층간 절연층이 형성될 수 있다.

- [0106] 따라서, 비발광 더미 화소부(820)의 양 전극 사이에 구동 신호가 인가되더라도, 외부로 발광되지 않음으로써, 표시패널의 표시 휘도에 영향을 미치지 않으면서 전원 유동에 의한 문제를 해소할 수 있게 된다.
- [0107] 한편, 도 8의 표시영역(A/A)의 게이트 라인(210)와 데이터 라인(DL)의 교차영역에는 일반적인 유기발광층을 포함하는 서브 픽셀(SP)이 형성되어 있다.
- [0108] 도 9는 도 8에 도시된 표시영역의 서브 픽셀에 대한 I-I' 단면도이다.
- [0109] 도 9에 도시된 바와 같이, 서브픽셀 영역은 크게 박막 트랜지스터(TFT) 영역과 발광영역으로 구분될 수 있으며, 박막 트랜지스터 영역에는 기판(200) 상에 형성된 게이트전극(212) 상부에 게이트 절연층(214), 반도체층(216), 소스 전극(220) 및 드레인 전극(218)과, 보호층(PAS; 222)이 순차적으로 적층되어 있다.
- [0110] 보호층(222)에 형성된 컨택홀을 통해 드레인 전극과 접촉된 애노드 전극층(224)이 상부에 형성되고, 박막 트랜지스터 영역을 커버하는 애노드 전극층 상부 영역에 격벽구조인 बैं크층(226)이 형성될 수 있다.
- [0111] 이어서 그 상부에는 서브 픽셀 전체 영역에 걸쳐 유기발광층(EL; 228)이 형성되고, 그 상부에 제2전극으로서의 캐소드 전극층(230)이 형성된다.
- [0112] 물론, 유기발광 표시장치의 서브 픽셀 구조는 도 9에 도시된 방식에 한정되는 것은 아니며, 기타 다른 박막 트랜지스터 구조와 전극 배치 동일 수도 있을 것이다.
- [0113] 도 10은 본 발명의 일 실시예에 의한 더미 게이트 라인 구조의 세부구성을 도시하는 것으로서, 도 8의 II-II' 선을 따라 자른 단면도이다.
- [0114] 도 10의 실시예에 의하면, 비발광 더미 화소부(820)에는 1 이상의 박막 트랜지스터가 형성되며, 박막 트랜지스터는 게이트전극(912)과, 그 상부에 형성되는 게이트 절연층(914), 반도체층(916), 소스 전극(920) 및 드레인 전극(918) 등을 포함할 수 있다.
- [0115] 박막 트랜지스터의 소스/드레인 전극층 및 박막 트랜지스터 이외의 영역의 게이트 절연층(914) 상부에는 평탄화 및 절연 등의 목적을 가지는 패시베이션층 또는 보호층(PAS; 922)이 형성되고, 보호층(922) 상부에는 비발광 더미 화소부(820)의 전체 영역에 걸쳐 애노드 전극층(924)이 배치된다. 애노드 전극층(924)은 보호층(922)에 형성된 컨택홀을 통해 드레인 전극(918)과 전기적으로 접촉된다.
- [0116] 애노드 전극층(924) 상부에는, 비발광 더미 화소부(820)의 전체 영역에 걸쳐 격벽구조인 बैं크층(926)이 형성되며, 그 상부에 유기발광층(928) 및 캐소드 전극층(930)이 순차적으로 배치된다.
- [0117] 즉, 도 10의 실시예에 의한 비발광 더미 화소부(820)에서는 표시영역의 서브픽셀과 같이 유기발광층(928)을 그 대로 포함하되, 비발광 특성을 유지하기 위하여 बैं크층(926)을 비발광 더미 화소부 전체에 걸쳐 배치하는 것이다.
- [0118] 따라서, 전술한 설명에 의하여 전원 공급후 게이트 구동부로부터 더미 게이트 구동신호가 게이트 라인으로 인가되고, 데이터 라인을 통해서 데이터 신호가 인가되어 박막 트랜지스터가 ON되더라도, 비발광 더미 화소부(820) 전체에 형성된 बैं크층(926)에 의하여 전계가 유기발광층(928)에 미치지 못하게 되어 발광하지 않는 것이다.
- [0119] 이하에서는 도 10에 의한 더미 게이트 라인 구조의 제조 공정에 대하여 간략하게 설명한다.
- [0120] 본 발명의 실시예에 의한 유기발광 표시패널은 구동 및 스위칭 박막트랜지스터(DTr)와 유기전계 발광 다이오드(EL)가 형성된 제 1 기판과, 인캡슐레이션을 위한 제 2 기판으로 구성되며, 아래에서는 제1기판 중심으로 설명한다.
- [0121] 우선, 절연기판(902) 상에 저저항 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금 중 하나를 증착하고, 이를 패터닝함으로써 게이트 라인(GL) 및 1 이상의 더미 게이트 라인(810)을 형성하고, 동시에 비발광 더미 화소부(820)에 포함되는 박막트랜지스터를 위한 게이트 전극(912)을 형성한다.
- [0122] 다음으로 박막 트랜지스터의 게이트 전극(912) 및 게이트 라인과 더미 게이트 라인 전체영역의 상부에 무기 절연물질, 예를들면, 산화실리콘(SiO2) 또는 질화 실리콘(SiNx)를 증착하여 게이트 절연층(914)을 형성한다.
- [0123] 이후, 박막 트랜지스터의 게이트 전극(912)의 상부에 있는 게이트 절연층(914) 위에 산화물 반도체 재료의 액티

브층인 반도체층(916)을 증착한 후 패터닝한다.

- [0124] 다음, 반도체층(916) 상부 전면에 소스/드레인 레이어를 구성하는 금속물질을 증착하고 이를 패터닝함으로써 상기 게이트 절연막 위로 더미 게이트 라인(810)과 교차하여 비발광 더미 화소부(820)을 정의하는 데이터 라인(미도시)과, 상기 반도체층(916) 상부에 서로 이격하는 박막 트랜지스터의 소스 및 드레인 전극(920, 918)을 형성한다. 이때 상기 소스 전극(920)은 데이터 라인(미도시)과 연결되도록 한다.
- [0125] 이로써, 게이트 전극(912)과, 게이트 절연층(914)과, 반도체층(916)과, 서로 이격하는 소스 및 드레인 전극(920, 918) 등이 비발광 더미 화소부(820)에 포함되는 박막 트랜지스터를 구성한다.
- [0126] 다음으로, 비발광 더미 화소부(820)의 전체 영역에 걸쳐 평탄화 또는 절연층으로 기능하는 패시베이션층 또는 보호층(PAS; 922)을 형성하고 이를 패터닝함으로써 박막 박막트랜지스터의 드레인 전극(918)을 노출시키는 드레인 콘택홀을 형성한다.
- [0127] 다음으로, 보호층(922) 위로 일함수 값이 비교적 높은 투명 도전성 물질인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 수천 Å 정도의 두께를 갖도록 증착하고 패터닝함으로써 각 화소영역(P)별로 드레인 콘택홀을 통해 박막트랜지스터의 드레인 전극(918)과 접촉하는 제 1 전극인 애노드 전극층(924)을 형성한다.
- [0128] 이어서, 애노드 전극층(924) 상부로 유기절연물질 예를들면 포토아크릴(photo acryl) 또는 벤조사이클로부텐(BCB)을 도포하여 제 1 유기절연물질층(미도시)을 형성하고, 이를 패터닝함으로써 비발광 더미 화소부(820)의 전체 영역을 커버하는 बैं크층(926)을 형성한다.
- [0129] 본 명세서에서 사용하는 बैं크층(926)은 그 용어에 한정되는 것은 아니며, 애노드 전극층(924) 상부에 형성되어 유기발광층(EL; 928)으로 인가되는 전계를 차단할 수 있는 한, 격벽층 등 다른 용어로 표현될 수 있을 것이다.
- [0130] 이어서, बैं크층(926) 상부에는 유기 발광층(EL; 928)을 형성하고 그 상부에 비교적 일함수 값이 작은 금속물질 예를들면 알루미늄(Al), 알루미늄 합금, 은(Ag), 마그네슘(Mg), 금(Au) 중 하나를 열증착 또는 이온 빔 증착을 실시함으로써 전면에 5Å 내지 50Å 정도의 비교적 얇은 두께를 갖도록 제 2 전극인 캐소드 전극층(930)을 형성한다. 이러한 캐소드 전극층(930)은 표시영역 전체는 물론, 본 실시예에 의한 더미 게이트 라인 구조까지 연장되도록 패널 전체에 걸쳐 형성되며, 표시영역 또는 기타 다른 영역에 형성된 기저전압(VSS) 배선 패턴(미도시)과 전기적으로 연결되어 기저전압(VSS)를 인가받게 된다.
- [0131] 이상과 같이, 도 10에 의한 실시예에 의하면, 더미 게이트 라인 구조가 बैं크층의 형성 영역만 달라질 뿐 기존의 표시패널 구조와 유사하며, 따라서 일반적인 유기발광 표시패널의 제조 공정을 그대로 이용하여 더미 게이트 라인 구조를 형성할 수 있다는 장점이 있다. 즉, 본 실시예에 의한 더미 게이트 라인 구조 형성을 위하여 추가되는 공정이 없으므로 공정상 불이익이 없다는 효과가 있다는 것이다.
- [0132] 도 11은 본 발명의 다른 실시예에 의한 더미 게이트 라인 구조의 세부구성을 도시하는 것으로서, 도 8의 II-II'선을 따라 자른 단면도이다.
- [0133] 도 11의 실시예는 비발광 더미 화소부(820)의 세부 구성에 있어서, 박막 트랜지스터 구조와 그 상부의 보호층(PAS; 1022) 및 애노드 전극층(1024)이 형성되는 구조까지는 도 10와 동일하므로, 중복된 설명을 생략한다.
- [0134] 도 11의 실시예에 의하면 애노드 전극층(924) 상부에는 बैं크층이나 유기발광층이 형성되는 대신, 유기발광층을 대신하는 별도의 비발광 층간 절연층(IL; 1026)이 비발광 더미 화소부(820)의 전체 영역에 형성된다.
- [0135] 이러한 비발광 층간 절연층(IL; 1026)은 표시영역의 서브 픽셀에 형성되는 유기발광층을 대신하되 발광하지 않는 레이어로서, 산화실리콘(SiO₂) 또는 질화 실리콘(SiN_x) 등과 같은 무기 절연물질이나, 포토아크릴(photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 유기절연물질로 구성될 수 있다.
- [0136] 한편, 더미 게이트 라인(810)이 표시영역의 게이트 라인과 동등한 부하, 즉 저항 및 캐패시턴스를 가질 수 있도록, 비발광 층간 절연층(IL; 1026)은 유기발광층 재료와 전기적 특성(비저항, 유전율, 전도율 등)이 유사한 재료로 형성되는 것이 바람직하다.
- [0137] 이어서, 비발광 층간 절연층(IL; 1026) 상부에는 표시패널 전체에 걸쳐서 도 10의 실시예와 동일한 캐소드 전극층(1030)이 형성된다.
- [0138] 따라서, 도 11의 실시예에 의하면, 전원 공급후 게이트 구동부로부터 더미 게이트 구동신호가 게이트 라인으로 인가되고, 데이터 라인을 통해서 데이터 신호가 인가되어 박막 트랜지스터가 ON되더라도, 애노드 전극과 캐소드

전극 사이의 전계가 비발광 더미 화소부(820) 전체에 형성된 비발광 층간 절연층(IL; 1026)에 인가되므로, 비발광 더미화소부가 발광하지 않는 것이다.

- [0139] 한편, 도 11에 의한 더미 게이트 라인 구조의 제조 공정은 도 10의 제조공정과 비교할 때, 애노드 전극층(1024) 형성까지는 동일하므로 중복 설명은 생략한다.
- [0140] 애노드 전극층(1024)이 형성된 이후, 애노드 전극층 상부에 유기발광층과 전기적 특성이 유사한 비발광 층간 절연층 재료를 증착하고 패터닝함으로써 비발광 층간 절연층(IL; 1026)을 형성한다. 비발광 층간 절연층(IL; 1026)의 상부에는 유기발광 표시패널 전체에 걸쳐 캐소드 전극층(1030)을 형성한다.
- [0141] 도 11의 실시예에 의하면, 더미 게이트 라인 구조의 애노드 전극층 및 캐소드 전극층 사이에 유기발광층을 대체할 수 있는 비발광 층간 절연층(IL; 1026)을 형성함으로써, 더미 게이트 라인이 표시영역의 게이트 라인과 유사한 부하를 받게 되어, 전원 유동에 의하여 게이트 라인이 받는 영향과 동일한 영향을 더미 게이트 라인이 흡수하게 된다.
- [0142] 또한, 도 11의 실시예에서는, 표시영역의 बैं크층 및 유기발광층 형성 공정에 추가하여, 비발광 더미 화소부에 비발광 층간 절연층을 형성하는 공정이 추가되어야 한다는 점에서 공정상 다소의 불이익은 있으나, 더미 게이트 라인 구조에서 बैं크층 및 유기발광층을 제거함으로써 더미 게이트 라인 구조가 간단해질 뿐 아니라 재료 비용을 절감할 수 있는 장점이 있다.
- [0143] 이상의 설명에서는, 더미 게이트 라인 구조가 더미 게이트 라인과 비발광 더미 화소부를 포함하는 것으로 예시하였으나, 반드시 그러한 구성에 한정되는 것은 아니며, 더미 게이트 라인이 표시영역의 게이트 라인과 유사한 부하를 받을 수 있는 한 다른 형태 및 구조로 구현될 수 있을 것이다.
- [0144] 이상 설명한 바와 같이, 본 발명의 실시예들에 의하면, 유기발광 표시패널의 표시영역에 포함되는 최초 게이트 라인의 외곽 및 최종 게이트 라인의 외곽 중 하나 이상의 영역에 더미 게이트 라인 구조를 형성함으로써, 박막 트랜지스트 특성의 센싱 및 보상 과정에서 수행되는 전원 스위칭에 의한 화질 열화 현상을 방지할 수 있는 효과가 있다.
- [0145] 더 구체적으로, 본 발명의 일 실시예에 의하면, 유기발광 표시패널의 비표시 영역 중 일측에 더미 게이트 라인과 유기발광층을 포함하지 않거나 유기발광층으로의 전계 인가를 차단할 수 있는 बैं크층이 형성된 비발광 더미 화소부를 포함하는 더미 게이트 라인 구조를 형성함으로써, 박막 트랜지스터의 특성 보상을 위한 전원 딥(Dip) 또는 전원 유동에 의한 휘도 불균일을 최소화할 수 있는 효과가 있다.
- [0146] 또한, 본 발명의 다른 실시예에 의하면, 1개의 더미 게이트 라인 구조를 형성한 후, 게이트 구동부의 2 이상의 채널로부터의 더미 게이트 구동신호를 단일의 더미 게이트 라인으로 입력함으로써, 전원 딥(dip) 또는 전원 유동에 의한 휘도 불균일을 해소하면서도 더미 영역의 크기를 최소화하여 내로우 베젤(Narrow Bezel)을 달성할 수 있는 효과가 있다.
- [0147] 이상에서 기재된 "포함하다", "구성하다" 또는 "가지다" 등의 용어는, 특별히 반대되는 기재가 없는 한, 해당 구성 요소가 내재될 수 있음을 의미하는 것이므로, 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것으로 해석되어야 한다. 기술적이거나 과학적인 용어를 포함한 모든 용어들은, 다르게 정의되지 않는 한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥 상의 의미와 일치하는 것으로 해석되어야 하며, 본 발명에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0148] 또한, 전술한 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

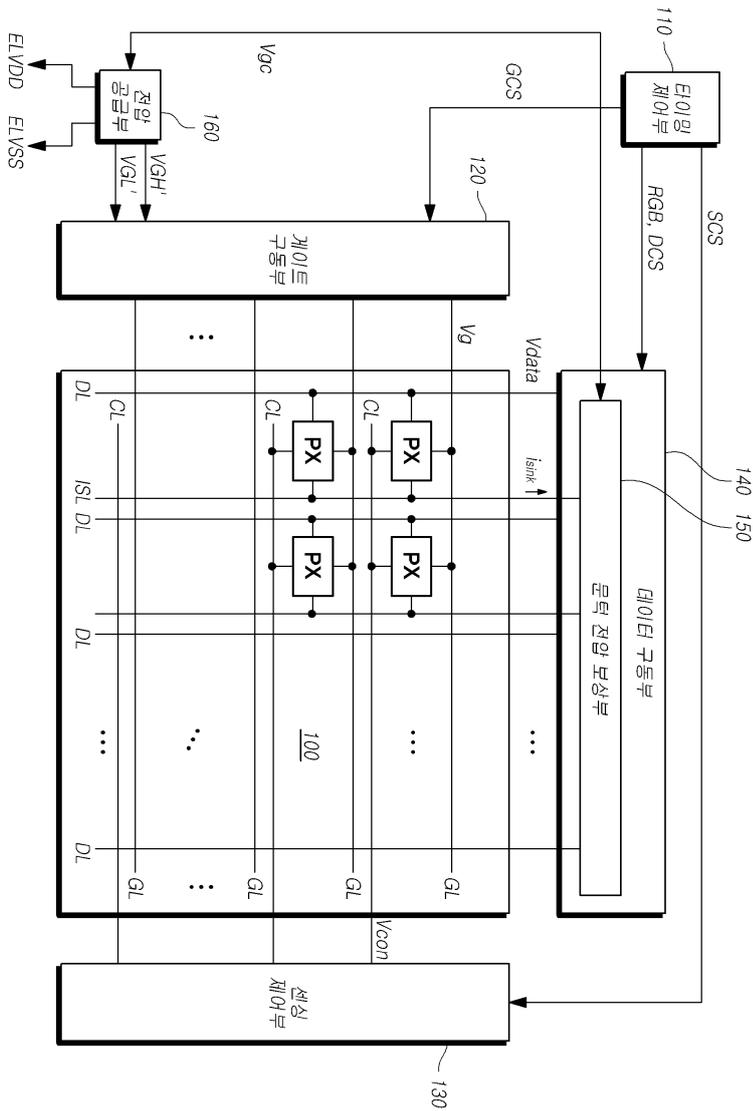
부호의 설명

[0149]

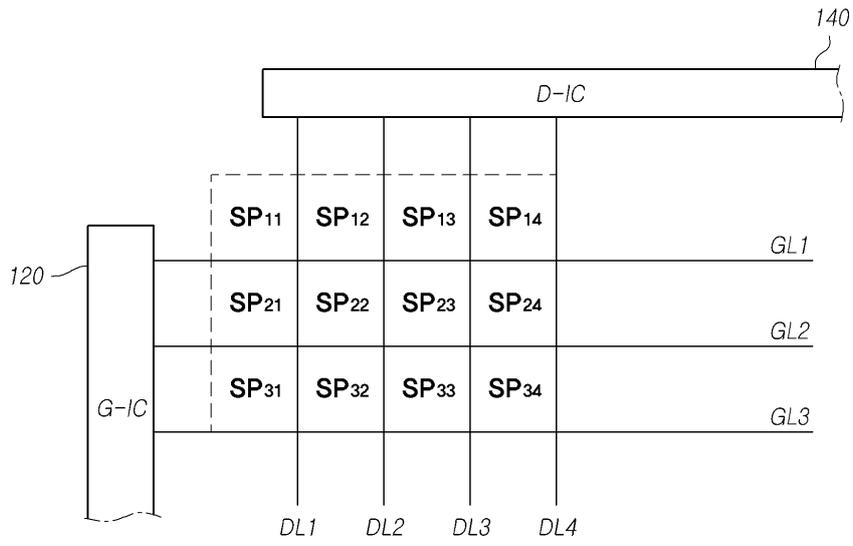
- 400 : 더미 게이트 라인 구조
- 410, 810 : 더미 게이트 라인 420, 820 : 비발광 더미 화소부
- 320, 520 : 게이트 구동부 330 : 데이터 구동부
- 340 : 전원 공급부 350 : 센싱 및 보상부
- 926 : बैं크층 1026 : 비발광 층간 절연층

도면

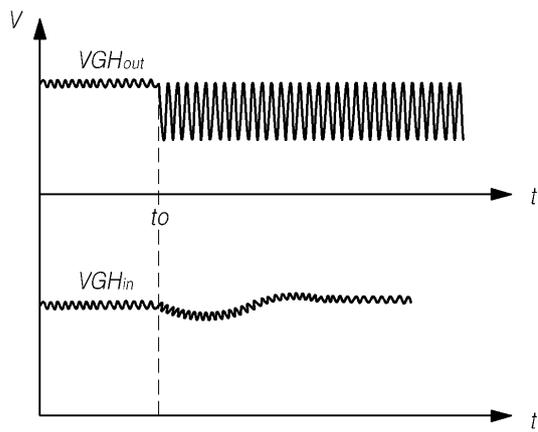
도면1



도면2

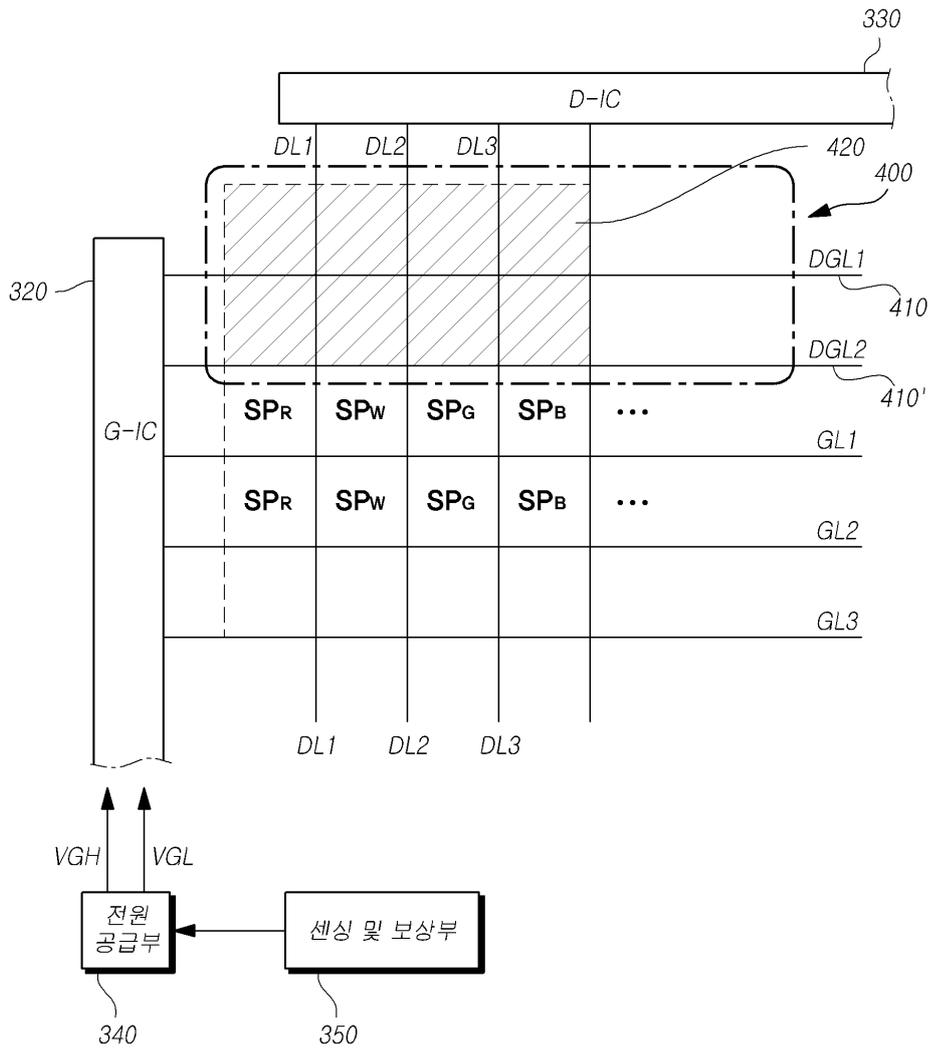


(a)

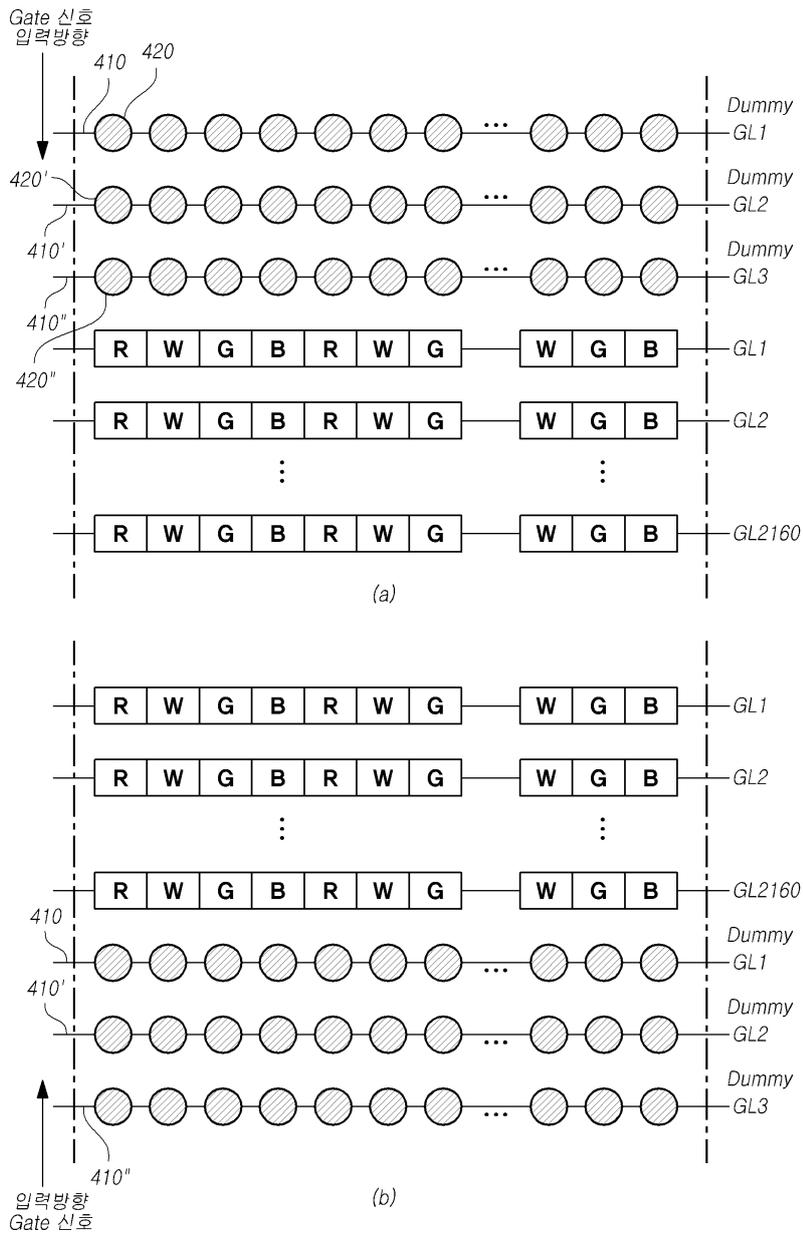


(b)

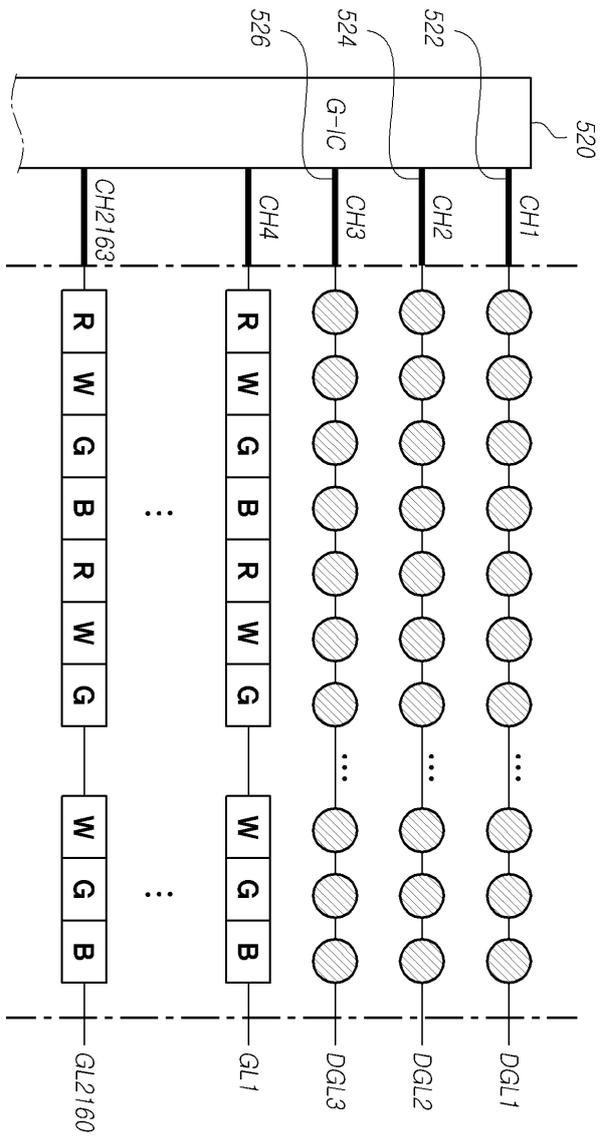
도면3



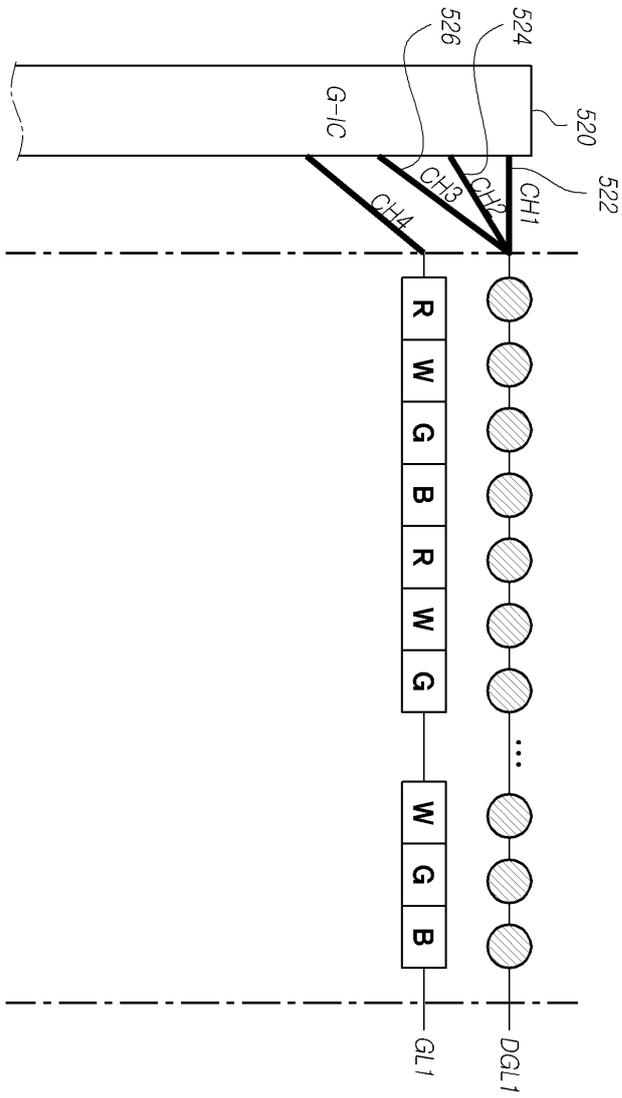
도면4



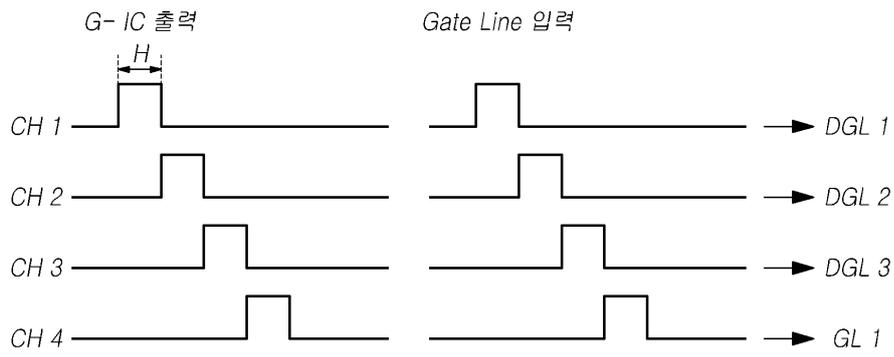
도면5



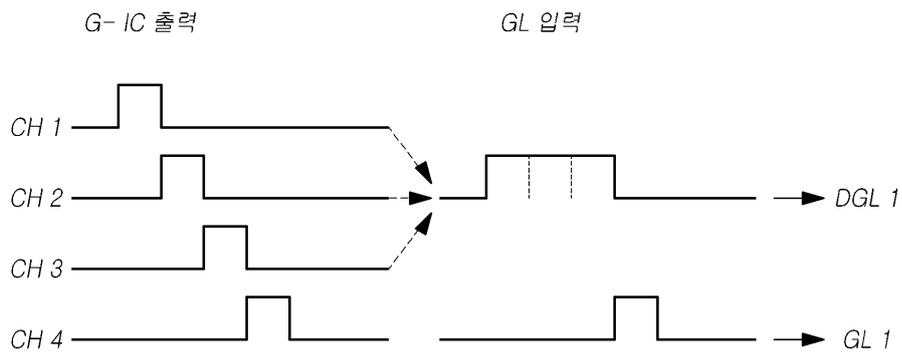
도면6



도면7

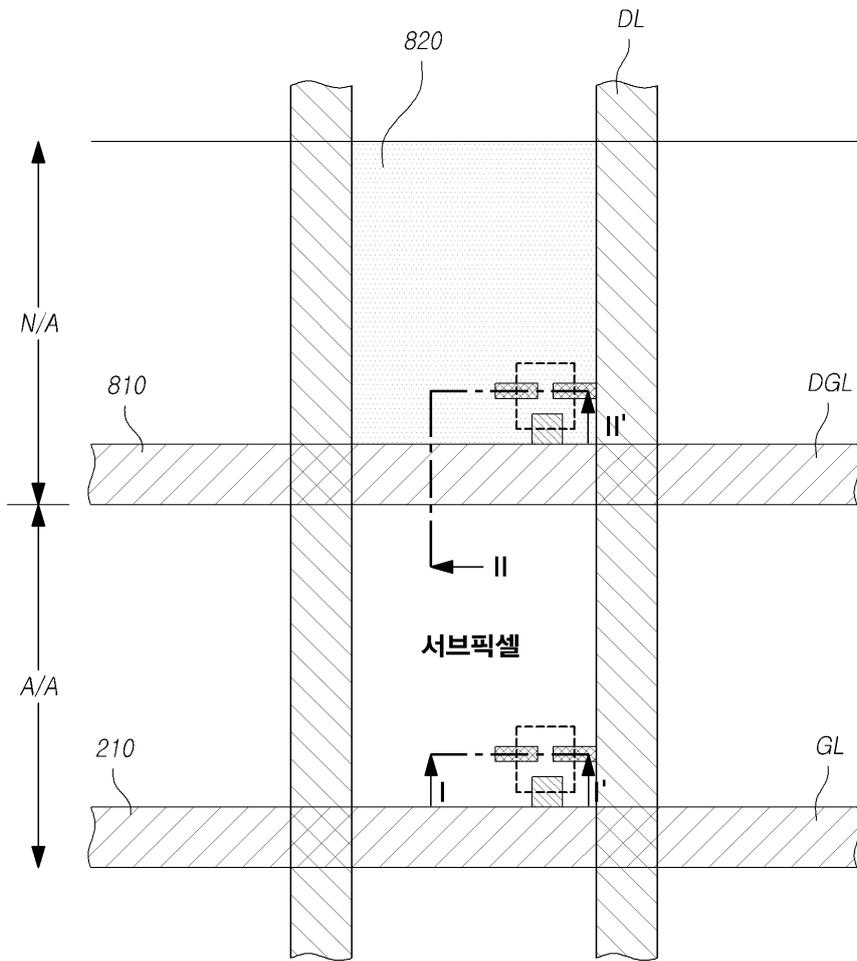


(a)

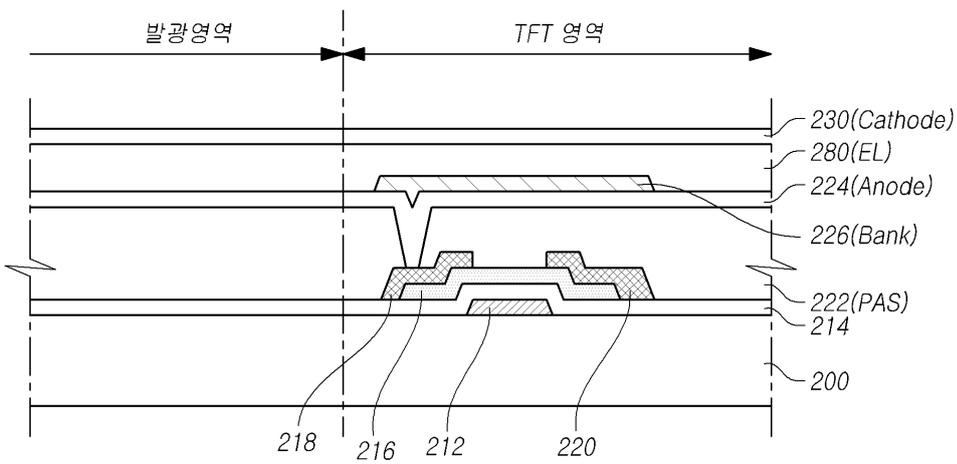


(b)

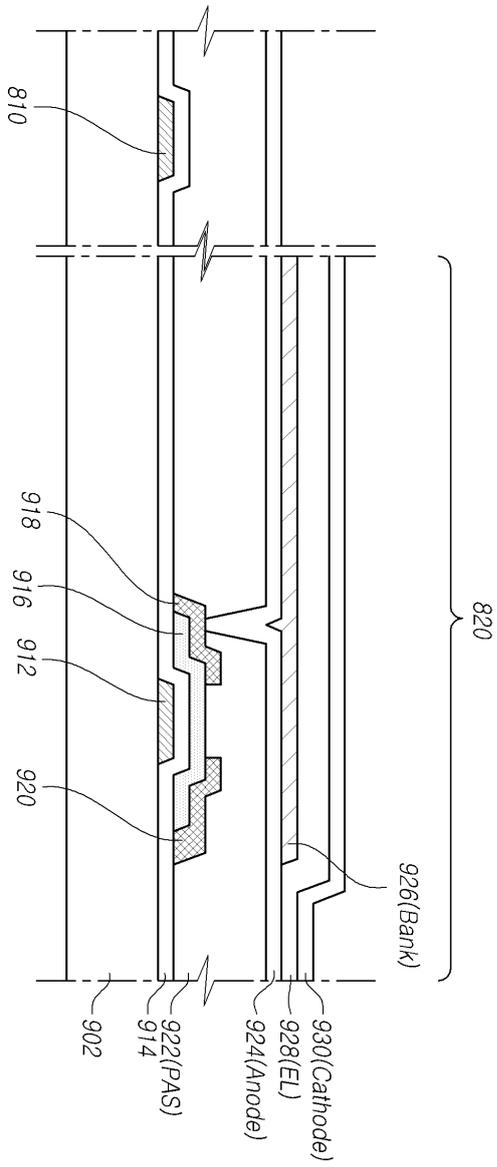
도면8



도면9



도면10



도면11

